

本書では、お客様におけます熱設計時のご参考のために、弊社での熱抵抗に関する各パラメータの定義、測定方法などについて解説いたします。

■ 背景

一般的に素子のジャンクション温度 (T_j) が 10°C 上がる毎にデバイスの寿命は約半分になり、故障率は約2倍になるといわれています。Si 半導体の場合では T_j が約 175°C を超えると破壊される可能性があります。これより、 T_j を極力さげて使う必要があり、許容温度 (通常 $80\sim 100^\circ\text{C}$) を目標に熱設計を行います。但し、パワーデバイスのような高出力素子では T_j をこの許容温度以下に抑えることは実際には困難であり、仕様書に揭示されている許容最高温度の 80% を目安に T_j を設定するのが一般的です。

また、デバイスの外形が同じであっても、そのデバイスのチップサイズ、リードフレームのタブサイズ、実装基板の仕様等により、熱抵抗値が変化しますので注意が必要です。

■ 定義

半導体パッケージの熱抵抗とは、デバイスが 1 [W] の電力を消費した時に生じる素子とパッケージ表面や周囲雰囲気との温度差で次の式で表されます。

$$\theta_{ja} = \frac{T_j - T_a}{P_d}$$

$$\psi_{jt} = \frac{T_j - T_{c1}}{P_d}$$

$$\theta_{jc} = \frac{T_j - T_{c2}}{P_d}$$

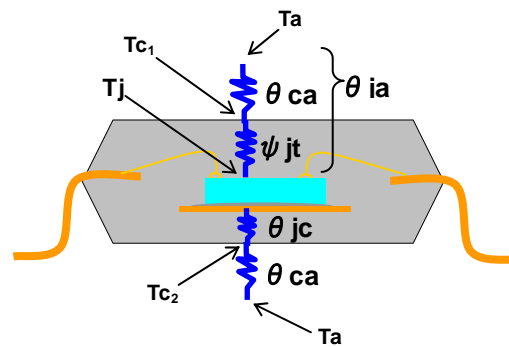


図1 パッケージの熱抵抗

表1 用語の定義

項目	定義
θ_{ja}	ジャンクション温度 (T_j) と周囲温度 (T_a) 間の熱抵抗
ψ_{jt}	ジャンクション温度 (T_j) とケース表面温度 (T_{c1}) 間の熱抵抗
θ_{jc}	ジャンクション温度 (T_j) とケース裏面温度 (T_{c2}) 間の熱抵抗
θ_{ca}	ケース温度 (T_c) と周囲温度 (T_a) 間の熱抵抗
T_j	ジャンクション温度
T_a	周囲温度
T_{c1}	ケース表面 (マーク面) 温度
T_{c2}	ケース裏面温度
P_d	最大許容電力

熱抵抗について

■ ジャンクション温度 (Tj) の検証方法 (ψjt は既知)

次の方法でジャンクション温度 (Tj) をおおよそ見積もることができます。

- ① 最初に IC の消費電力 (P) を求めます。
- ② 次に実際のセッ時の環境条件でケース表面温度 Tc1 を放射温度計や熱電対で測定します。
- ③ 求めた Tc1 を下の式に代入することで算出できます。

$$T_j = \psi_{jt} \times P + T_{c1}$$

前述の通り、Tj が許容最高温度の 80% になるように熱設計することをお勧めいたします。

注) 弊社測定 of θja, ψjt は JEDEC 規格に準拠した基板に実装したときの値であり、フットパターンサイズ、基板の材質、基板サイズ、基板上的配線率により、若干異なることがありますので十分注意する必要があります。

■ 熱抵抗測定法

弊社での熱抵抗の測定法は [JEDEC 規格] に準拠し、次のとおりです。

[測定基板]

下図に測定基板の概略を示します。詳細は EIA/JEDEC 規格 EIA/JESD51-3/-5/-7 でご確認ください。

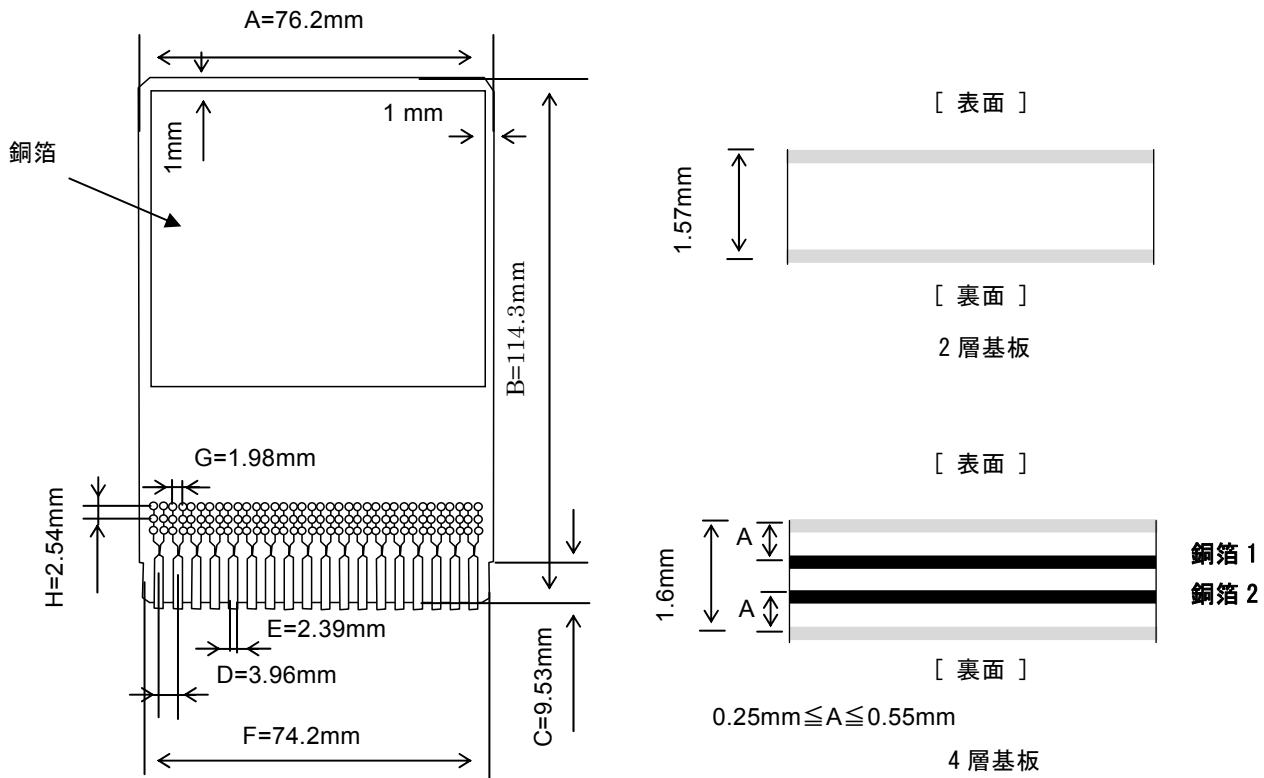


図 2 測定基板概略図

実装基板 : EIA/JESD51-3/-5/-7 準拠、FR-4

基板サイズ : 2 層 114.3 × 76.2mm、厚さ 1.57mm、

4 層 (内面銅箔有) 114.3 × 76.2mm、厚さ 1.6mm

注) 4 層基板は内面に銅箔 1, 2 (サイズ : 74.2 × 74.2mm、厚み : 35um) を適用しています。

[TEGチップ]

弊社では熱抵抗測定に特別に準備された Thermal Test-Element-Group (以下サーマル TEG) というチップを用いています。それは抵抗素子とダイオードで構成されており、抵抗素子は発熱源とし、ダイオードは温度のセンサーの役目を果たします。イメージ図、等価回路図の一例を以下に示します。

熱抵抗はチップサイズにより変動しますので弊社では3種類のチップサイズを所持しています。

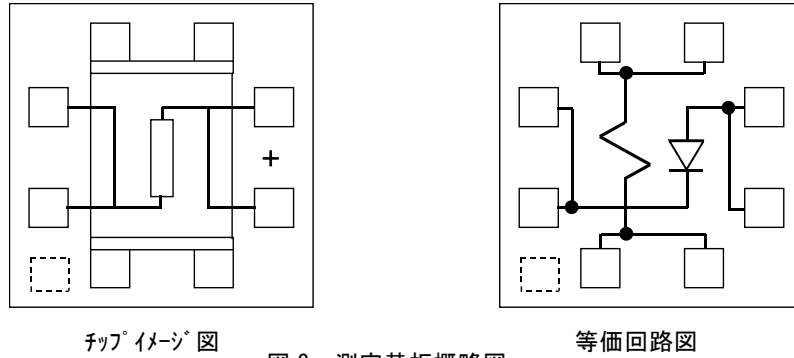


図3 測定基板概略図

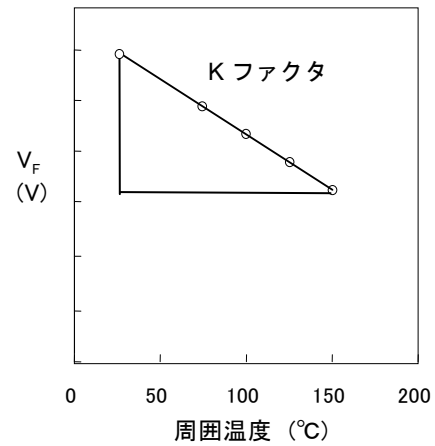
[Kファクタ]

熱抵抗を求めるためにはジャンクション温度を知る必要がありますが直接測定することができません。しかし、ダイオード順方向電圧 (V_F) の温度依存性を利用してジャンクション温度を知ることができます。 V_F は温度の一次関数で表されますが、このときの傾きを K ファクタと呼びます。

$$K = \left| \frac{\Delta T_j}{\Delta V_F} \right| \quad [^{\circ}\text{C}/\text{mV}] \quad \Delta T_j = T_{Hi} - T_{Lo}$$

$$\Delta V_F = V_{Hi} - V_{Lo}$$

V_{Hi} : 高温時のダイオード順方向電圧
 V_{Lo} : 常温時のダイオード順方向電圧



[測定環境]

測定は外部からの風の影響を排除するためにアクリルケースの中で行い無風状態にします (図4)。尚、周囲温度はPKG 中心から 25.4mm 下部に取り付けられた熱電対で測定します。

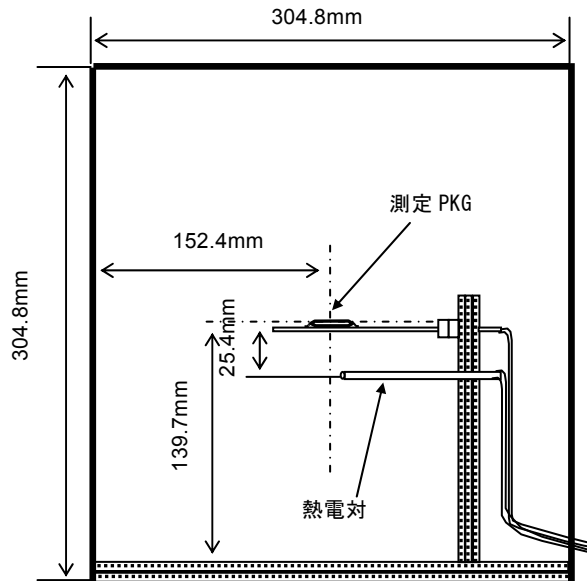


図4 測定環境概略図

熱抵抗について

[測定回路]

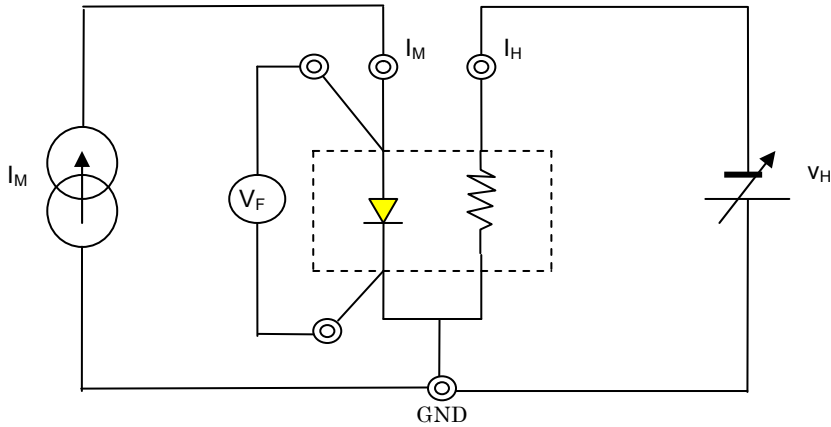


図 5 測定回路図

[測定タイミング]

1. デバイスを加熱する前に内部ダイオードに I_M 電流 (1mA) を流し V_{F0} を測定します。
2. 内部抵抗に加熱電圧 V_H を一定時間印加し飽和させ、この時の I_H を測定します。
3. 内部ダイオードに I_M 電流を流し、 V_{FSS} を測定します。

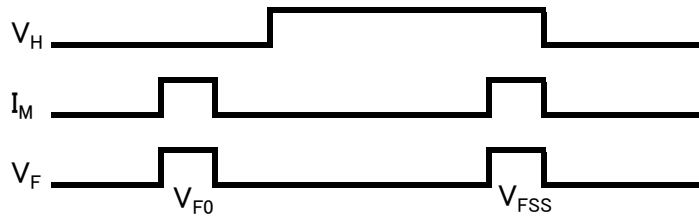


図 6 測定回路図

注) V_H は、最大保存温度 ($T_{stg-max}$) 近辺とその前後合わせて 3 ポイントを設定します。

[熱抵抗計算]

表 2 より θ_{ja} や ψ_{jt} を導き出します。

表 2 熱抵抗の計算式

熱抵抗計算式
<p>[θ_{ja} 計算式]</p> $\theta_{ja} = \frac{\Delta T_j}{V_H \times I_H} = \frac{K \times \Delta V_F}{V_H \times I_H} \quad [^{\circ}\text{C}/\text{W}]$ $\Delta V_F = V_{F0} - V_{FSS}$
<p>[ψ_{jt} 計算式]</p> $\psi_{jt} = \frac{(\Delta T_j + T_a) - T_{C1}}{V_H \times I_H} = \frac{(K \times \Delta V_F + T_a) - T_{C1}}{V_H \times I_H} \quad [^{\circ}\text{C}/\text{W}]$ $\Delta V_F = V_{F0} - V_{FSS}$
<p>[用語]</p> <p>V_H: TEG チップ内部抵抗への印可電圧</p> <p>I_H: 飽和時の TEG チップ内部抵抗電流</p>

[最大許容電力 Pd]

IC の常温 (25°C 以下) 時の最大許容損失は、各 IC の絶対最大定格で消費電力 (Pd) として規定されています。周囲温度が 25°C を超える場合には、各 IC に対応したパッケージの熱低減曲線 (ディレーティングカーブ) をする必要があります。

一般的な熱低減曲線を以下に示します。

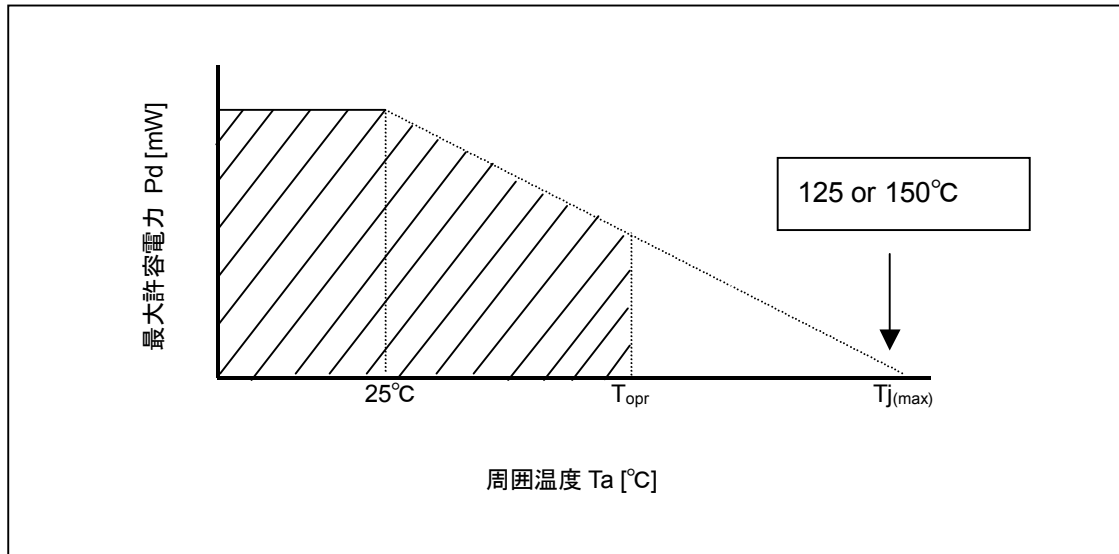


図 7 最大許容電力

■標準熱抵抗値一覧

各パッケージにおける標準熱抵抗値（無風状態）の一覧を表3に示します。

注意事項：表中の値は代表値であり、チップサイズ、フレームのタブサイズ、基板仕様(材質、配線パターン等)等の違いにより異なります。

表3 熱抵抗値一覧

PKG	2層基板				4層基板			
	θ_{ja} (°C/W)	Tj:125°C Ψ_{jt} (°C/W)	Pd (mW)	Tj:150°C Pd (mW)	θ_{ja} (°C/W)	Tj:125°C Ψ_{jt} (°C/W)	Pd (mW)	Tj:150°C Pd (mW)
DMP8	235	47	425	530	175	40	570	710
DMP14	195	47	510	640	150	40	665	830
DMP16	195	47	510	640	150	40	665	830
DMP20	150	37	665	830	120	33	830	1040
EMP8	180	34	555	690	125	29	800	1000
EMP16-E2	110	21	905	1135	70	18	1425	1785
SOP8	165	26	605	755	110	23	905	1135
SOP14	125	21	800	1000	80	17	1250	1560
SOP22	120	18	830	1040	85	14	1175	1470
SOP28	155	37	645	805	125	33	800	1000
SOP40-K1	135	37	740	925	105	33	950	1190
SSOP8	270	42	370	460	210	36	475	595
SSOP8-A3	215	36	465	580	155	15	645	805
SSOP10	270	42	370	460	210	36	475	595
SSOP14	225	38	440	555	180	33	555	690
SSOP16	210	35	475	595	160	26	625	780
SSOP20	185	34	540	675	140	26	710	890
SSOP20-B2	200	34	500	625	150	26	665	830
SSOP20-C3	130	13	765	960	85	9	1175	1470
SSOP32	110	20	905	1135	70	14	1425	1785
SSOP44	110	20	905	1135	70	14	1425	1785
TSSOP54-N1	105	10	950	1190	75	9	1330	1665
HSOP8 ²⁾	160	28	625	780	50	12	2000	2500
HTSSOP24-P1 ²⁾	115	14	865	1085	45	7	2220	2775
TVSP8	215	27	465	580	160	23	625	780
TVSP10	215	27	465	580	160	23	625	780
VSP8	210	33	475	595	155	25	645	805
VSP10	210	33	475	595	155	25	645	805
SC-82AB	365	89	270	340	255	72	390	490
SC-88A	355	89	280	350	260	73	380	480
SOT-23-5 (MTP5)	260	70	380	480	195	60	510	640
SOT-23-6 (MTP6)	245	70	405	510	175	60	570	710
SOT-89-3 ¹⁾²⁾	200	67	500	625	130	65	765	960
QFP32-J2	115	17	865	1085	90	15	1110	1385
QFP44-A1	95	17	1050	1315	75	15	1330	1665
QFP48-P1	65	17	1535	1920	50	15	2000	2500
LQFP48-R3	75	9	1330	1665	45	5	2220	2775
LQFP52-H2	85	11	1175	1470	65	11	1535	1920
QFP56-A1	105	17	950	1190	80	15	1250	1560
QFP64-H1	70	17	1425	1785	50	15	2000	2500
LQFP64-H2	65	6	1535	1920	50	5	2000	2500
QFP100-U1	55	5	1815	2270	45	5	2220	2775
TO-252-3 ¹⁾²⁾	105	17	950	1190	40	12	2500	3125
PLCC28	55	10	1815	2270	35	7	2855	3570

PKG	2層基板				4層基板			
	θ_{ja} (°C/W)	Tj:125°C Ψ_{jt} (°C/W)	Pd (mW)	Tj:150°C Pd (mW)	θ_{ja} (°C/W)	Tj:125°C Ψ_{jt} (°C/W)	Pd (mW)	Tj:150°C Pd (mW)
EPFFP6-A2 ²⁾	370	59	270	335	220	53	450	565
EPFFP10-C4 ²⁾	295	64	335	420	160	55	625	780
PCSP12-C3	240	40	415	520	140	33	710	890
PCSP20-CC	225	40	440	555	140	33	710	890
PCSP20-E3	225	40	440	555	130	33	765	960
PCSP24-ED	205	40	485	605	115	26	865	1085
PCSP32-F7	225	24	440	555	115	17	865	1085
PCSP32-G3 ²⁾	205	24	485	605	115	17	865	1085
PCSP32-GD ²⁾	205	24	485	605	115	17	865	1085
EPCSP32-L2 ²⁾	210	29	475	595	95	16	1050	1315
SON6-J1	345	88	285	360	260	69	380	480
ESON4-F1 ²⁾	300	52	330	415	110	27	905	1135
ESON6-H1 ²⁾	280	42	355	445	110	26	905	1135
ESON8-U1 ²⁾	280	43	355	440	110	26	905	1135
ESON8-V1 ²⁾	215	16	465	580	70	8	1425	1785
ESON8-W2 ²⁾	195	21	510	640	60	8	1665	2080
QFN24-T1/T2	150	22	665	830	75	15	1330	1665
EQFN12-E2 ²⁾	285	52	350	435	105	27	950	1190
EQFN12-E4 ²⁾	285	52	350	435	105	27	950	1190
EQFN14-D7 ²⁾	295	53	335	420	95	26	1050	1315
EQFN16-G2 ²⁾	255	43	390	490	100	26	1000	1250
EQFN12-JE ²⁾	215	22	465	580	80	10	1250	1560
EQFN16-JE ²⁾	180	21	555	690	70	11	1425	1785
EQFN18-E7 ²⁾	220	33	450	565	90	22	1110	1385
EQFN26-HH ²⁾	160	15	625	780	60	7	1665	2080
EQFN24-LK ²⁾	145	13	685	860	65	8	1535	1920

注釈 1) 2層基板上の熱抵抗値(θ_{ja} , Ψ_{jt})は、JEDEC 規格 JESD51-5 に基づき、銅箔 100mm²を表面にレイアウトした時の値です。

注釈 2) 4層基板上の熱抵抗値(θ_{ja} , Ψ_{jt})は、JEDEC 規格 JESD51-5 に基づき、基板にサマルビツホールをレイアウトした時の値です。

■銅箔面積と熱抵抗値の関係

2層基板における各パッケージの熱抵抗値 θ_{ja} と銅箔面積の関係を図8に示します。尚、裏面にヒートシンクがあるTO252とSOT89は、 ψ_{jt} も掲載しております。基板表層のレイアウトは表4、表5をご参照下さい。

注意事項：製品の熱抵抗データ標準値であり、チップサイズ、フレームのタブサイズ、基板仕様(材質、配線パターン等)の違いにより、異なります。また、図8のデータはサーマルビアホールを適用していません。

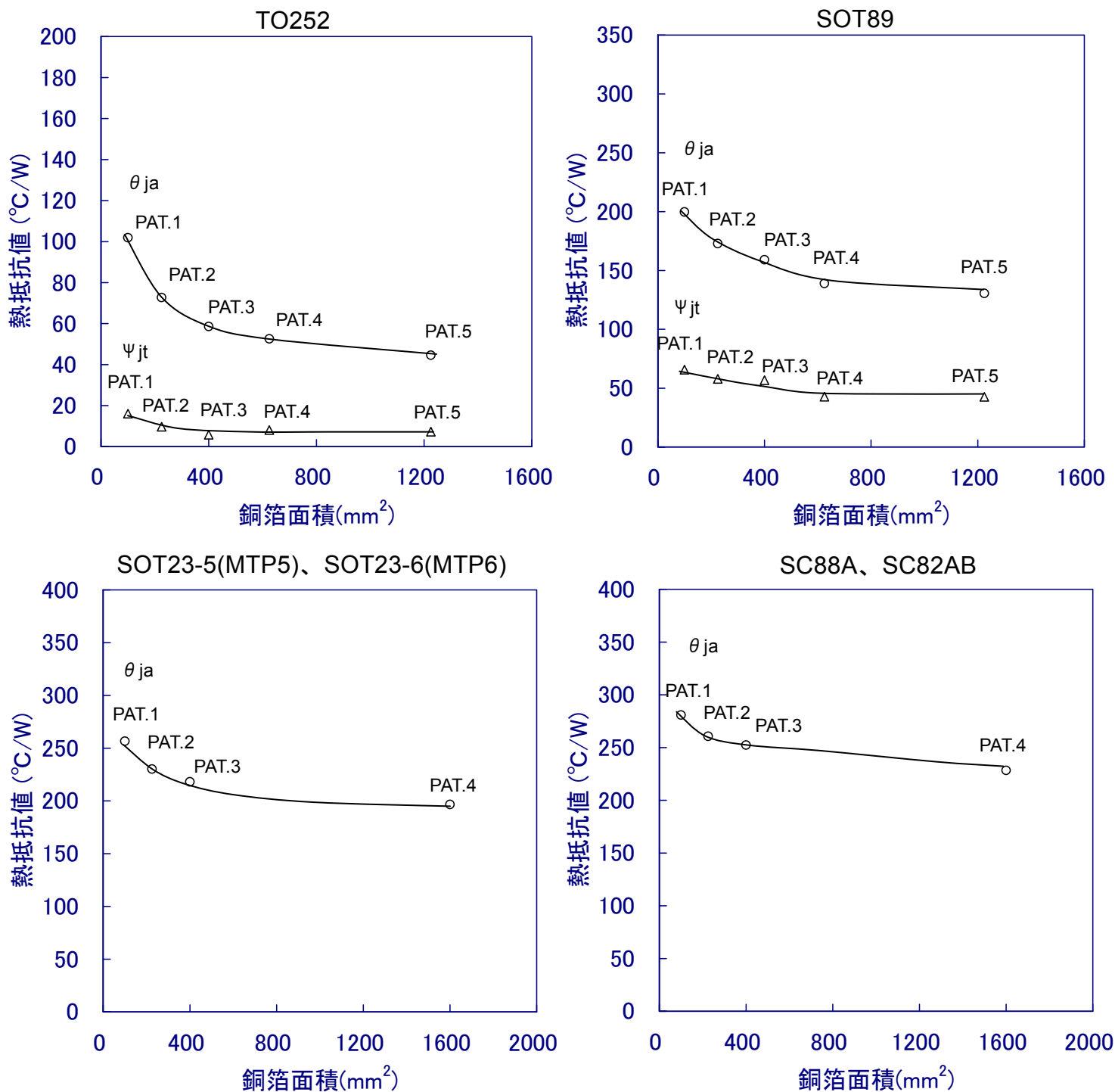


図8 銅箔面積と熱抵抗値の関係（2層基板）

表 4 表層基板のレイアウト

パッケージ 基板レイアウト	T0252	SOT89	SOT23-5(MTP5) SOT23-6(MTP6)
PAT.1			
PAT.2			
PAT.3			
PAT.4			
PAT.5			

表 5 表層基板のレイアウト

パッケージ 基板レイアウト	SC88A SC82AB
PAT.1	
PAT.2	
PAT.3	
PAT.4	

表 6 銅箔面積

パッケージ 基板レイアウト	T0-252	SOT-89	SOT23-5(MTP5) SOT23-6(MTP6)	SC88A SC82AB
PAT.1			100 mm ²	
PAT.2			225 mm ²	
PAT.3			400 mm ²	
PAT.4	600 mm ²			1600 mm ²
PAT.5	1225 mm ²			-