

■端子説明

端子番号	端子名称	機能
1	PV ⁺	パワーライン系の電源供給端子です。
2	V ⁺	ICの制御回路への電源供給端子です。電源供給のインピーダンスを下げるため、ICの近傍にバイパスコンデンサを接続してください。
3	ON/OFF	NJW4152の動作・停止を制御する端子です。内部は480kΩでプルダウンされています。Highレベルで動作、Lowレベルまたはオープンでスタンバイモードとなります。
4	RT	タイミング抵抗を接続して、発振周波数を決める端子です。発振周波数は、300k~1MHzの間で設定してください。
5	IN-	出力電圧を検出する端子です。IN-端子電圧が基準電圧 0.8V typ.となるように出力電圧を抵抗分割して入力します。
6	FB	フィードバック設定端子です。FB端子-IN-端子間にフィードバック抵抗・コンデンサを接続します。
7	GND	接地
8	SW	パワー-MOSFETのスイッチ出力端子です。
-	Exposed PAD	GND端子に接続されています。(HSOP8パッケージのみ)

■各ブロックの機能説明

1. スイッチングレギュレータ基本機能

●エラーアンプ部 (ER-AMP)

エラーアンプ部の非反転入力は、0.8V±1%の高精度基準電圧が接続されています。

アンプの反転入力(IN-端子)にコンバータの出力を入力することで、出力電圧 0.8V からのアプリケーション設計を容易にできます。出力電圧を 0.8V 以上にする場合は、出力電圧を抵抗分割することで設定します。

アンプ部は高利得のゲインを持ち、フィードバック(FB端子)が外部に出ています。FB端子-IN-端子間にフィードバック抵抗・コンデンサを設けることが容易なため、各種アプリケーションにおける最適なループ補償を設定できます。

●発振回路部 (OSC)

RT端子-GND間に抵抗を接続することで発振周波数を設定します。「発振周波数対タイミング抵抗」特性例を参考に300kHz~1MHzの間で設定してください。

■各ブロックの機能説明（続き）

●PWM 比較器部 (PWM)

エラーアンプと三角波の信号を受け、スイッチングのデューティ比をコントロールします。

PWM 比較器部でエラーアンプと三角波の信号を受け、スイッチングのデューティ比0~100%までコントロールします。タイミングチャートを図1に示します。

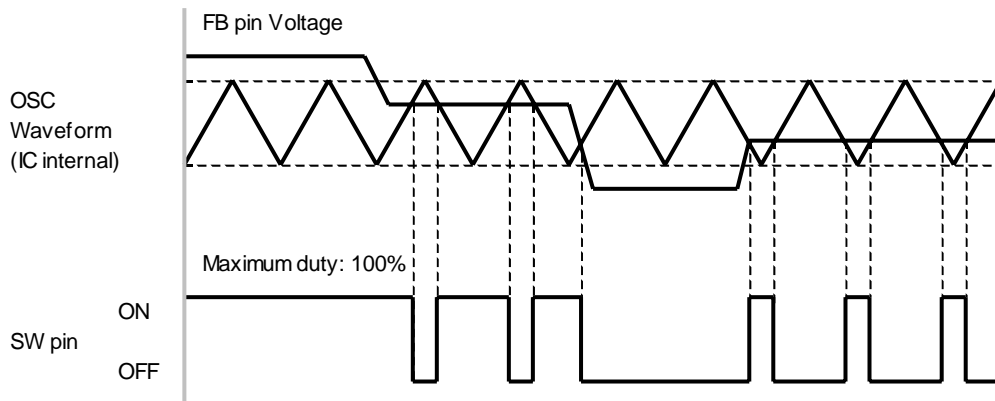


図1 PWM 比較器部と SW 端子のタイミングチャート

●パワーMOSFET

内蔵されたパワーMOSFET のスイッチ動作によって、インダクタへ電力を供給します。過電流保護機能によって、パワーMOSFET に流せる電流は、 I_{LM} に制限され、Aバージョンで1.4A min.、Bバージョンで0.8A min.です。降圧回路では、パワーMOSFET のOFF時にインダクタ電流が外付けの回生ダイオードに流れて、順方向バイアス電圧が発生します。SW端子は、 PV^+ -SW端子間電圧で45Vまで許容されますが、ショットキーダイオードの順方向飽和電圧が十分に低いものを使用してください。

●電源、GND 端子 (V^+ , PV^+ , GND)

スイッチング動作に伴い、周波数に応じた電流がICに流れます。電源ラインのインピーダンスが高いと電源供給が不安定になり、ICの性能を十分に引き出せません。 PV^+ 、 V^+ 端子-GND端子間の近傍にバイパスコンデンサを挿入し、高周波インピーダンスを下げてください。

2. 保護機能、付加機能

●低電圧誤動作防止(UVLO)回路

電源電圧が低い場合、UVLO 回路によって動作を停止し、電源電圧 4.5V typ.以上で UVLO 回路が解除されて IC の動作が開始します。電源電圧の立ち上がりとしち下がりに 100mV typ.のヒステリシス電圧幅を持たせています。これにより、UVLO の解除と動作のばたつきを防止し、NJW4152 を安定して動作させます。

●ソフトスタート機能

ソフトスタート機能によって、コンバータの出力電圧は設定値まで緩やかに電圧を上昇します。ソフトスタート時間は 4ms typ.であり、エラーアンプの基準電圧が 0~0.75V になるまでの時間で定義されます。(図2) ソフトスタート回路は、UVLO 解除、サーマルシャットダウンからの復帰後に動作します。IN-端子が約 0.4V になるまで、低発振周波数にコントロールされ、タイミング抵抗によって設定された発振周波数の約 40%で動作します。

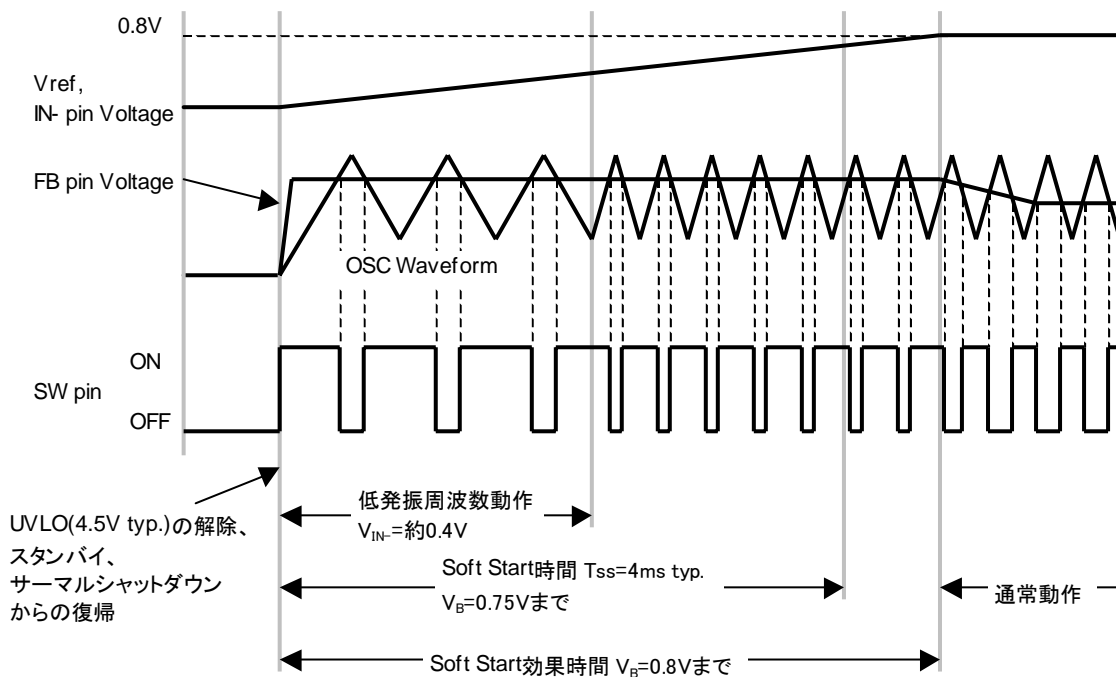


図2 ソフトスタートのタイミングチャート

■各ブロックの機能説明（続き）

●過電流保護機能 (OCP)

内蔵のパワーMOSFETに I_{LIM} 以上の電流が流れると、過電流保護機能によってパワーMOSFETをOFFにし、次の三角波周期でスイッチング動作を復帰します。パルス毎に過電流保護を行うため、過電流の異常状態から回復にともない、スイッチングレギュレータの出力電圧を自動的に復帰させることができます。

過電流検出動作時のタイミングチャートを図3に示します。

またIN-端子電圧が0.4V以下になると、低発振周波数にコントロールされ、発振周波数を設定値の約40%で動作しエネルギーの消費を抑えます。

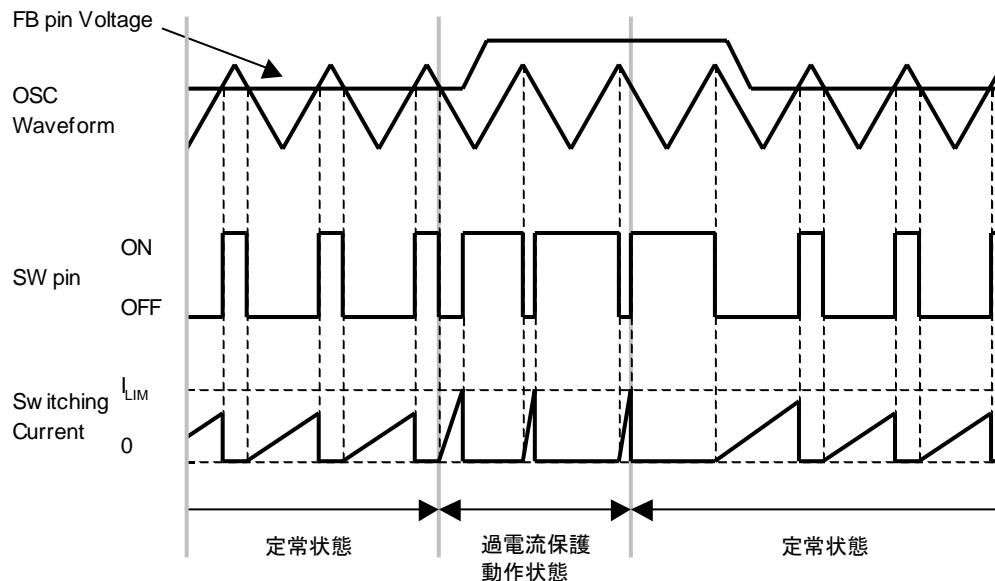


図3 過電流保護動作時のタイミングチャート

●サーマルシャットダウン機能 (TSD)

サーマルシャットダウン機能は、NJW4152のチップ温度が 175°C^* を超えるとSW動作を停止します。

チップ温度を 145°C^* 以下になると、ソフトスタートによるSW動作が開始されます。

なおサーマルシャットダウン機能は、高温時におけるICの熱暴走を防止するための予備回路であり、不適切な熱設計を補うためでは有りません。ICのジャンクション温度（ $\sim +150^{\circ}\text{C}$ ）範囲内で動作させるように、十分な余裕を満たすことをお奨めします。（* 参考値）

●ON/OFF機能

ON/OFF端子を0.5V max.以下にすることでNJW4152の機能を停止させスタンバイ状態にします。

内部は480k Ω でプルダウンされており、端子オープン時はスタンバイモードに移行します。

スタンバイ機能を使用しない場合は、ON/OFF端子を V^+ に接続してください。

■アプリケーション情報

●インダクタ

インダクタには大電流が流れるため、飽和しない電流能力を持たせる必要があります。

L 値を小さくするとインダクタのサイズも小さくなります。しかし、ピーク電流が大きくなり効率が悪化します。

反面、L 値が大きくなると、スイッチング時のピーク電流は低下します。よって変換効率の改善、出力リップル電圧の低下につながります。あるレベル以上では、インダクタンスの巻数増加により、抵抗成分による損失（銅損）が大きくなります。

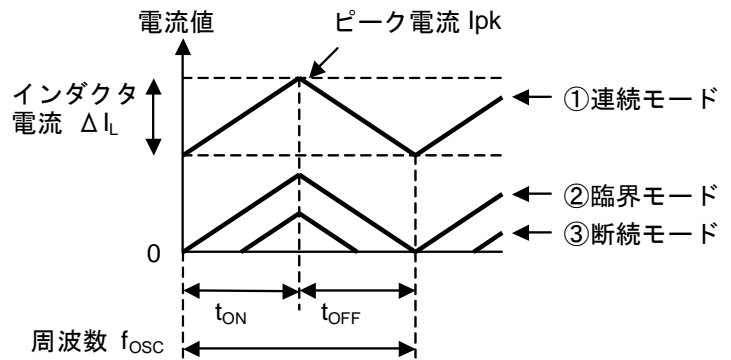


図4 インダクタ電流の状態偏移

理想的には、インダクタンス電流が連続モードになる様にL値を設定します。しかし負荷電流が小さくなる程、①連続モード → ②臨界モード → ③断続モードと電流波形が変化（図4）していきます。

断続モードにおいては、出力電流に対するピーク電流が大きくなり、変換効率が低下しやすくなります。場合によってはL値を大きくし、連続モードの維持できる負荷電流領域を広げます。

最大出力電流を得るアプリケーションの場合は、インダクタ・リップル電流を20%以下にしてください。スイッチング電流制限最小値における、過電流保護動作になるのを防止します。

●キャッチ・ダイオード

パワーMOSFETがOFFサイクルの時は、インダクタに蓄えられた電力がキャッチ・ダイオードを經由して出力コンデンサに流れます。そのためダイオードにはサイクル毎に、負荷電流に応じた電流が流れます。ダイオードの順方向飽和電圧と電流の積が電力損失となるため、順方向飽和電圧の低いSBD (Schottky Barrier Diode)が最適です。

また SBD は、逆回復時間が短い特徴を併せて持っています。逆回復時間が長くなると、スイッチングトランジスタがOFFからONサイクルに移行した時、貫通電流が流れてしまいます。この電流によって効率の低下、ノイズの発生等に影響を及ぼす可能性が有ります。

●入力コンデンサ

スイッチングレギュレータの入力部には、周波数に応じた過渡的な電流が流れます。電源回路に供給される電源インピーダンスが大きいと入力電圧の変動につながり、NJW4152の性能を十分に引き出せません。よって入力コンデンサは、できる限りICの近くに挿入してください。

●出力コンデンサ

出力コンデンサは、インダクタンスからの電力を蓄え、出力への供給電圧を安定させる役割をします。

出力コンデンサの選定には、ESR(等価直列抵抗: Equivalent Series Resistance)の特性、リップル電流、耐圧を考慮に入れる必要が有ります。

特にリップル電流、耐圧は、入力コンデンサ同様、コンデンサの定格以下で使用しなければいけません。

また周囲温度によっては、コンデンサの容量低下、ESRの増加（低温時）、寿命（高温時）へ影響を与えます。出力コンデンサの定格には、十分なデレーティングを持たせるのが望ましい使い方です。

出力コンデンサのESR特性は、出力リップルノイズへ大きな影響を与えます。低ESRタイプのコンデンサであれば、更にリップル電圧を下げる事が出来ます。

■アプリケーション情報 (続き)

●基板レイアウト

スイッチングレギュレータは、インダクタの充放電によって出力へ電力供給を行います。発振周波数に応じて電流が流れるため、基板のレイアウトは重要な項目です。大電流の流れるラインは太く、短くし、ループ面積を最小限にしてください。図5に降圧回路における電流ループを示します。

特にスイッチングにおける高速な電流変化を伴う C_{IN} -SW-SBD 間は、最優先でループを構成します。寄生インダクタによって発生するスパイクノイズを低減するのに効果的です。

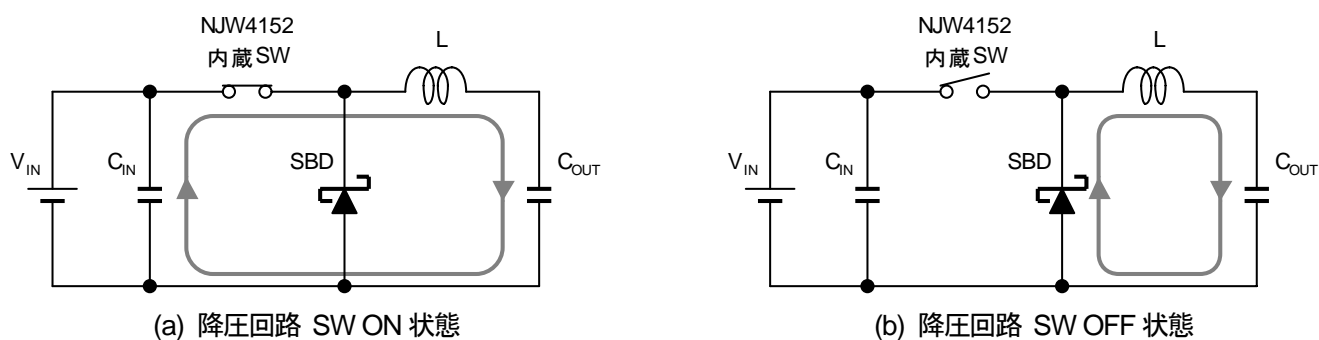


図5 降圧回路における電流ループ

GND ラインは、パワー系と信号系を分離した上で1点アースをとるのが望ましい接続です。

また電圧検出のフィードバックラインは、できるだけインダクタンスから離します。本ラインはインピーダンスが高いため、インダクタンスからの漏れ磁束でノイズの影響を避けるように配線します。

図6に降圧回路での配線例、図7にレイアウト例を示します。

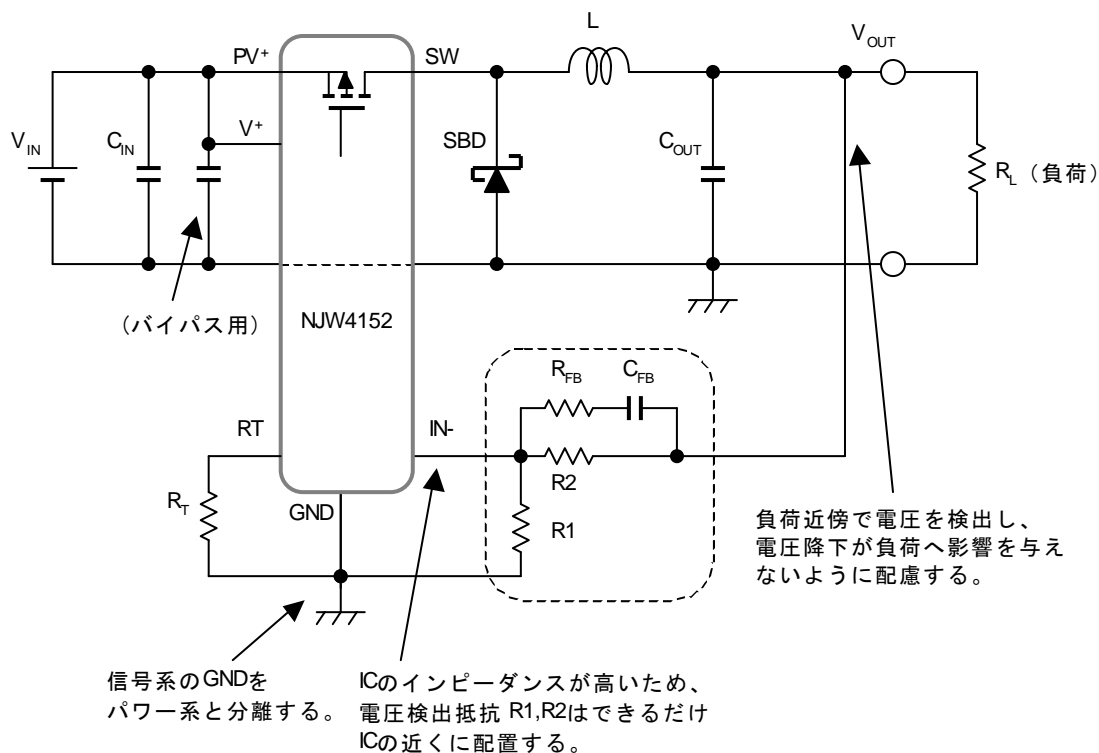
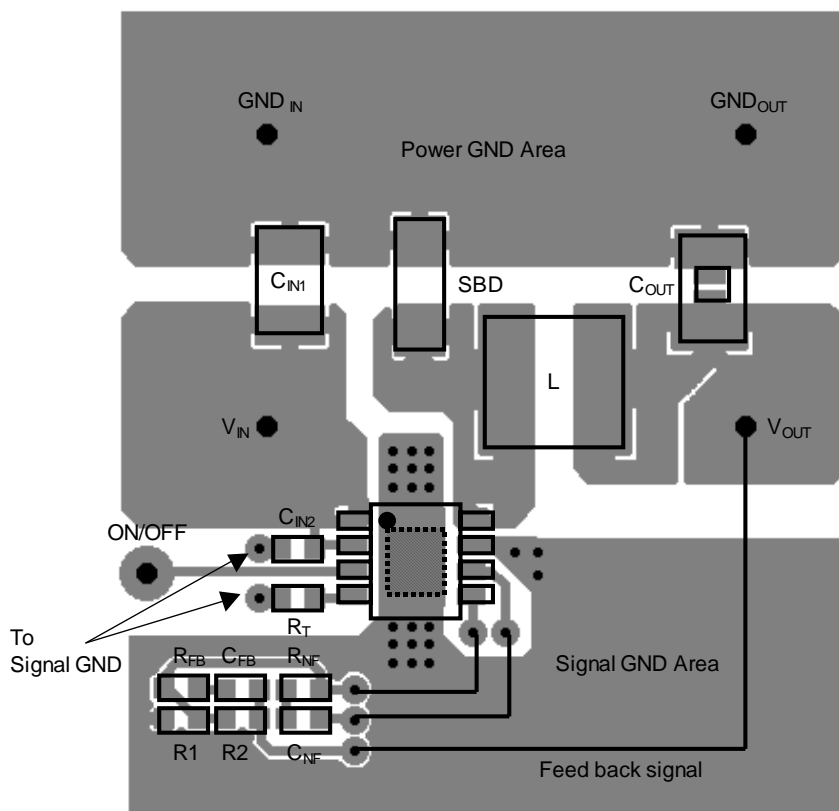


図6 降圧回路での配線例

■アプリケーション情報 (続き)



裏面にてパワー系 GND と信号系 GND を接続

図7 レイアウト例 (上面パターン)

■パッケージパワーの計算

降圧回路の損失の多くは、スイッチ動作を行う NJW4152 のパワー-MOSFET によって発生します。そのため下記式を目安に NJW4152 の損失として考えます。

入力電力 : $P_{IN} = V_{IN} \times I_{IN}$ [W]
 出力電力 : $P_{OUT} = V_{OUT} \times I_{OUT}$ [W]
 ダイオードの損失 : $P_{DIODE} = V_F \times I_{L(avg)} \times \text{OFF duty}$ [W]
 NJW4152 の消費電力 : $P_{LOSS} = P_{IN} - P_{OUT} - P_{DIODE}$ [W]

ただし、

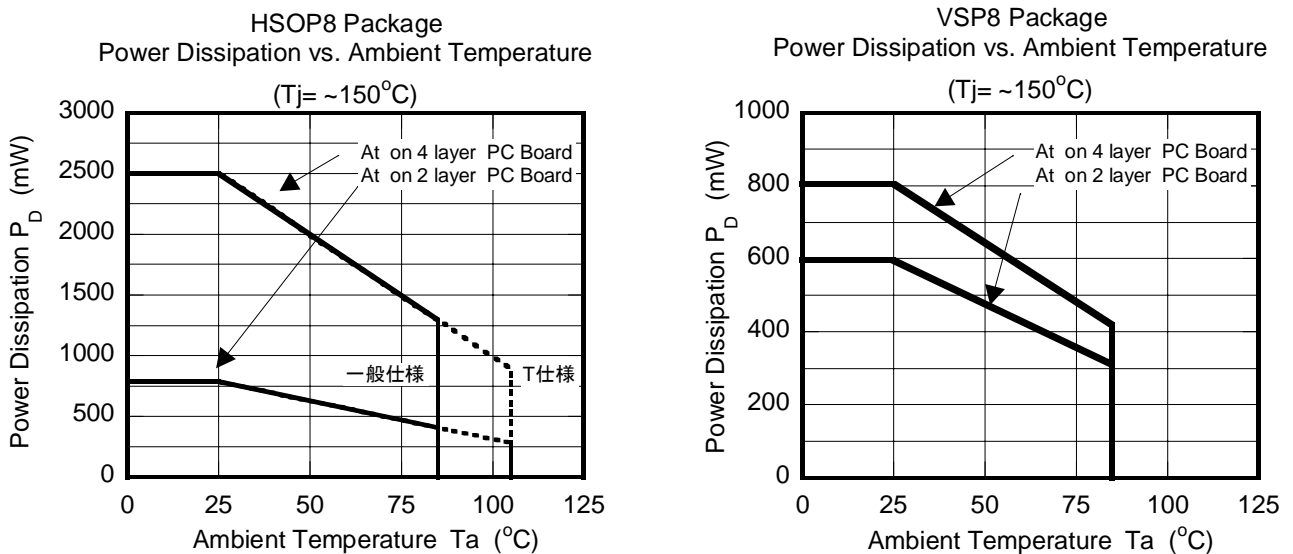
V_{IN} : コンバータの入力電圧 I_{IN} : コンバータの入力電流
 V_{OUT} : コンバータの出力電圧 I_{OUT} : コンバータの出力電流
 V_F : ダイオードの順方向飽和電圧 $I_{L(avg)}$: インダクタ平均電流
 OFF duty : スイッチ OFF 時間

変換効率 η は、下記式によって求められます。

$$\eta = (P_{OUT} \div P_{IN}) \times 100 \quad [\%]$$

求めた消費電力 P_D に対して温度ディレーティングを考慮します。

消費電力対周囲温度特性例 (図7) を参考に、定格内に収まるか確認してください。



基板実装時 76.2mm × 114.3mm × 1.6mm(2層 FR-4)で EIA/JEDEC 準拠による

基板実装時 76.2mm × 114.3mm × 1.6mm(4層 FR-4)で EIA/JEDEC 準拠による

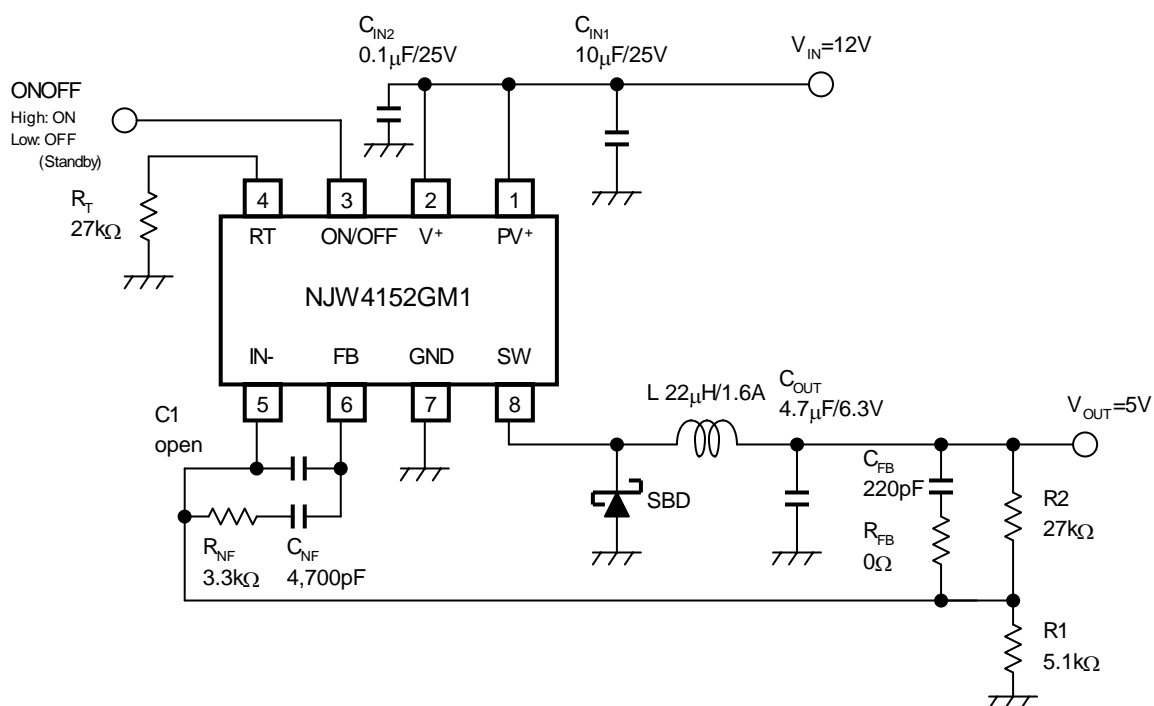
(4層基板内箔 : 74.2 × 74.2mm)

図7 消費電力対周囲温度特性例

■アプリケーション設計例

●降圧アプリケーション仕様

IC	: NJW4152GM1-A
入力電圧	: $V_{IN}=12V$
出力電圧	: $V_{OUT}=5V$
出力電流	: $I_{OUT}=1A$
発振周波数	: $f_{osc}=700kHz$
出力リップル電圧	: $V_{ripple(P-P)}=20mV$ 以下



L	: Sumida	CDRH8D28-220
SBD	: Toshiba	CMS11

■アプリケーション設計例（続き）

●発振周波数の設定

「発振周波数対タイミング抵抗特性例」より、
 $f_{osc}=700\text{kHz}$ のとき、 $R_T=27\text{[k}\Omega\text{]}$ 、 $t=1.43\text{[}\mu\text{s]}$ となります。

降圧回路のデューティ比は、

$$Duty = \frac{V_{OUT} + V_F}{V_{IN}} \times 100 = \frac{5 + 0.4}{12} \times 100 = 45\text{ [\%]}$$

より、 $t_{ON}=0.64\text{[}\mu\text{s]}$ 、 $t_{OFF}=0.79\text{[}\mu\text{s]}$ で動作します。

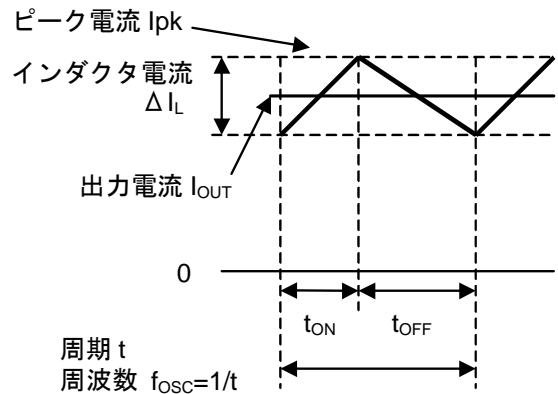


図8 インダクタ電流波形

●インダクタの決定

最大出力電流 1A を想定するため、スイッチング電流制限最小値 $I_{LIM}=1.4\text{A(min)}$ にかからないように、インダクタ・リップル電流を設定します。本アプリケーションでは、インダクタ・リップル電流を、出力電流の 20%として設計します。

リップル電流を ΔI_L とすると、

$$\Delta I_L = 0.2 \times I_{OUT} = 0.2 \times 1 = 0.2\text{ [A]}$$

インダクタンス L を求めます。

$$L = \frac{V_{IN} - V_{DS-RON} - V_{OUT}}{\Delta I_L} \times t_{ON} = \frac{12 - 0.5 - 5}{0.2} \times 0.64\mu = 20.8 \Rightarrow 22\text{ [}\mu\text{H]}$$

但し、 V_{DS-RON} : MOSFET の ON 抵抗による電圧低下分

インダクタンス L は、理論上の値であり、アプリケーションの仕様、部品等によって最適な値は異なりますので、最終的には実機で微調整を行います。

定常動作時のピーク電流 I_{pk} を求めます。

$$I_{pk} = I_{OUT} + \frac{\Delta I_L}{2} = 1 + \frac{0.2}{2} = 1.1\text{ [A]}$$

インダクタンスに流せる電流は、スイッチング時のピーク電流に対して十分な余裕を持たせます。アプリケーション回路では、 $22\mu\text{H}/1.6\text{A}$ を使用します。

■アプリケーション設計例（続き）

●入力コンデンサの決定

入力コンデンサは、電源の入力に当たる部分であり、電源のインピーダンスを十分に下げる必要があります。コンデンサの選定には、容量よりも入力リップル電流とコンデンサ耐圧に重点をおいて決定します。

入力実効電流は、下記計算式で表せます。

$$I_{RMS} = I_{OUT} \times \frac{\sqrt{V_{OUT} \times (V_{IN} - V_{OUT})}}{V_{IN}} [A]$$

上記計算式は、 $V_{IN}=2 \times V_{OUT}$ 時が最大になり、その時の結果は、 $I_{RMS}=I_{OUT(MAX)} \div 2$ です。

入力コンデンサの選定は、アプリケーションで評価の上、十分なマージンを持った物をご使用ください。

●出力コンデンサの決定

出力コンデンサは、出力のリップルノイズを決める重要な部品です。

出力コンデンサは、ESR、リップル電流、コンデンサ耐圧に重点をおいて決定します。

出力リップル電圧は、下記計算式で表せます。

$$ESR = \frac{V_{ripple(p-p)}}{\Delta I_L}$$

また出力容量の選定には、十分なリップル電流を許容できる物を選びます。

コンデンサに流れるリップル電流の実効値(I_{rms})は、

$$I_{rms} = \frac{\Delta I_L}{2\sqrt{3}} = \frac{0.2}{2\sqrt{3}} = 58 [mA_{rms}]$$

となります。

ここでは十分なマージンをふまえて、上記スペックを満たせるコンデンサを使用します。アプリケーション回路では、セラミックコンデンサ $C_{OUT}=4.7\mu F/6.3V$ を使用します。

●出力電圧の設定

出力電圧 V_{OUT} は、 $R1, R2$ の抵抗比で決まります。 $R1, R2$ に流れる電流は、Error AMP に流れるバイアス電流を無視できるような値とします。

$$V_{OUT} = \left(\frac{R2}{R1} + 1 \right) \times V_B = \left(\frac{27k}{5.1k} + 1 \right) \times 0.8 = 5.04 [V]$$

技術資料

■補償の設計例

スイッチングレギュレータは、安定した出力を得るためにフィードバック回路を必要とします。インダクタンスや出力コンデンサ等によって、アプリケーションの周波数特性が変化するので、安定動作に必要な位相を確保しつつ、最大の帯域が得られる補償定数が理想的です。

これらの補償定数は、実機調整も大きな役割を果たします。最終的にはアプリケーション仕様を考慮して、測定しながら定数を選定してください。

●フィードバックと安定性

フィードバックループは、ループゲインが0dBとなる点において、開ループの位相シフトを -180° 未満にする事が基本です。さらに負荷変動時のリングングや発振耐性を考えると、位相余裕を確保したループ特性が重要です。NJW4152ではフィードバック回路が任意に設計できるため、ループ補償に重要なポールとゼロの配置を最適化する事が可能です。

ポールとゼロの特性を図9に示します。

ポール：ゲインは -20dB/dec の傾きをもち、位相は -90° シフトします。

ゼロ：ゲインは $+20\text{dB/dec}$ の傾きをもち、位相は $+90^\circ$ シフトします。

ポールとなる要因の数を n とすれば、ゲイン・位相の変化も n 倍になります。ゼロにおいても同様です。ポールとゼロは相反の関係にあるため、それぞれの要因が1つずつあれば、打ち消し合うこととなります。

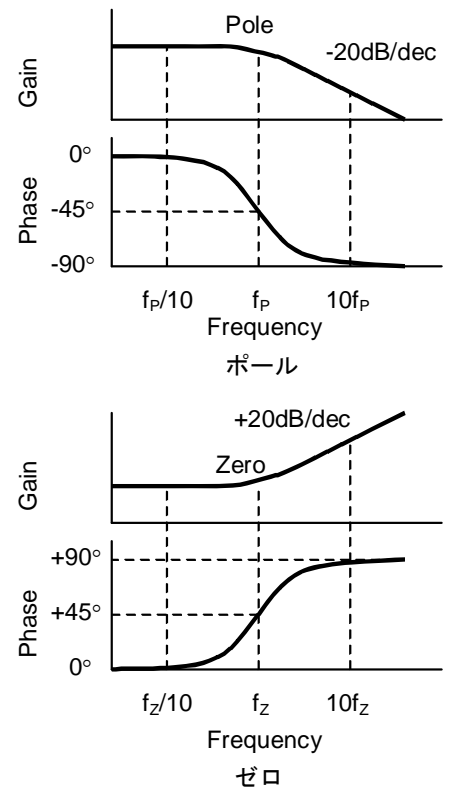


図9 ポールとゼロの特性

●補償回路の構成

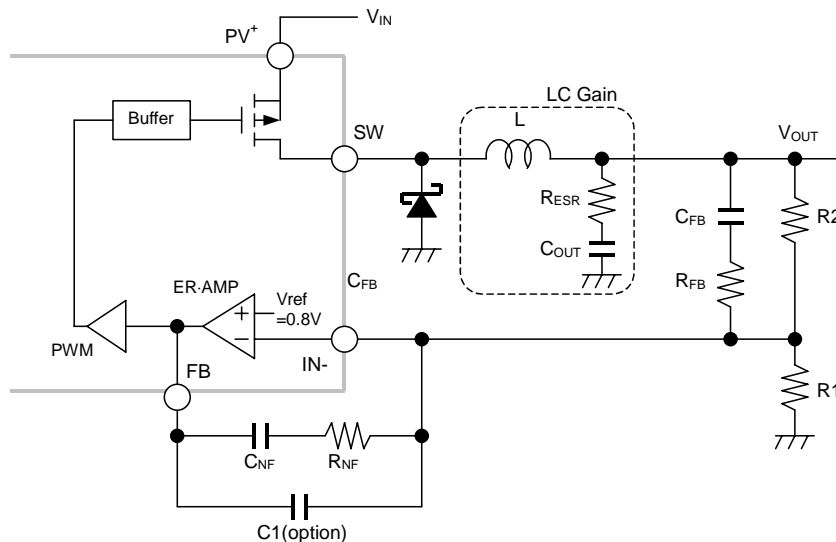


図10 補償回路の構成

●インダクタンスと出力コンデンサによるポールとゼロ

インダクタンスと出力コンデンサによってダブルポール $f_{P(LC)}$ を発生させます。同時に出力コンデンサと ESR によってシングルゼロ $f_{Z(ESR)}$ が生成されます。それぞれのポールとゼロは、次の式によって表すことができます。

$$f_{Z(ESR)} = \frac{1}{2\pi C_{OUT} R_{ESR}} \quad f_{P(LC)} = \frac{1}{2\pi \sqrt{LC_{OUT}}}$$

出力コンデンサの ESR が大きい場合、 $f_{Z(ESR)}$ が $f_{P(LC)}$ の近傍に位置します。このようなアプリケーションでは、ゼロ $f_{Z(ESR)}$ がダブルポール $f_{P(LC)}$ を補償する形となり安定性を確保しやすい傾向があります。

しかし出力コンデンサの ESR が小さい場合、 $f_{Z(ESR)}$ は高域に移行し $f_{P(LC)}$ によって位相が -180° シフトしてしまいます。NJW4152 の補償回路では、 f_{Z1} と f_{Z2} のゼロを用いて補償することが可能です。

●エラーアンプによるポールとゼロ

エラーアンプで形成されるシングルポール・ゼロは次の式によって求められます。

ゼロ	ポール
$f_{Z1} = \frac{1}{2\pi C_{NF} R_{NF}}$	$f_{P1} = \frac{1}{2\pi C_{NF} A_V \left(\frac{R1R2}{R1+R2} \right)}$ (A_V : アンプの開ループ利得=80dB)
$f_{Z2} = \frac{1}{2\pi C_{FB} R2}$	$f_{P2} = \frac{1}{2\pi C_{FB} \left(R_{FB} + \frac{R1R2}{R1+R2} \right)}$
	$f_{P3} = \frac{1}{2\pi C1 R_{NF}}$ (Option)

f_{Z1} 、 f_{Z2} は、 $f_{P(LC)}$ の両側に配置します。

インダクタンス、出力コンデンサのばらつきがあるため、

$$f_{P(LC)} \times 0.5 \text{ 倍} \sim 0.9 \text{ 倍}$$

$$f_{P(LC)} \times 1.1 \text{ 倍} \sim 2.0 \text{ 倍}$$

を目安にそれぞれを設定します。

f_{Z1} 、 f_{Z2} を $f_{P(LC)}$ よりも低い位置に配置する方法もあります。位相のシフト量が増してゲインも高くなる傾向を持つことから、応答性の向上が期待できます。しかし高周波での位相余裕が不足しやすい傾向があるので注意が必要です。

f_{P1} はエラーアンプのミラー効果によって、低周波領域にポールを作ります。 f_{P1} が低くなるほど安定性は向上しますが、周波数特性が伸びず、応答性に影響を与えます。 f_{P1} は、 $f_{P(LC)}$ の周波数利得=20dB を目安に設定します。

エラーアンプの開ループ利得=80dB とすると、 $f_{P1} < f_{P(LC)} \div 10^3$ (=60dB) を目安に設計します。

数 100kHz 以上では様々なポールが生じるため、ループゲインの 0dB 周波数は発振周波数の 1/5~1/10 を上限に設定します。高周波領域にある $f_{Z(ESR)}$ が影響して、ループゲインを発生させる場合があります (図 1.1 Loop Gain ※参照)。 f_{P2} 、 f_{P3} を用いて高周波領域でのループゲインを十分に下げるよう、実機で調整を行ってください。

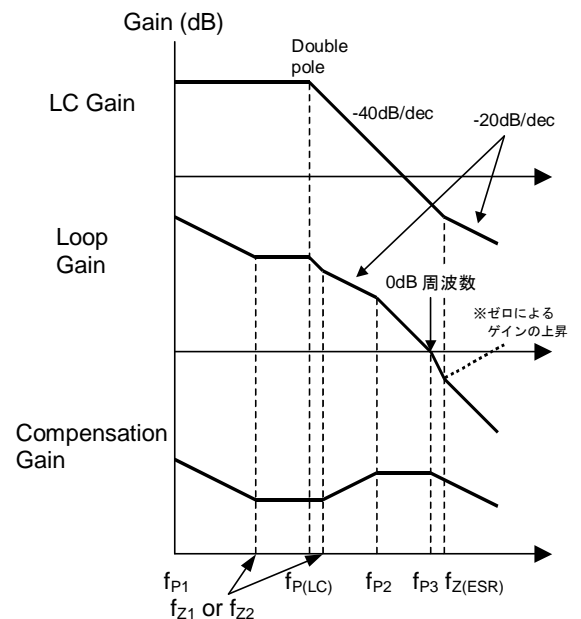
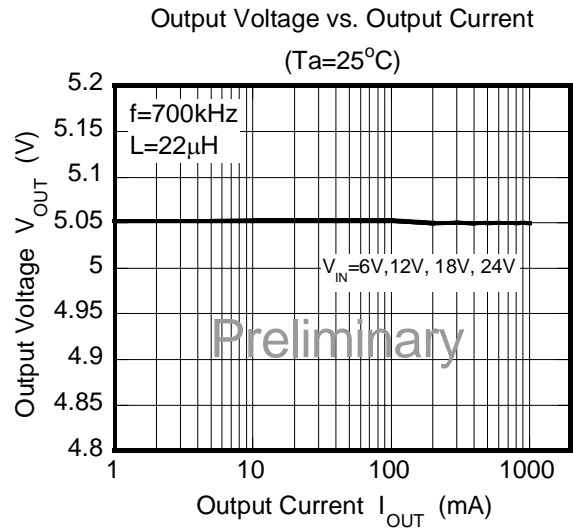
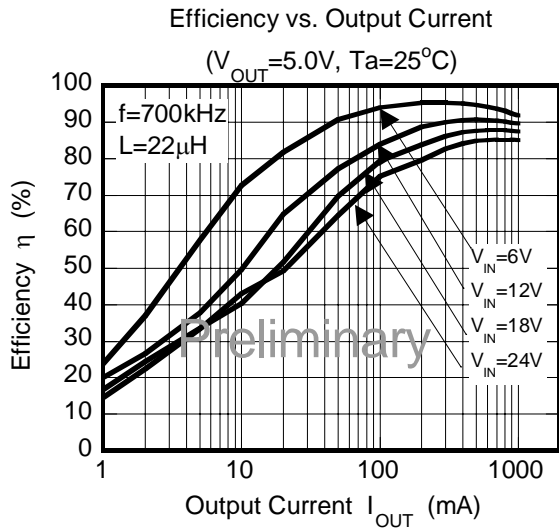


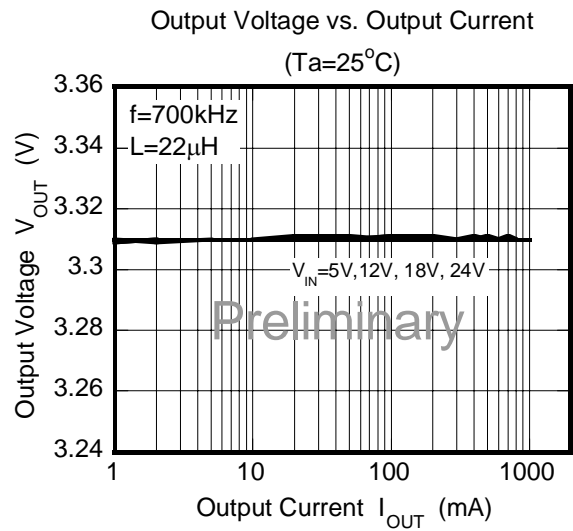
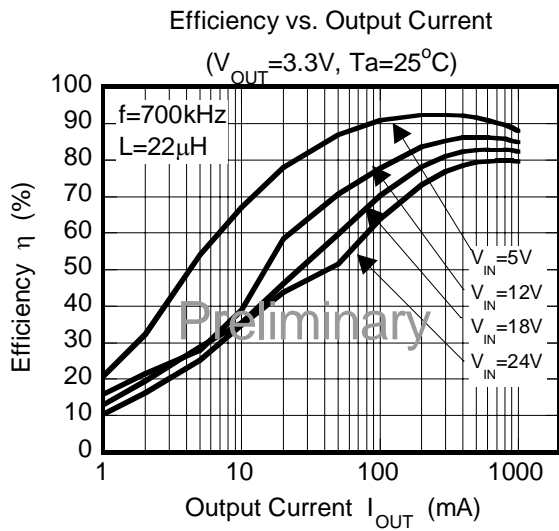
図 1.1 ループゲイン例

■アプリケーション特性例

● $V_{OUT}=5V$ 設定時 ($R1=5.1k\Omega$, $R2=27k\Omega$, $C_{FB}=220pF$)



● $V_{OUT}=3.3V$ 設定時 ($R1=15k\Omega$, $R2=27k\Omega$, $C_{FB}=150pF$)



MEMO

<注意事項>

このデータブックの掲載内容の正確さには万全を期しておりますが、掲載内容について何らかの法的な保証を行うものではありません。とくに応用回路については、製品の代表的な応用例を説明するためのものです。また、工業所有権その他の権利の実施権の許諾を伴うものではなく、第三者の権利を侵害しないことを保証するものでもありません。