

デジタルオーディオ用 D 級アンプ

製品概要

NJU8725 は、デジタル信号入力、D 級動作出力のステレオオーディオ用パワーアンプです。

LPCM(リニア PCM)デジタル信号を 1 ビット PWM 信号に変換する変調器と D 級動作のパワー MOSFET を内蔵しています。出力に LC 型ローパスフィルタを接続することで低損失にオーディオ再生ができます。内部にデジタルアッタケータ、ソフトミュートおよびディエンファシス機能(3 線式シリアル設定時)の他、出力端子の短絡保護機能を有しています。また、制御信号により無音状態と待機状態への遷移ができます。

応用回路

図 1-1 にシリアル設定時、図 1-2 にパラレル設定時の代表的な応用回路例を示します。

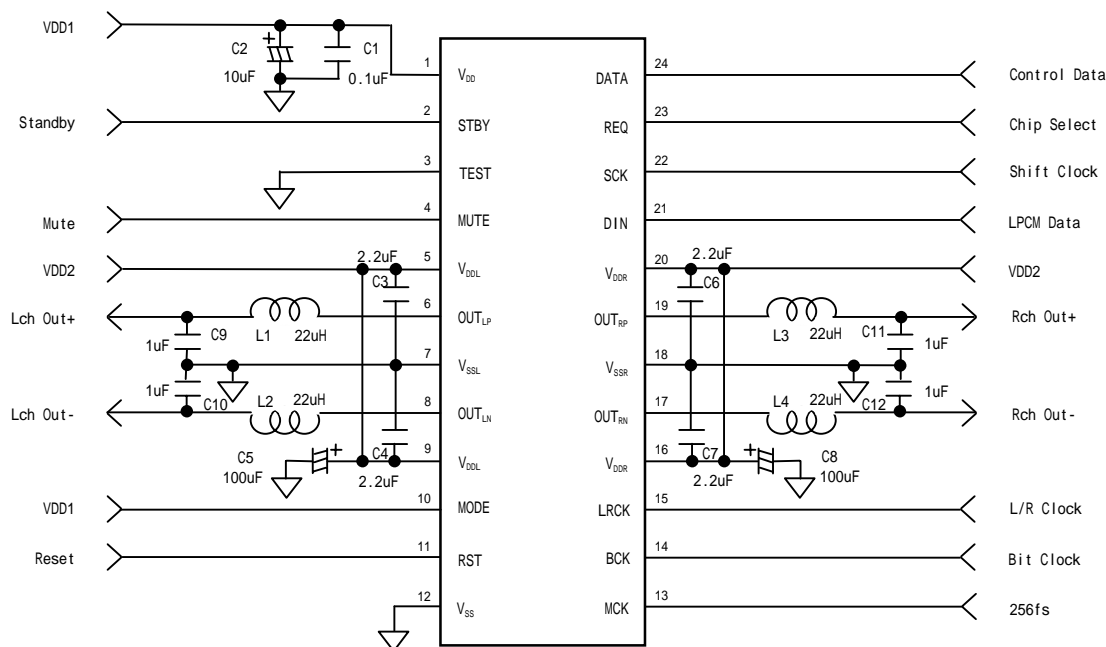


図 1-1. 応用回路例 1 (シリアル設定)

<注意事項>

本アプリケーションノートに掲載されている製品の仕様等は、予告なく変更することがあります。ご使用にあたっては、納入仕様書の取り交わしが必要です。

このアプリケーションノートの掲載内容の正確さには万全を期しておりますが、掲載内容について何らかの法的な保証を行うものではありません。とくに応用回路・特用例については、製品の代表的な応用例を説明するためのものです。また、工業所有権その他の権利の実施権の許諾を伴うものではなく、第三者の権利を侵害しないことを保証するものではありません。

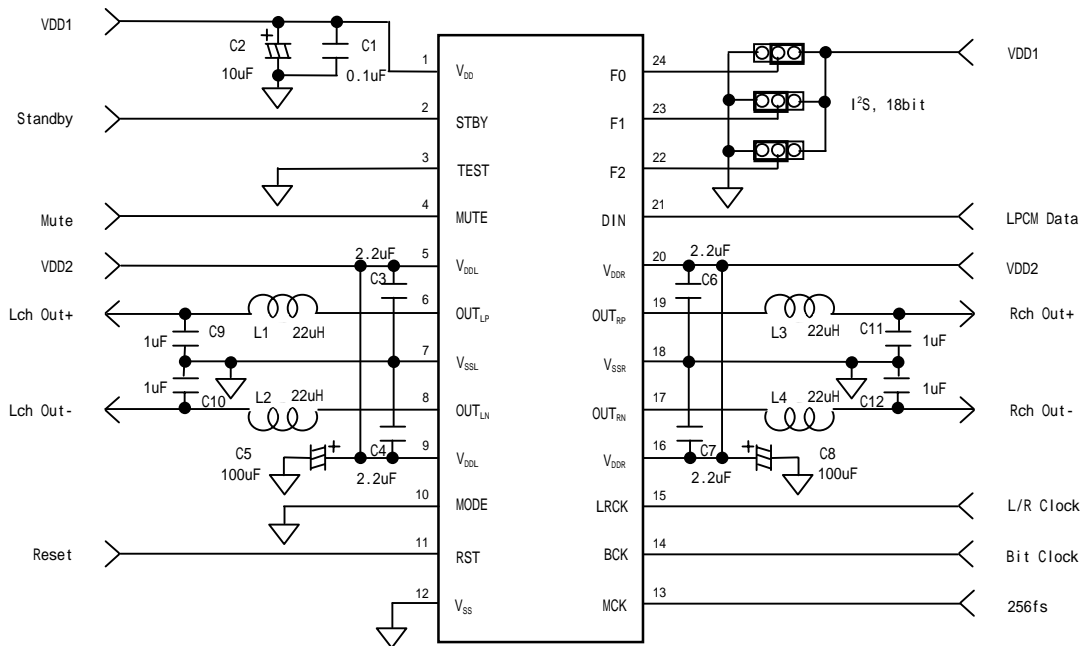


図 1-2. 応用回路例 2 (パラル設定)

ファンクション設定

ファンクション設定方法は、MODE 端子の状態によりシリアル設定とパラル設定の 2 種類があります。

[シリアル設定]

MODE 端子を高レベル (図 1-1) にすると、制御レジスタインターフェイス (SCK、REQ および DATA 端子) を介して設定した内部制御レジスタの設定値が有効になります。制御レジスタは、オーディオフォーマット、デジタルアッタネータ、ディエンファシス、ミュート遷移時間、ソフトミュートおよびソフトリセットが設定できます。ただし、MODE 端子の状態に依らず、RST、MUTE および STBY 端子機能は常時有効です。

[パラル設定]

MODE 端子を低レベル (図 1-2) にすると、機能端子 (F0、F1、F2、RST、MUTE および STBY 端子) から直接ファンクション設定ができます。オーディオフォーマットは F0、F1 および F2 端子で設定します。また、デジタルアッタネータのゲインは 0dB 固定になります。

注：制御レジスタおよび機能端子の詳細は、NJU8725 データシートに記載されています。

制御レジスタインターフェイス

制御レジスタインターフェイスは、3 線式シリアルインターフェイス (REQ、SCK および DATA 端子) です。シリアル設定時のみ有効です。REQ 端子が低レベル期間、SCK 端子の立ち上がりエッジで DATA 端子論理を内部ソフトレジスタに取り込み、REQ 端子の立ち上がりエッジで最新の 8 ビットデータを制御レジスタに転送します。8 ビット制御データは MSB ビットから降順に入力します。

注：制御レジスタインターフェイスの詳細は、NJU8725 データシートに記載されています。

シリアルオーディオインターフェース

NJU8725 はシリアルオーディオインターフェースのスレーブとして働きます。I²S、左詰めおよび右詰めの3種類のオーディオデータフォーマットに対応し、それぞれ16または18ビットのデータ長が選択できます。シリアル設定時は、制御レジスタ内のB3～B1ビット(図2-1参照)で、パラレル設定時は、F0、F1およびF2端子でデータフォーマットを設定します。

注：MUTE機能をONにする時は、初期設定のデータフォーマットと同じデータを常に入力して下さい。

B7	B6	B5	B4	B3	B2	B1	B0
1	0	0	1	F2	F1	F0	MUTE

F0	F1	F2	データフォーマット	ビット数	初期値
0	0	0	I ² S	16	○
0	0	1	左詰め	16	
0	1	0	右詰め	16	
1	0	0	I ² S	18	
1	0	1	左詰め	18	
1	1	0	右詰め	18	

図2-1. シリアルオーディオインターフェースでのデータフォーマット設定

BCK端子の立ち上がりエッジでDIN端子論理を内部レジスタに取り込み、LRCK端子のエッジで、同端子論理で選択されたチャンネルの入力レジスタに転送します。オーディオデータはMSBビットから降順に入力します。

I²Sまたは左詰めデータフォーマットでは、選択したデータ長(16または18ビット)以外のオーディオデータを入力できません。ただし、データ長が長い場合はLSB側データを切り捨てます。(図2-2参照)

また、データ長が短くLSB側データが不定の場合はノイズの原因になります。

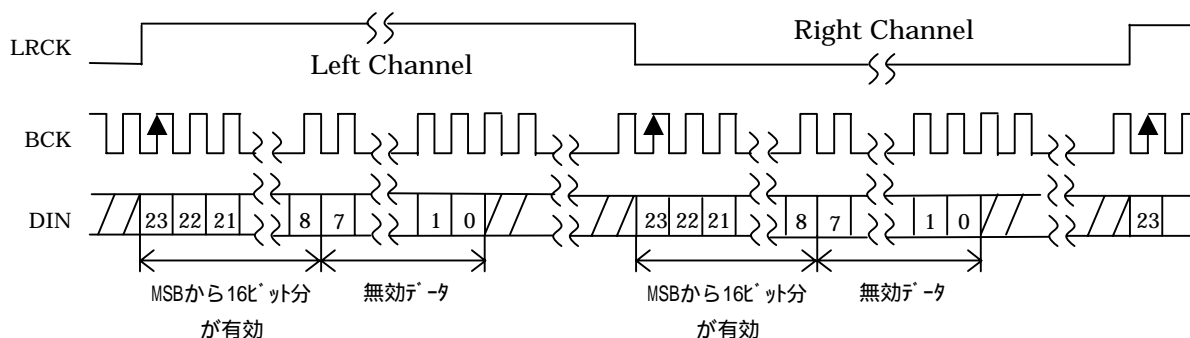


図2-2. 24ビットデータ入力(16ビット/左詰めデータフォーマット設定時)

一方、右詰めデータフォーマットでは、選択したデータ長以外のオーディオデータではMSB側データの欠落のため正常動作しません。

注：LRCK端子信号(サブリック周波数)は、MCK端子信号(マスタークロック)に同期させます。ただし、位相関係に規定はありません。±10クロック以上の同期外れ検出時は、再同期までオーディオ出力をミュートします。

注：シリアルオーディオインターフェースの詳細は、NJU8725データシートに記載されています。

マスタークロック

MCK 端子にマスタークロック：256fs（サンプル周波数：fs の 256 倍）を入力します。
 マスタークロックは、デジタルフィルタ処理や制御レジスタ設定および機能端子設定を有効にするシステムクロックとして、また、PWM 信号出力の基準クロックとして働きます。マスタークロックのジッタは PWM 信号出力のジッタとなりノイズの原因になります。また、マスタークロックの停止は、出力端子の不定状態を回避するため、スタンバイ状態に遷移後行います。

制御データ

(1)アッテネータ

アッテネータのアッテネーション値は、制御レジスタ内 ATTN6 から ATTN0 ビットにより、- と +100dB から +6dB 範囲を 1dB 刻みに設定できます。アッテネータの設定値間の遷移は、制御レジスタ内 MUTT2 から MUTT0 ビットで示される 1 ステップ 当りの遷移時間を基準に、時間的段階を踏んで行います。

(2)ディエンファシス

ディエンファシスフィルタは、50us/15us インファシス処理された LPCM データをディエンファシス処理します。制御レジスタ内 DEMP1 から DEMP0 ビットでサンプル周波数（32kHz、44.1kHz および 48kHz に対応）にあわせてデジタルフィルタを選択します。

リセット / スタンバイ / ミュート制御

RST 端子をレベルにすると制御レジスタおよびデジタルフィルタを初期化、スタンバイ機能が働き、出力端子 (OUT_{LP}、OUT_{LN} および OUT_{RP}、OUT_{RN}) がハイインピーダンス状態となり、完全に回路を停止して、低消費電流の待機状態になります。

STBY 端子をレベルにするとスタンバイ機能が働き、出力端子 (OUT_{LP}、OUT_{LN}、および OUT_{RP}、OUT_{RN}) がハイインピーダンス状態となり、完全に回路を停止して、低消費電流の待機状態になります（図 3-1 参照）。

MUTE 端子をレベルにするとミュート機能が働き、出力端子 (OUT_{LP}、OUT_{LN} および OUT_{RP}、OUT_{RN}) からは無音信号が出力されます。この場合 IC 内部での消費電流は殆ど変わりません。

RST、STBY および MUTE 端子を共にレベルにした場合、RST、STBY そして MUTE 端子機能の順に優先されます。

また、各機能を使用しない場合は、それぞれの機能端子を V_{DD} 電位に接続します。

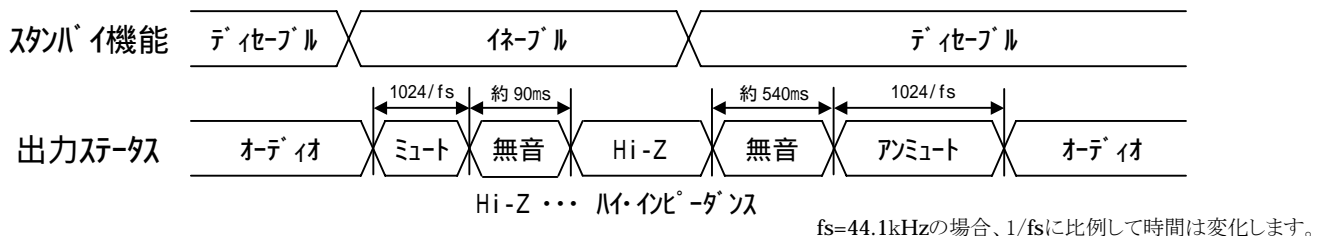


図 3-1. スタンバイ機能

ミュート機能には、STBY 端子で行うモードと、MUTE 端子で行うモードの 2 つの方法があります。

STBY 端子でミュートを行う場合には図 3-2. の動作をし、無音の後、アンミュート動作をします。この時のミュート遷移時間は 1024/fs となります。

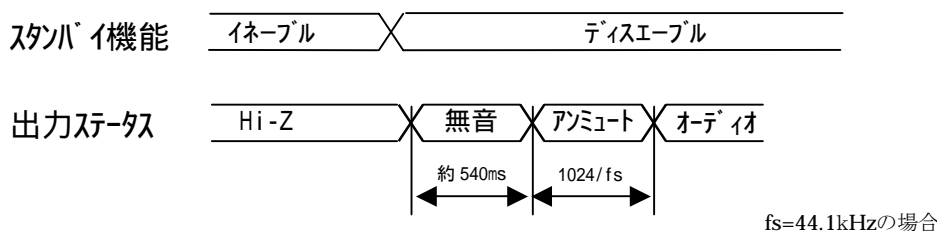
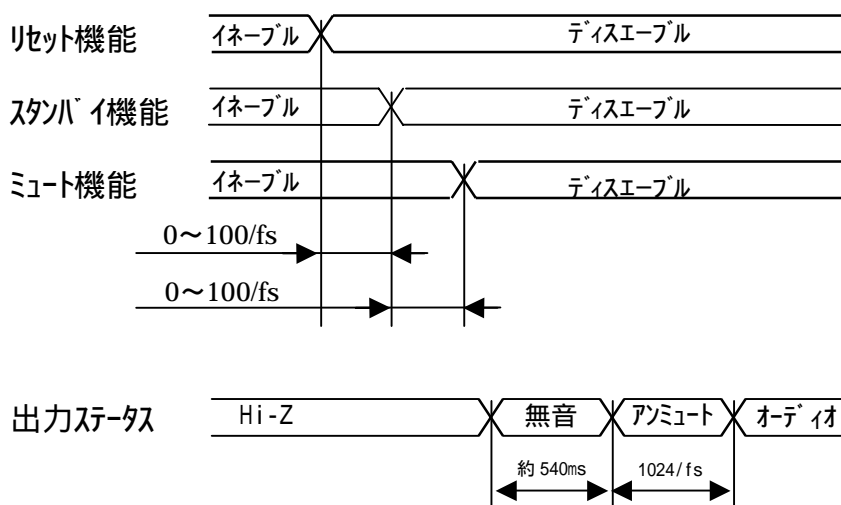


図 3-2. スタンバイ機能でのアンミュート動作

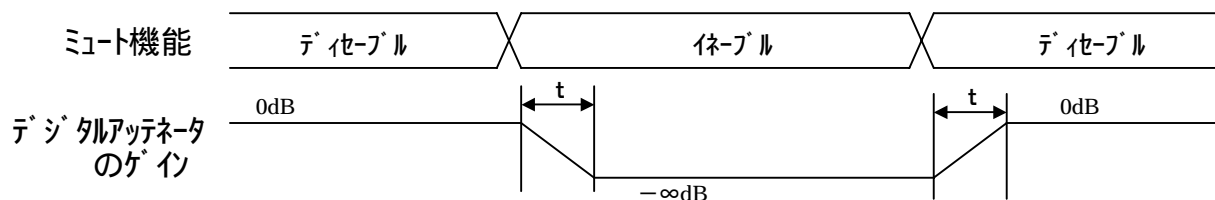
リセット機能とスタンバイ機能とミュート機能を併用して、ミュート時間を $1024/fs$ とする場合には、図 3-3. のタイミングで入力する必要があります。



fs=44.1kHzの場合

図 3-3. リセットとスタンバイとミュートのタイミング

遷移中の僅かなノイズを減らす方法として、ミュート端子を使つてのミュート機能があります。これはオーディオデータ周波数と、 $1/fs$ に依存します。この依存関係を図 3-4. に示します。条件によりますが、STBY 端子でミュートを行う場合に比べてミュート遷移時間が長くなる場合があります。ミュート遷移時間を短縮するには STBY 端子を使用してください。



オーディオデータ周波数 (kHz)	ミュート時間 t (ms)
0.2	1240
1	245
16	15.5

アッテネータの遷移時間が $1/fs$ の場合

図 3-4. ミュート時間

ポップ音対策

スタンバイ機能がイネーブルとなると出力ステータスはミュート状態に、またディセーブルになると出力ステータスはアソミュート状態にそれぞれ $1024/fs$ 期間自動的に遷移します。そのためリセット/スタンバイ時のポップ音を抑止することが出来ます。(図 3-1 参照)

最大出力電力

[BTL 接続]

BTL (Bridge-Tied-Load) 接続の接続例を図 3 に示します。非反転信号出力端子 (OUT_{LP}、OUT_{RP}) と反転信号出力端子 (OUT_{LN}、OUT_{RN}) 出力を負荷の両端に接続します。

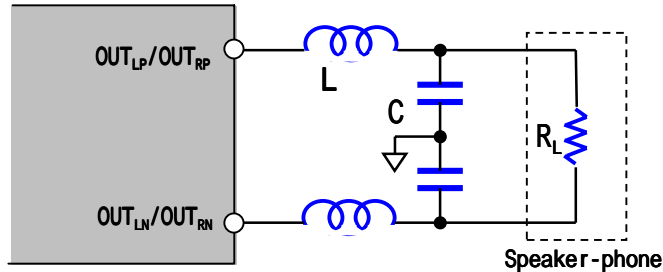


図 3. BTL 接続例

0dBFS (フルスケール) の LPCM データ入力時の出力電圧: V_{RL} [Vrms]、出力電流: I_{RL} [Arms] および出力電力: P_0 [W] は、PWM 変調器の変調率: M [%]、パワー MOSFET のお抵抗: R_{DS} [] とコイルの直流抵抗: R_{DC} [] およびスピーカ負荷インダクタンス: R_L [] より式(1) ~ (2) を用いて概算できます。

$$P_0 = \frac{V_{RL}^2}{R_L} = I_{RL}^2 \times R_L \quad \dots (1)$$

$$P_0 = \left[\frac{V_{DD} \times \frac{R_L}{2(R_{DS} + R_{DC}) + R_L} \times \frac{M}{10}}{2} \right]^2 \div R_L \quad \dots (2)$$

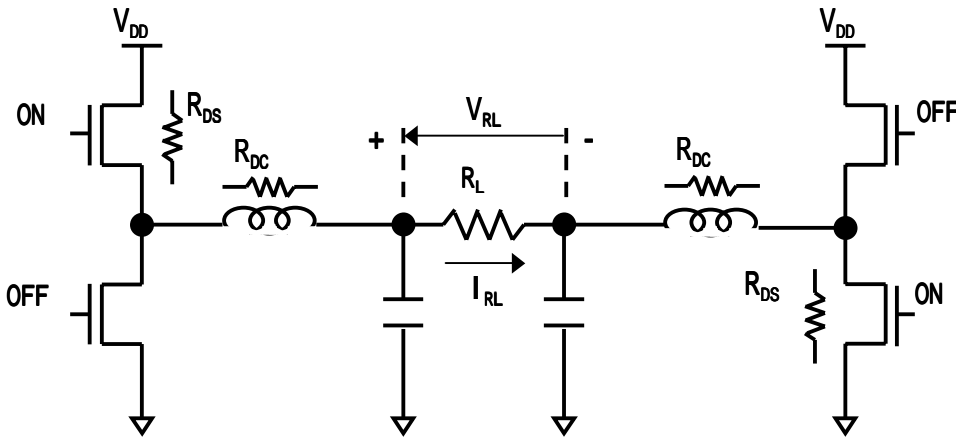


図 4. H-ブリッジ D 級出力段

例えば、変調率は 85%、パワー MOSFET のお抵抗は約 0.8 ですから、電源電圧が 5V、8 負荷そしてコイルの直流抵抗が 0.2 とすると、最大出力電力は約 0.7W となります。

出力フィルタ

NJU8725 の出力はキャリア周波数が 32fs の PWM 信号です。負荷に供給される可聴帯域外の高周波成分を抑制するため出力フィルタとして 2 次以上の LC 型 LPF (Low-Pass-Filter) を使用します。フィルタを構成するコイル (インダクタンス: L [H]) と容量 (キャパシタンス: C [F]) の値は負荷インダクタンスに依存し、図 3 の 2 次フィルタでは式(3)~(4)により算出します。通常、カット周波数: F_{CL} [Hz]として、25~50kHz、Q 値(カット周波数近傍の特性)として 1/2 を使用して算出後、系列近傍の部品を選択します。例えば、カット周波数を 30kHz 辺りとした場合、8 負荷では 22uH/1.0uF が、4 負荷では 15uH/2.2uF が選択されます。

注: コイルの直流抵抗や容量の直列等価抵抗は導伝損失の要因になります。これを低減するには、抵抗成分の小さい部品の選定が必要です。

注: カット周波数や Q 値の設定は音質に影響を与えます。また、Q 値が大きいとカット周波数近傍のオーディオ信号に対して消費電流が増加するため、Q 1 となるように定数を設定します。

$$C = \frac{Q}{F_{CL} \cdot R_L} \quad \dots (3)$$

$$L = \frac{R_L}{4 \cdot F_{CL} \cdot Q} \quad \dots (4)$$

電力損失

IC 固有の電力損失: P_D [W]は、負荷出力電力: P_O [W]、パワー-MOSFET の内抵抗: R_0 [Ω] (BTL 接続時は $R_{DS} \times 2$)、負荷インダクタンス: R_L [Ω]そして IC 内部回路の電力損失: P_{DIC} [W]より式(5)で概算できます。

$$P_D = P_O \times \frac{R_0}{R_L} + P_{DIC} \quad \dots (5)$$

例えば、出力部電源電圧 5V で 8 負荷に 0.7W \times 2 チャンネル出力する場合、IC 固有の電力損失は式(6)のように約 340mW となります。

$$0.7W \times \frac{1.6}{8} \times 2 + 60mW = 340mW \quad \dots (6)$$

注: インタック部電源電圧 3.3V、出力部電源電圧 5V、出力フィルタ 22uH/1.5uF (東光製コイル: A915BY-220M、村田製作所製容量: GRM40F155Z25) で無音信号出力時の P_{DIC} は、約 60mW です。

また、電力効率： [%]は、IC 固有の電力損失： P_D [W]とコイルの直流抵抗による電力損失： P_C [W]および負荷出力電力： P_O [W]より式(7)で概算できます。上記の例では約 79%となります。図 5 に NJU8725 のチャンネルあたりの出力電力に対する電力効率の特性例を示します。

$$\eta = \frac{P_O}{P_O + P_D + P_C} \times 100 \quad \dots (7)$$

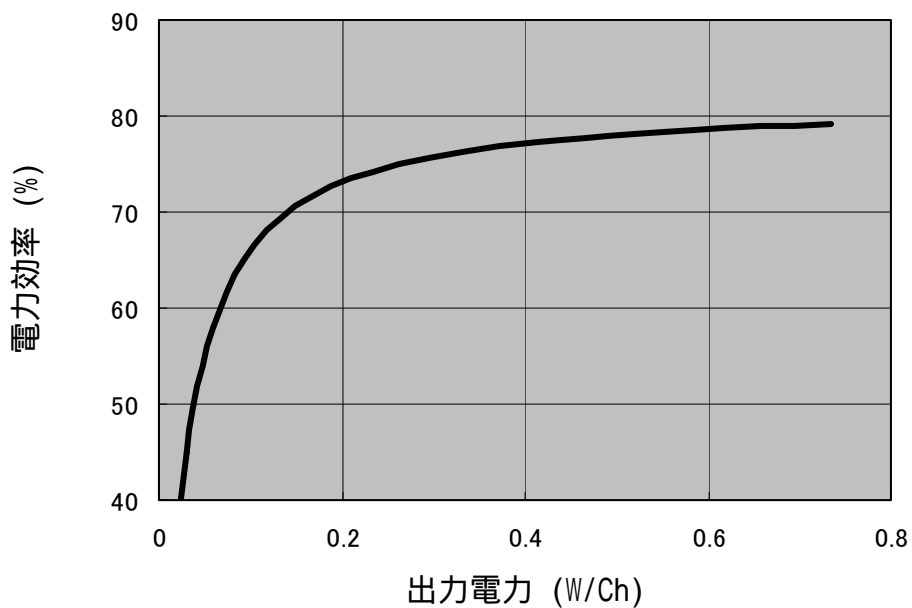


図5. 電力効率対出力電力

許容損失

D 級動作のアンプは、一般的なアンプ動作のアンプに比べて電力効率が高く、発熱も少ないのですが、NJU8725 は小型パッケージを使用しているため、最大出力で連続動作させた場合、最大許容損失を超える場合があります。一般的な音楽信号の場合、平均電力は最大出力電力の 1/5 から 1/10 程度であり、基板からの放熱もあるため、実使用上は許容損失を超えることはありませんが、使用の際、実装基板の熱抵抗、使用周囲温度、出力電力(平均値)等を考慮し、最大許容損失を超えないよう注意が必要です。

NJU8725 の SSOP24 パッケージの最大許容損失： P_{dMAX} [W] は、ジャンクション温度： T_{jMAX} []、周囲温度： T_a [] およびパッケージの熱抵抗： θ_{ja} [/W] より式(8)で求められます。例えば、ジャンクション温度は 125°C、IC 単体のパッケージ熱抵抗は 167°C/W ですから、周囲温度が 25°C の最大許容損失は約 600mW となります。

$$P_{dMAX} = \frac{T_{jMAX} - T_a}{\theta_{ja}} \quad \dots (8)$$

また、参考データとして、SSOP24 パッケージの IC 単体の許容損失を図 6 に示します。

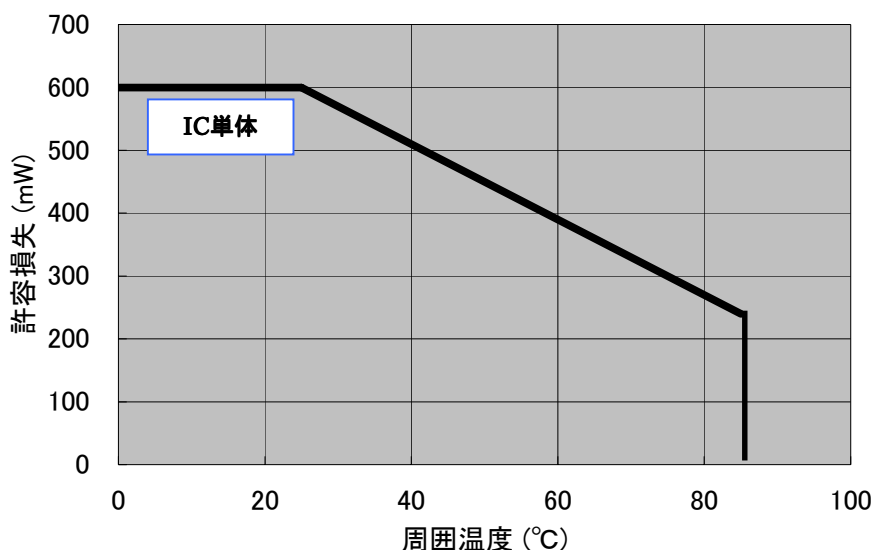


図 6. SSOP24 パッケージの許容損失

電源

NJU8725 の電源は、式(1)で示されるオーディオ信号帯域の電流供給と出力段のスイッチングによる吐き出し/吸い込み電流に対して安定動作する必要があります。電源端子間 $V_{DD}-V_{SS}$ 、 $V_{DDL}-V_{SSL}$ および $V_{DDR}-V_{SSR}$ のデカップリングコンデンサは、これら電流によるリップルを抑制するため補助的に働きます。アプリケーション回路や使用温度に合わせて容量値を調整します。また、基板上の配線がもたらすインダクタンスはデカップリングコンデンサの周波数特性を劣化させます。デカップリングコンデンサは、高周波用途のものから IC の近くに配置し、太く短く配線します。

ノイズ

MCK、LRCK、BCK および DIN 端子への入力信号のオバースhoot/アンダースhootは電源から回り込み、オーディオ出力のノイズ原因となります。必要に応じて数 10 のダンプ抵抗を挿入します。

また、MCK 端子信号の立ち上り/立ち下り時間が長く電源電圧変動が大きいと、ノイズが大きくなりノイズの原因となります。必要に応じてバッファを挿入します。

注：入力端子の入力容量は約 3pF です。実装時は基板容量が付加されます。

レイアウト

図7にパルル設定モード時の部品配置およびレイアウト例を示します。例では、両面基板の表面を部品面および配線に、裏面を入力部電源ラインおよび出力部電源のグランドプレーンとしています。

OUT_{LP}/OUT_{LN} 端子および OUT_{RP}/OUT_{RN} 端子出力特性を同じにするため、出力フィルタおよび出力部電源の部品配置と配線を対称にします。

EMI ノイズ (電磁ノイズ) の大きさは、高周波の電流が流れる部品および配線で囲まれた電流ループの面積と長さに依存します。IC の出力電源端子とデカップリングコンデンサで形成される電流ループおよび出力端子と出力フィルタで形成される電流ループの面積が最小となるよう部品を配置し、太く短く配線します。

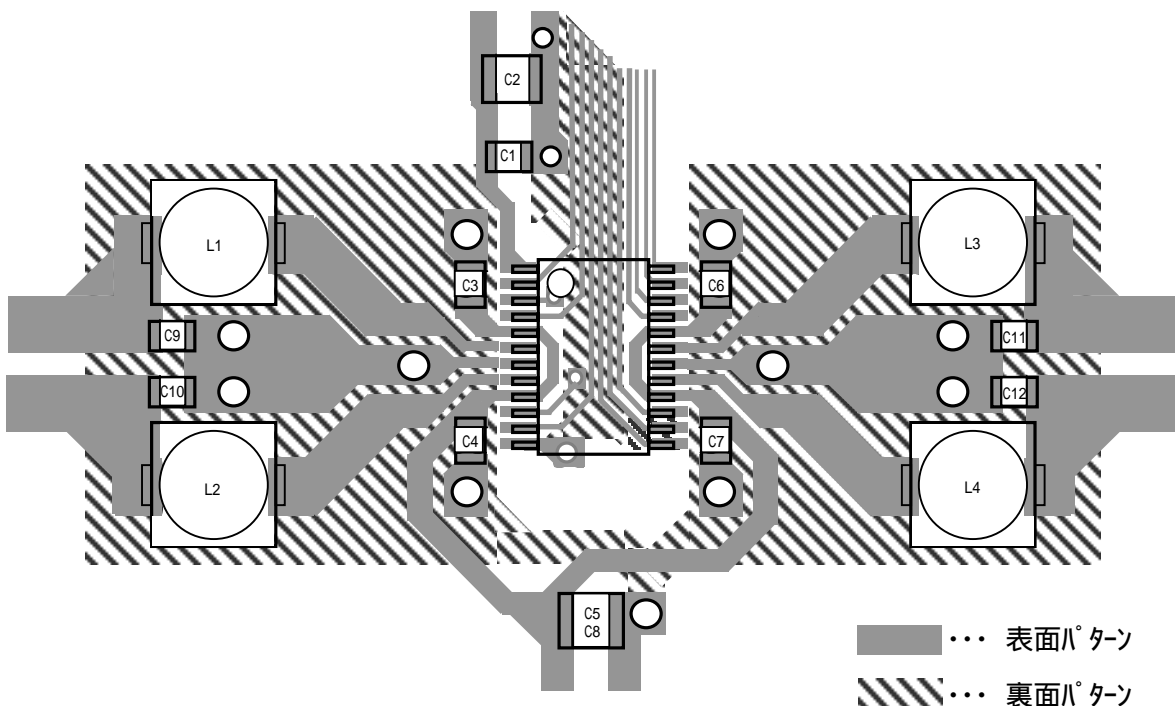


図7. レイアウト例