

NJU26500 シリーズ 共通データシート

■ 概要

NJU26500 シリーズは、24 ビット DSP コアのデジタルオーディオプロセッサです。この仕様書は、NJU26500 シリーズ ハードウェアの共通仕様について記述しています。本仕様は、NJU26501 から NJU26599 までの DSP について適用されます。個別の機能等については、各々の製品データシートを参照してください。また、ファームウェアのコマンドについては、個別のコマンドリストを参照してください。

外形



NJU26500FS1

■ 特徴

ハードウェア

- 24 ビット固定小数点デジタルシグナルプロセッサ
- 外部クロック周波数 : 24.576MHz(標準) PLL を内蔵
- デジタルオーディオインターフェース : 入力 4 ポート、出力 4 ポート
- デジタルオーディオフォーマット : I²S 24bit、左詰め、右詰め 対応 BCK : 32/64fs
- マスター/スレーブ対応
 - ・マスター時、MCK = 256fs、MCK2 = 512fs (@fs=48kHz)
- ホストインターフェース
 - ・I²C バスインターフェース (Fast-mode/400kbps)
 - ・シリアルインターフェース (4 線式: クロック、スレーブセレクト、入力データ、出力データ)
- 電源電圧 : V_{DD} = V_{DDPLL} = 1.8V、V_{DDIO} = 3.3V
- 入力専用端子許容電圧 : 5V トレラント
- パッケージ : QFP52-S1 (鉛フリー対応)

■ ブロック図

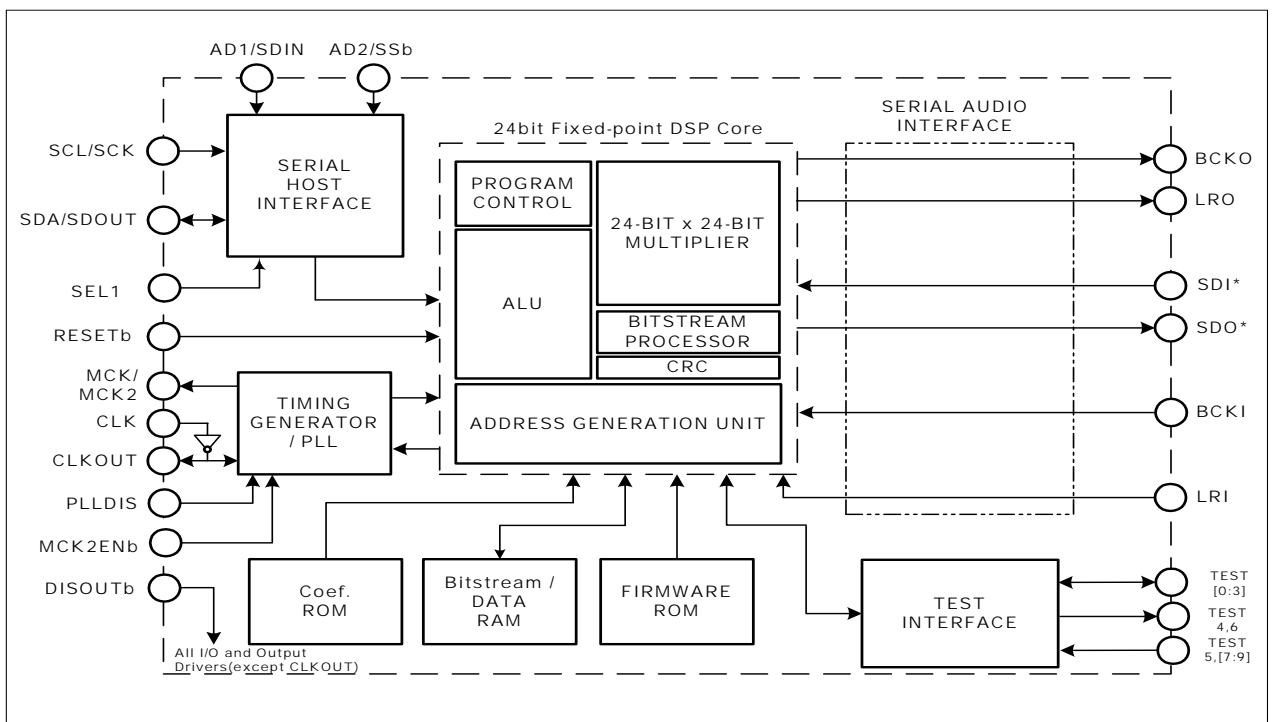


図1 NJU26500シリーズハードウェアブロック図

NJU26500 シリーズ

■ 端子配列

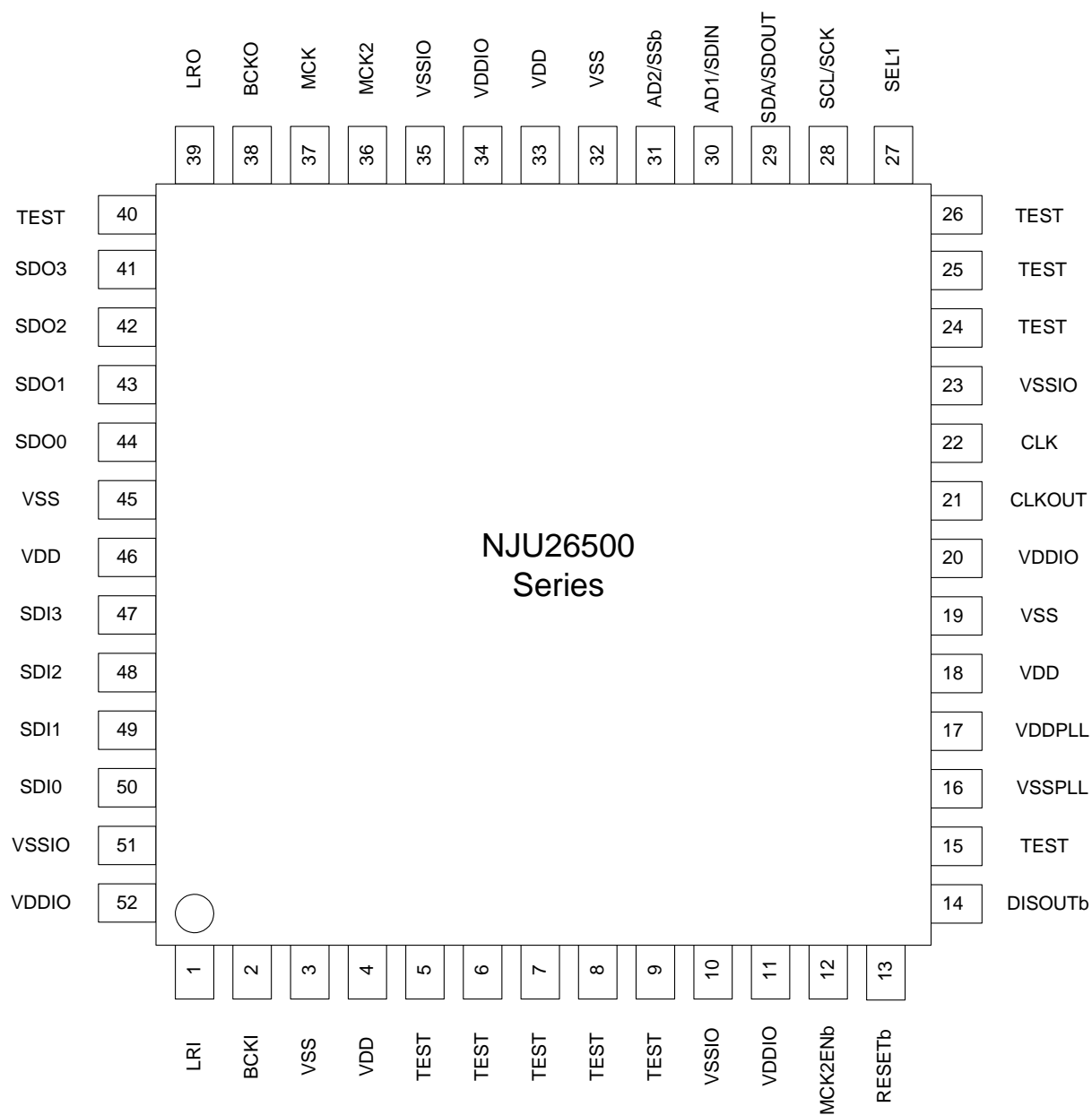


図2 端子配列

■ 端子説明

表1 端子説明

Pin No.	端子名	I/O	機能
1	LRI	I	LR クロック入力
2	BCKI	I	ビットクロック入力
3, 19, 32, 45	VSS	-	内部ロジック電源 GND
4, 18, 33, 46	VDD	-	内部ロジック電源 +1.8V
5, 6, 7, 8	TEST	I/O	テスト用端子 (3.3kΩ の抵抗を介し VSSIO に接続すること)
9, 24	TEST	O	テスト用端子 (オープンにすること)
10, 23, 35, 51	VSSIO	-	I/O 部電源 GND
11, 20, 34, 52	VDDIO	-	I/O 部電源 +3.3V
12	MCK2ENb	Ipd	MCK2 イネーブル ('0': MCK2 出力, '1': MCK2 ハイインピーダンス)
13	RESETb	I	リセット (RESETb='0' でリセット)
14	DISOUTb	Ipu	出力ディセーブル ('0': CLKOUT 以外の全端子をハイインピーダンス化)
15, 25, 26	TEST	Ipd	テスト用端子 (VSSIO に接続すること)
16	VSSPLL	-	PLL アナログ部電源 GND
17	VDDPLL	-	PLL アナログ部電源 +1.8V
21	CLKOUT	I/O	水晶発振用クロック出力端子
22	CLK	I	水晶発振用クロック入力端子
27	SEL1	Ipu	ホストインターフェース選択 ('0': I ² C バス, '1': シリアル 4 線式)
28	SCL/SCK	I	シリアルクロック (I ² C) / シリアルクロック (シリアル 4 線式)
29	SDA/SDOUT	I/O	シリアルデータ入出力 (I ² C) / シリアルデータ出力 (シリアル 4 線式) - I ² C バス選択時、オープンドレイン出力です。プルアップ抵抗を接続してください。 - シリアル 4 線式選択時、CMOS 出力です。プルアップ抵抗を接続する必要ありません。
30	AD1/SDIN	I	I ² C アドレス選択 1 (I ² C) / シリアルデータ入力 (シリアル 4 線式)
31	AD2/SSb	I	I ² C アドレス選択 2 (I ² C) / スレーブ選択 (シリアル 4 線式)
36	MCK2	O	マスタークロック出力 2 (CLK 端子のバッファ出力)
37	MCK	O	マスタークロック出力 (CLK 端子の 2 分周出力)
38	BCKO	O	ビットクロック出力
39	LRO	O	LR クロック出力
40	TEST	Ipu	テスト用端子 (VDDIO に接続すること)
41	SDO3	O	オーディオデータ出力 3/
42	SDO2	O	オーディオデータ出力 2
43	SDO1	O	オーディオデータ出力 1
44	SDO0	O	オーディオデータ出力 0
47	SDI3	I	オーディオデータ入力 3
48	SDI2	I	オーディオデータ入力 2
49	SDI1	I	オーディオデータ入力 1
50	SDI0	I	オーディオデータ入力 0

I : 入力

Ipd : 入力プルダウン付

Ipu : 入力プルアップ付

O : 出力

I/O : 双方向

注意: SDI0 ~ 3, SDO0 ~ 3 は、仕様により機能が異なるため 個別データシートを参照してください。

NJU26500 シリーズ

■ 絶対最大定格

(以降、特に断り無き場合、全ての電気的特性・定格において、 $V_{SS}=0V$ と定義し、この電位を GND 電位と規定します。)

表2 絶対最大定格 ($V_{SS}=V_{SSPLL}=V_{SSIO}=0V, Ta=25^{\circ}C$)

項目	記号	定格	単位
電源電圧	Logic	V_{DD}	-0.3 ~ 2.1
	PLL	V_{DDPLL}	-0.3 ~ 2.1
	I/O	V_{DDIO}	$V_{DD} \sim 3.8$
端子電圧 *	In	V_x	-0.3 ~ 5.5 ($V_{DDIO} = 3.0V$) -0.3 ~ 3.8 ($V_{DDIO} < 3.0V$)
	I/O	$V_{x(I/O)}$	-0.3 ~ 3.8
	Out	$V_{x(OUT)}$	-0.3 ~ 3.8
	CLK	$V_{x(CLK)}$	-0.3 ~ 2.1
	CLKOUT	$V_{x(CLKOUT)}$	-0.3 ~ 2.1
許容損失	P_D	300	mW
動作温度範囲	T_{OPR}	-40 ~ 85	$^{\circ}C$
保存温度	T_{STR}	-40 ~ 125	$^{\circ}C$

* V_x : 1, 2, 12 ~ 15, 25 ~ 28, 30, 31, 40, 47 ~ 50pin

* $V_{x(I/O)}$: 5 ~ 8, 29pin

* $V_{x(OUT)}$: 9, 24, 36 ~ 39, 41 ~ 44pin

* $V_{x(CLK)}$: 22pin

* $V_{x(CLKOUT)}$: 21pin

■ 端子等価回路図

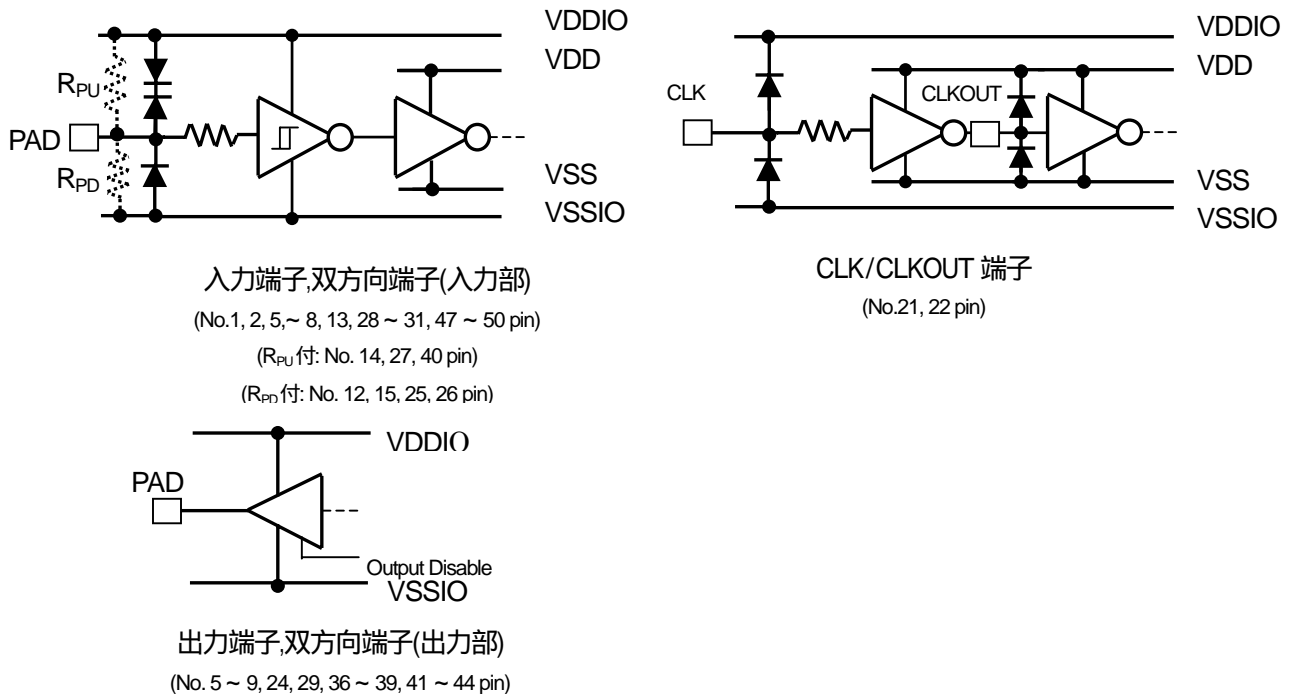


図3 NJU26500 シリーズ入出力等価回路図

■ 電気的特性

表3 電気的特性

(V_{DD}=V_{DDPLL}=1.8V, V_{DDIO}=3.3V, f_{OSC}=24.576MHz, Ta=25)

項目	記号	条件	Min.	Typ.	Max.	単位		
動作電圧範囲	Logic	V _{DD}	V _{DD} 端子	1.7	1.8	1.9	V	
	PLL	V _{DDPLL}	V _{DDPLL} 端子	1.7	1.8	1.9		
	I/O	V _{DDIO}	V _{DDIO} 端子	3.0	3.3	3.6		
消費電流 *1	I _{DD}	V _{DD} =V _{DDPLL} =1.8V V _{DDIO} =3.3V		-	40	-	mA	
	I _{DDPLL}			-	4.0	-		
	I _{DDIO}			-	3.0	-		
動作温度範囲	T _{OPR}	-	-40	25	85	°C		
High レベル入力電圧 (双方向端子) (クロック入力端子 *2)	V _{IH}	V _{DDIO} =3.0 ~ 3.6V	V _{DDIO} × 0.7	-	5.25	V		
	V _{IH(I/O)}	V _{DDIO} =3.0 ~ 3.6V	V _{DD} × 0.7	-	V _{DDIO}			
	V _{IH(OSC)}	V _{DD} =1.7 ~ 1.9V	V _{DD} × 0.7	-	V _{DD}			
Low レベル入力電圧 (クロック入力端子 *2)	V _{IL} , V _{LI(I/O)}	V _{DDIO} =3.0 ~ 3.6V	0	-	0.5	V		
	V _{IL(OSC)}	V _{DD} =1.7 ~ 1.9V	0	-	V _{DD} × 0.3			
入力リーク電流 (入力/双方向端子) (入力プルダウン付き端子) (入力プルアップ付き端子) (クロック入力端子 *2)	I _{IN} , I _{IN(I/O)}	V _{IN} = V _{DDIO}	-10	-	10	μA		
		V _{IN} = V _{SSIO}	-10	-	10			
		V _{IN} = V _{SSIO} ~ V _{DDIO}	-150	-	10			
	I _{IN(PD)}	V _{IN} = V _{DDIO}	100	-	400			
		V _{IN} = V _{SSIO}	-10	-	10			
		V _{IN} = V _{SSIO} ~ V _{DDIO}	-100	-	400			
	I _{IN(PU)}	V _{IN} = V _{DDIO}	-10	-	10			
		V _{IN} = V _{SSIO}	-200	-	-50			
		V _{IN} = V _{SSIO} ~ V _{DDIO}	-300	-	10			
	I _{IN(OSC)}	V _{IN} = V _{SS} ~ V _{DD}	-10	-	10			
	出力ハイインピーダンス時 リーク電流 (双方向端子) (出力専用端子 *3)	I _{OZ(I/O)}	V _{IN} = V _{DDIO} DISOUTb= V _{SSIO}	-10	-		10	μA
			V _{IN} = V _{SSIO} DISOUTb= V _{SSIO}	-10	-		10	
V _{IN} = V _{SSIO} ~ V _{DDIO} DISOUTb= V _{SSIO}			-150	-	10			
I _{OZ(OUT)}		V _{IN} = V _{SSIO} ~ V _{DDIO} DISOUTb= V _{SSIO}	-30	-	10			
High レベル出力電圧 (クロック出力端子 *4)	V _{OH}	I _{OH} = -2mA V _{DDIO} = 3.0V	2.7	-	-	V		
		I _{OH} =-300μA V _{DDIO} =3.0 ~ 3.6V	V _{DDIO} × 0.9	-	-			
Low レベル出力電圧 (クロック出力端子 *4)	V _{OL}	I _{OL} =2mA V _{DDIO} =3.0V	-	-	0.4	V		
		I _{OH} =300μA V _{DDIO} =3.0 ~ 3.6V	-	-	V _{DDIO} × 0.1			
V _{OL(OSC)}	I _{OH} = -2mA V _{DDIO} = 3.0V	2.7	-	-				
入力端子容量	C _{IN}		-	10	-	pF		
入力遷移時間	t _r / t _f	*5	-	-	100	ns		
入力クロック周波数	f _{OSC}	No.22pin (CLK)	-	24.576	25	MHz		
クロックデューティー比	r _{EC}	No.22pin (CLK)	24	50	55	%		

*1 動作電流は弊社測定環境(デモボード)における室温での実測値(参考値)です。

*2 クロック入力端子 : No.22pin(CLK)

*3 出力専用端子 : CLKOUT 端子を除きます。

*4 クロック出力端子 : No.21pin(CLKOUT)

*5 No.28~31pin の t_r / t_f は端子の動作モード(4線シリアル / I²C)により別途規定されます。

注意: No.22ピン(CLK)を除く全ての入力/入出力端子は、シュミット・トリガ入力になっています。

端子電圧は、V_{DDIO} 以下の電圧に設定してください。

出力専用端子は、V_{DDIO} 以上の電圧でプルアップしないでください。

NJU26500 シリーズ

1. 電源・クロック信号・リセット

1.1 電源

NJU26500 シリーズには、 V_{DD}/V_{SS} 、 V_{DDPLL}/V_{SSPLL} および V_{DDIO}/V_{SSIO} の3系統の電源が存在します。
 V_{DD}/V_{SS} は内部コア電源、 V_{DDPLL}/V_{SSPLL} は内部 PLL 電源、 V_{DDIO}/V_{SSIO} は入出力端子の電源として使用されます。

電源の投入・切断は、必ず以下の順序で行ってください。

電源投入 (先)	V_{DDIO}	V_{DD} , V_{DDPLL} (後)
電源切断 (先)	V_{DDPLL} , V_{DD}	V_{DDIO} (後)

電源は V_{DDIO} を必ず先に立ち上げてください。その後、 V_{DD} および V_{DDPLL} を立ち上げてください。(V_{DD} と V_{DDPLL} を別電源にする場合は、 V_{DDPLL} を最後に投入してください。) 順序を守らない場合、異常電流が流れ込むことにより、NJU26500 シリーズ及び周辺部品の永久破壊を引き起こす恐れがあります。また、電源の切断は、投入の逆シーケンスで行ってください。

全ての電源端子は確実に接続し、必ず各電源端子対の直近にデカップリングコンデンサを接続してください。

電源の投入・切断に関して、時間的パラメータはありませんが、電源間で投入中に電位が交差することがないように配慮してください。(V_{DDPLL} 、 V_{DD} の投入・切断は“同時”まで許容します。)

また、 V_{DDPLL}/V_{SSPLL} は内部 PLL 回路の電源となっており、電源ノイズに敏感です。内部コア電源 V_{DD} とは別電源とするか、外付け部品による簡易なフィルタ回路を挿入することを推奨します。図4は、簡易電源フィルタの例を示します。

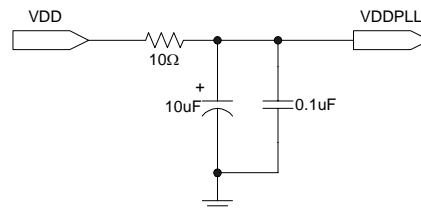


図4 簡易電源フィルタの例 (参考)

Note:

NJU26500 シリーズの出力専用端子(双方向端子は除きます)は V_{DDIO} 切断時にプルアップしないでください。システム中で NJU26500 シリーズのみ電源を切断する場合にはご注意ください。

1.2 クロック信号

NJU26500 シリーズの動作には、独立したクロックが必要です。CLK 端子にクロックを入力してください。

また、CLK/CLKOUT 端子に水晶振動子やセラミック振動子等を接続し、発振させることも可能です。設計される基板に応じた外部定数を設定してください。

水晶振動子を使用する場合は、基本波のものをお使いください。帰還抵抗が内蔵されておりますので、外部に帰還抵抗を接続する必要は基本的にありません。

CLK 端子は他の入力/入出力ピンと入力電圧の上限(最大で V_{DD} 電圧まで)が異なります。外部に発振器などを接続される場合は、電圧レベルにご注意ください。また、CLKOUT 端子は CLK 端子の反転出力端子と、内部への入力端子を兼ねています。

外部からクロックを供給する場合は、CLKOUT 端子には何も接続しないでください。また、CLKOUT 端子から信号を取り出さないでください。

CLK 端子に入力されるクロックをさらに外部で使用する必要がある場合は、MCK2ENb ピンを 'L' レベルに固定し、MCK2 ピンから出力される信号を使用してください。

図 5 は、水晶振動子使用時の参考例です。ただし、弊社がこの定数を保証するものではありません。必ずお客様側の使用部品・基板パターンに応じて調整をお願いします。

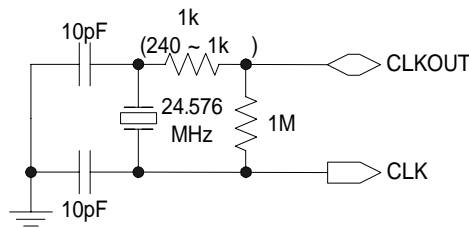


図5 クロック供給方法の例

* 発振レベル等の確認に使用した水晶：AT51(日本電波工業)

注意: NJU26500 シリーズを後述する DSP マスターモードで使用する場合、A/D、D/A コンバータ、または CODEC 等が基準クロックとして使用する MCK、MCK2、BCKO、LRO の各信号は、CLK 端子から供給されるクロックを基に生成されます。(内部 PLL は経由しません。)そのため、CLK 端子のクロックジッタが最終的に出力される音声信号の品質に影響を及ぼす可能性があります。

NJU26500 シリーズ(DSP マスターモード)での使用を検討される場合はご注意ください。

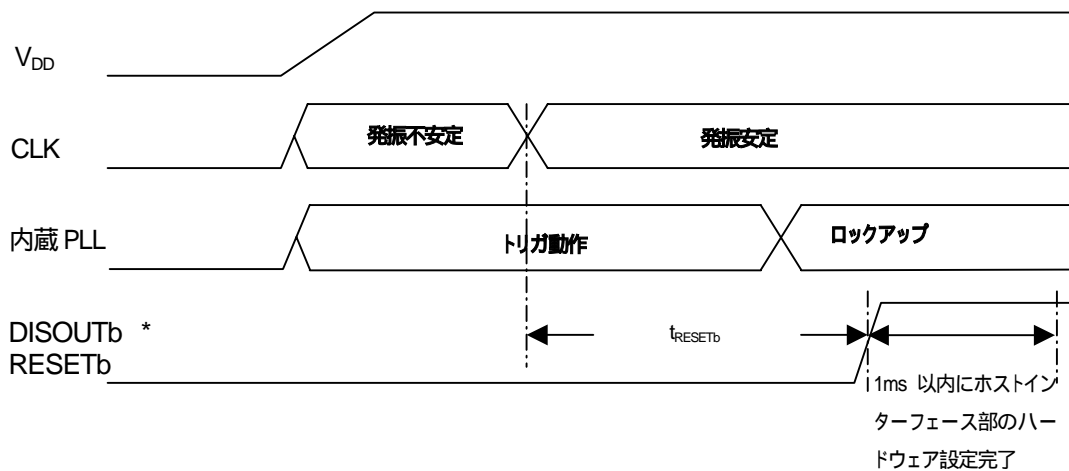
NJU26500 シリーズ

1.3 リセット

NJU26500 シリーズのリセットは、RESETb を一旦 “L” レベルにし、その後、“H” レベルにすることで行います。RESETb 端子は電源投入時には “L” レベルとなるようにし、水晶発振が安定した後(発振器から入力する場合は供給を開始した後)、少なくとも t_{RESETb} 期間 “L” レベルを維持してください。

電源投入時の SEL1 端子の状態、ホストインターフェースの種類を決定することができます。起動時 SEL1=“L” の場合、I²C バスが選択されます。また、起動時 SEL1=“H” の場合、4 線シリアルインターフェースが選択されます。

RESETb 端子を “H” にした後(リセット解除後)、NJU26500 シリーズは 1ms 以内にホストインターフェースの内部ハードウェア設定を終了し、通信可能な状態になります。内部設定の完了以前にホストインターフェース経由で通信を行わないでください。



(*: 参考)

図6 リセットタイミング

表4 リセット時間

記号	時間
t_{RESETb}	300 μ s

注意：

電源投入直後の安定しない状態や、万一の暴走時にリセットをかけて復帰させる際に、双方向端子の競合を早期に解決したい場合は、RESETb 端子と DISOUTb 端子を接続して使用してください。DISOUTb 端子を “L” レベルに固定すると、CLKOUT 端子以外の出力端子および双方向端子の出力ドライバ側を強制的に無効(ハイインピーダンス状態)にすることができます。なお、DISOUTb 端子の状態は入力端子及び双方向端子の入力回路側には影響を与えません。

動作中にクロックを停止させた場合、もしくは何らかの理由でリセットを再度かける場合は PLL を再度ロックさせるため、CLK 端子に正常なクロックを入れながら、 t_{RESETb} の期間 RESETb 端子(及び DISOUTb 端子: 推奨)を 'L' レベルに維持して、リセットを行い、その後、初期設定からやり直してください。

動作中はクロックの供給を停止しないでください。NJU26500 シリーズは内部に PLL 回路を搭載していますが、クロックの供給を停止した場合、PLL が正常なクロックを内部に送ることができなくなり、NJU26500 シリーズは正常に動作しません。

2. デジタルオーディオクロック

デジタルオーディオデータは、デジタルオーディオシステム間を同期して転送する必要があります。

NJU26500 シリーズは、マスターモード/スレーブモードのどちらのモードにも対応しています。

- ・ DSP マスターモードの場合、BCKO、LRO 端子出力のクロックは、デジタルオーディオデータ転送に使用します。
- ・ DSP スレーブモードの場合、BCKI、LRI の入力端子には、マスターデバイスからのクロック出力が必要になります。

2.1 オーディオクロック

デジタルオーディオデータ転送には、次の3種類のクロックが必要になります。

LR クロック(端子名:LRI、LRO)は、シリアルデータ転送で必要になります。デジタルオーディオ信号のサンプリング周波数と同じです。

ビットクロック(端子名:BCKI、BCKO)、シリアルデータ転送で必要になります。LR クロックの倍数になります。

マスタークロック(端子名:MCK、MCK2)は、A/D、D/A コンバータなどで必要になります。LR クロックの倍数になります。また、シリアルデータ転送とは関係ありません。

NJU26500 シリーズは通常用途ではスレーブモードとして機能しますが、マスターモードとして使用することも可能です。NJU26500 シリーズに供給するクロックは通常 $24.576\text{MHz} = 48\text{kHz} \times 512$ ですが**マスターデバイスとして使用する場合は、NJU26500 シリーズはサンプリング周波数 48kHz に対して必要な転送クロックを発生させることができます。**(表5)

注意: NJU26500 シリーズは内部に PLL 回路、及び DSP マスターモード用分周回路を搭載しており、 24.576MHz の周波数に合わせて設計されています。仕様書の範囲を越えた周波数を入力すると、PLL のロックが外れ、音声処理の処理落ちなどが発生します。

NJU26500 シリーズの音声処理機能は、すべて $f_s=48\text{kHz}$ までの対応となっています。それ以上のサンプリング周波数では、処理落ちによるノイズが発生します。

MCK 端子: RESETb="H" の場合、CLK を 1/2 分周したクロックが出力します。

RESETb="L" の場合、MCK を出力を停止し、"Low" レベルに固定します。

MCK2 端子: MCK2ENb="L" の時、CLK の 1 分周(バッファ出力)したクロックが出力します。

MCK2ENb="H" の場合、MCK2 をハイインピーダンス(Hi-Z)状態にして出力停止します。

表5 サンプリング周波数と BCK,LR,MCK,MCK2

(CLK=24.576MHz)

モード	クロック信号	倍レート周波数	32kHz	44.1kHz	48kHz
DSP スレーブ	LR	1fs	32kHz	44.1kHz	48kHz
	BCK (32fs)	32fs	1.024MHz	1.4112MHz	1.536MHz
	BCK (64fs)	64fs	2.048MHz	2.822MHz	3.072MHz
DSP マスター	LR	1fs @ $f_s=48\text{kHz}$	48kHz		
	BCK (32fs)	32fs @ $f_s=48\text{kHz}$	1.536MHz		
	BCK (64fs)	64fs @ $f_s=48\text{kHz}$	3.072MHz		
マスター/スレーブ 共通	MCK (256fs)	256fs @ $f_s=48\text{kHz}$	12.288MHz	"Low 出力" RESETb='L'	
			RESETb='H'		
	MCK2(512fs)	512fs @ $f_s=48\text{kHz}$	24.576MHz	"Hi-Z"(出力停止) MCK2ENb='H'	
			MCK2ENb='L'		
CLK	512fs @ $f_s=48\text{kHz}$	24.576MHz			

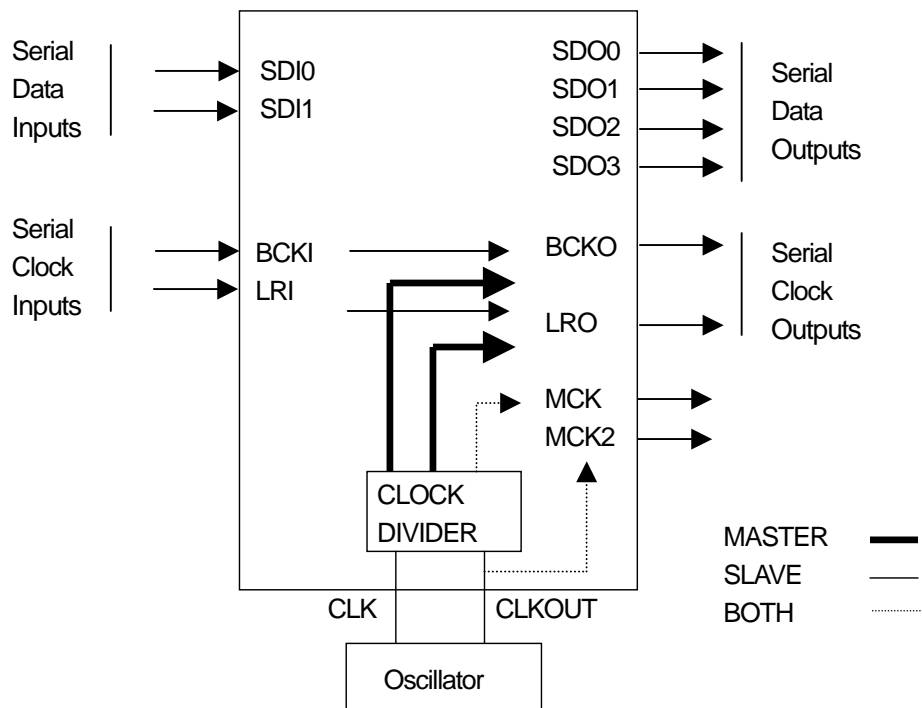


図7 DSP マスター/スレーブモード

3. デジタルオーディオインターフェース

3.1 デジタルオーディオデータフォーマット

NJU26500 シリーズは、デジタルオーディオデータフォーマットとして、3種類のフォーマットを使用することができます。

ℓS :LR クロック切り替わりの2ビット目にMSBが置かれます。(左詰めにに対し1bit遅延)

左詰め (Left-Justified) :LR クロックの切り替わりにMSBが置かれます。

右詰め (Right-Justified) :LR クロック切り替わり直前にLSBが置かれます。

3種類のフォーマットの主な違いはLR クロック(LRI、LRO)とデジタルオーディオデータ(SDI、SDO)の位置関係にあります。

- ・どのフォーマットにおいても、左チャンネルが先に転送されます。
- ・左詰め/右詰めにおいては、LR クロック=Hが左チャンネルを示します。
- ・ℓS フォーマットにおいては、極性が逆になり、LR クロック=Lで左チャンネルを表します。
- ・ビットクロック BCK(BCKI、BCKO)は、転送データのシフトクロックとなります。少なくともL/Rチャンネルの合計転送ビット数以上のクロック数が必要となります。
- ・LR クロックの1周期がステレオオーディオの1サンプルで、LR クロックの周波数は、サンプルレート(fs)に等しくなります。

NJU26500 シリーズでは、DSP マスターモード/スレープモード共に、LR クロック中、32/64個のクロックが存在するフォーマット(以下、32fs/64fsと呼ぶ)が使用可能です。

3.2 シリアルオーディオデータ入出力

NJU26500 シリーズは、入力4ポート(表6)と、出力4ポート(表7)を備えています。

表6 シリアルオーディオデータ入力端子

Pin No.	端子名	機能
50	SDI0	オーディオデータ入力0
49	SDI1	オーディオデータ入力1
48	SDI2	オーディオデータ入力2
47	SDI3	オーディオデータ入力3

表7 シリアルオーディオデータ出力端子

Pin No.	端子名	機能
44	SDO0	オーディオデータ出力0
43	SDO1	オーディオデータ出力1
42	SDO2	オーディオデータ出力2
41	SDO2	オーディオデータ出力3

NJU26500 シリーズ

シリアルオーディオデータ入出力の形式は I²S、左詰め、右詰め の3種類のフォーマット形式で 24bit、20bit、18bit、16bit の4種類のビット数を選択できます。(図 8-1 ~ 図 8-12)
オーディオデータ入力フォーマットと出力フォーマットは同じ形式になります。

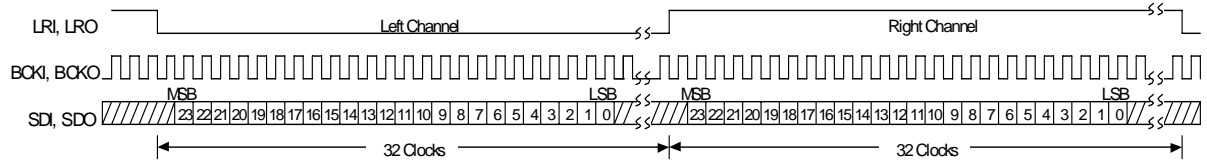


図 8-1 I²S Data Format 64fs, 24bit Data

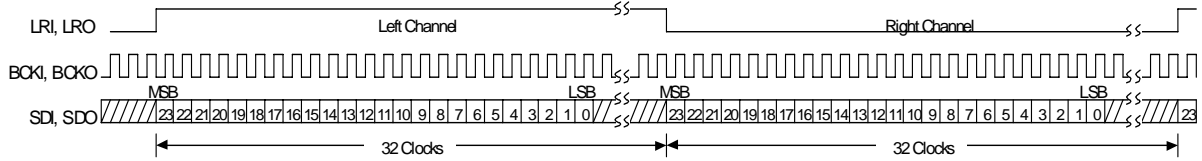


図 8-2 Left-Justified Data Format 64fs, 24bit Data

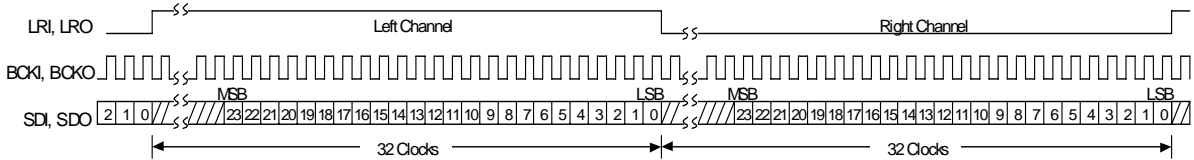


図 8-3 Right-Justified Data Format 64fs, 24bit Data

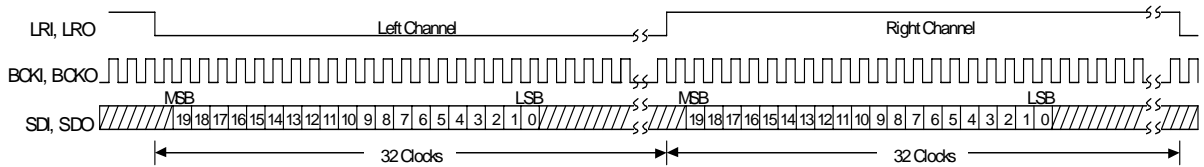


図 8-4 I²S Data Format 64fs, 20bit Data

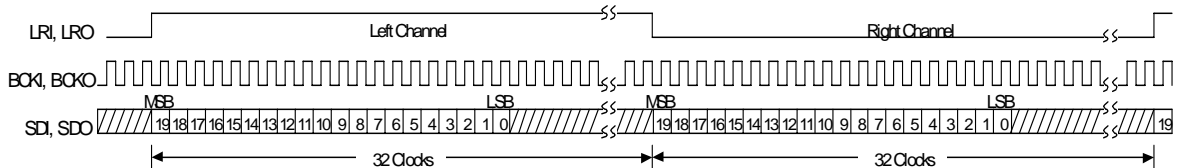


図 8-5 Left-Justified Data Format 64fs, 20bit Data

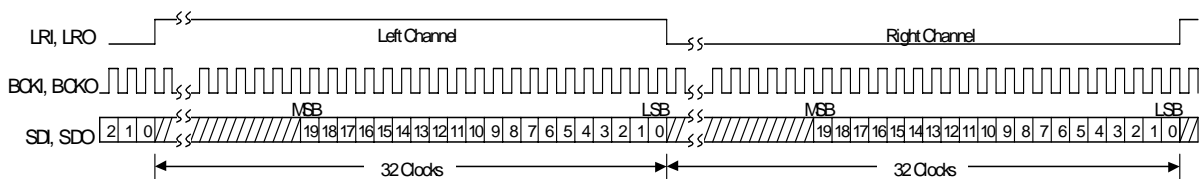


図 8-6 Right-Justified Data Format 64fs, 20bit Data

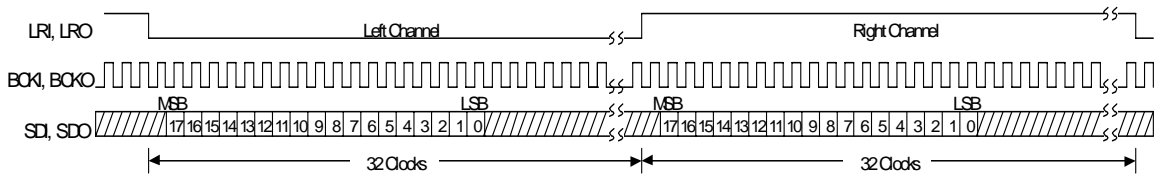


図 8-7 I²S Data Format 64fs, 18bit Data

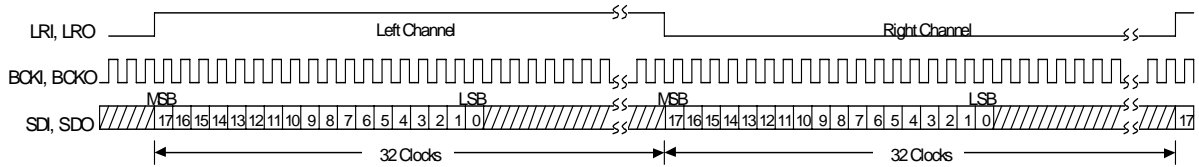


図 8-8 Left-Justified Data Format 64fs, 18bit Data

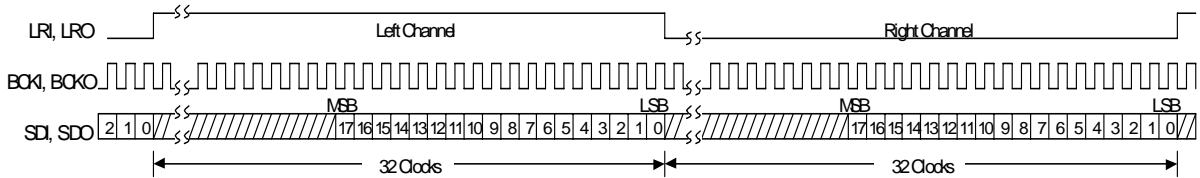


図 8-9 Right-Justified Data Format 64fs, 18bit Data

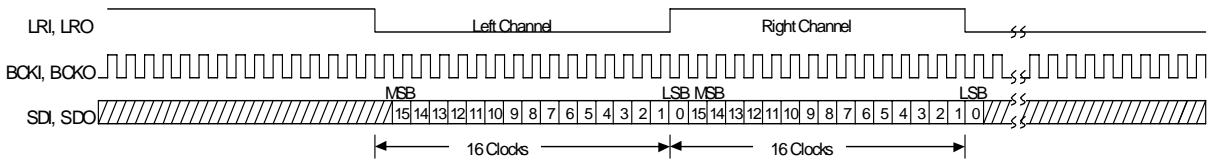


図 8-10 I²S Data Format 32fs, 16bit Data

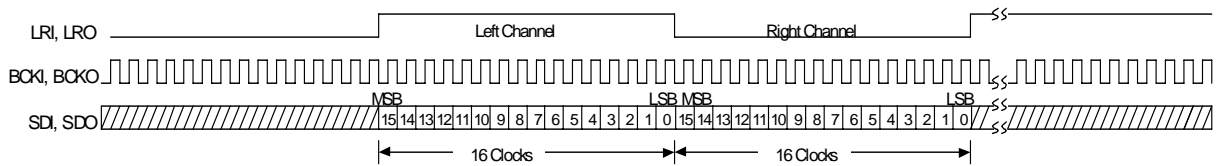


図 8-11 Left-Justified Data Format 32fs, 16bit Data

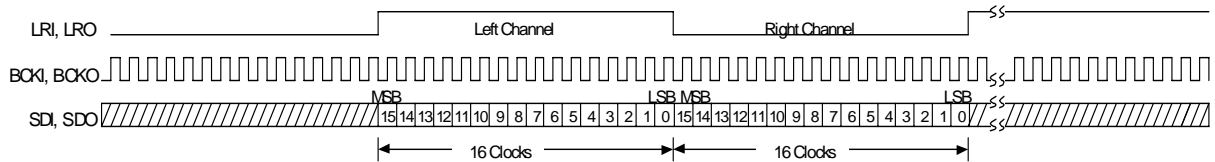


図 8-12 Right-Justified Data Format 32fs, 16bit Data

NJU26500 シリーズ

3.3 シリアルオーディオタイミング

表8 シリアルオーディオ入力タイミング (V_{DD}=V_{DDPLL}=1.8V, V_{DDIO}=3.3V, f_{OSC}=24.576MHz, Ta=25°C)

項目	記号	条件	Min.	Typ.	Max.	単位
BCKI 周波数 *1	f _{BCKI}		-	-	6.5	MHz
BCKI 周期 *1						
Low パルス幅	t _{SIL}		75	-	-	ns
High パルス幅	t _{SIH}		75	-	-	ns
BCKI LRI 時間 *1	t _{SLI}		40	-	-	ns
LRI BCKI 時間 *1	t _{LSI}		40	-	-	ns
データセットアップ時間 *2	t _{DS}		15	-	-	ns
データホールド時間 *2	t _{DH}		15	-	-	ns

*1 DSP スレープモード時の規定です。

*2 DSP スレープモード時は BCKI に対する規定です。 DSP マスターモード時は BCKO に対する規定です。

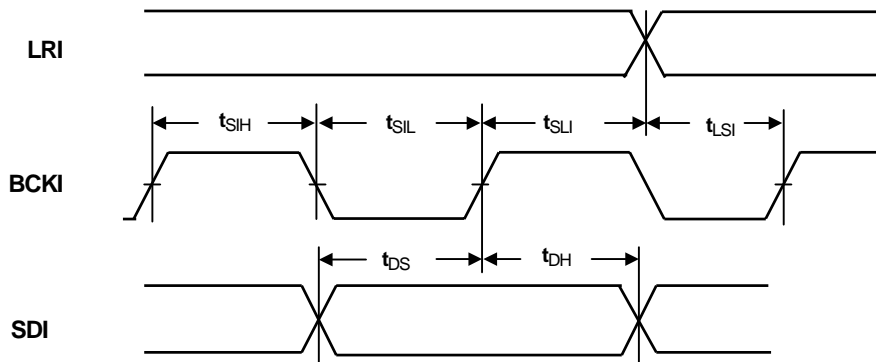


図9 シリアルオーディオ入力タイミング

表9 シリアルオーディオ出力タイミング

($V_{DD}=V_{DDPLL}=1.8V$, $V_{DDIO}=3.3V$, $f_{OSC}=24.576MHz$, $T_a=25^{\circ}C$)

項目	記号	条件	Min	Typ.	Max	単位
BCKO - LRO 時間差	*3	C_L :LRO, BCKO, SDO=25pF	-15	-	15	ns
データ出力遅延時間	t_{DOD}		-	-	15	ns

*3 DSP マスターモード時の規定です。

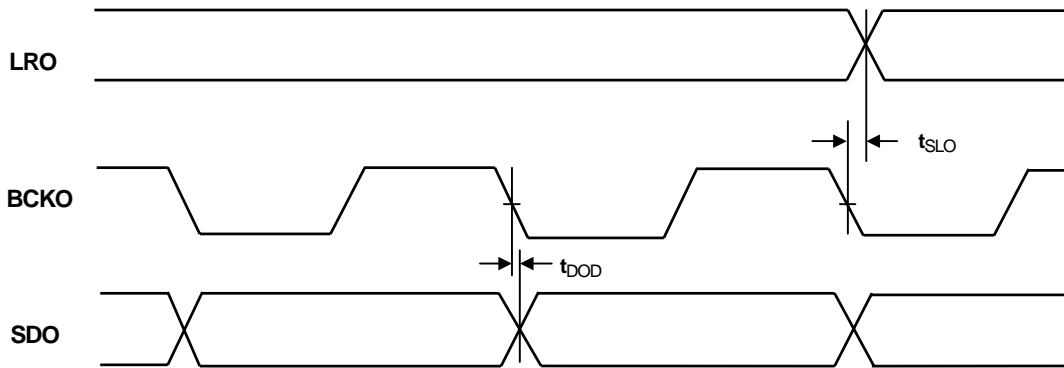


図10 シリアルオーディオ出力タイミング

表10 シリアルオーディオクロックタイミング (DSP スレーブモード時)

($V_{DD}=V_{DDPLL}=1.8V$, $V_{DDIO}=3.3V$, $f_{OSC}=24.576MHz$, $T_a=25^{\circ}C$)

項目	記号	条件	Min	Typ.	Max	単位
伝搬遅延時間 (LRI LRO)	t_{PDL}	C_L :LRO, BCKO, SDO=25pF DSP Slave Mode	-	-	15	ns
伝搬遅延時間 (BCKI BCKO)	t_{PDB}		-	-	15	ns

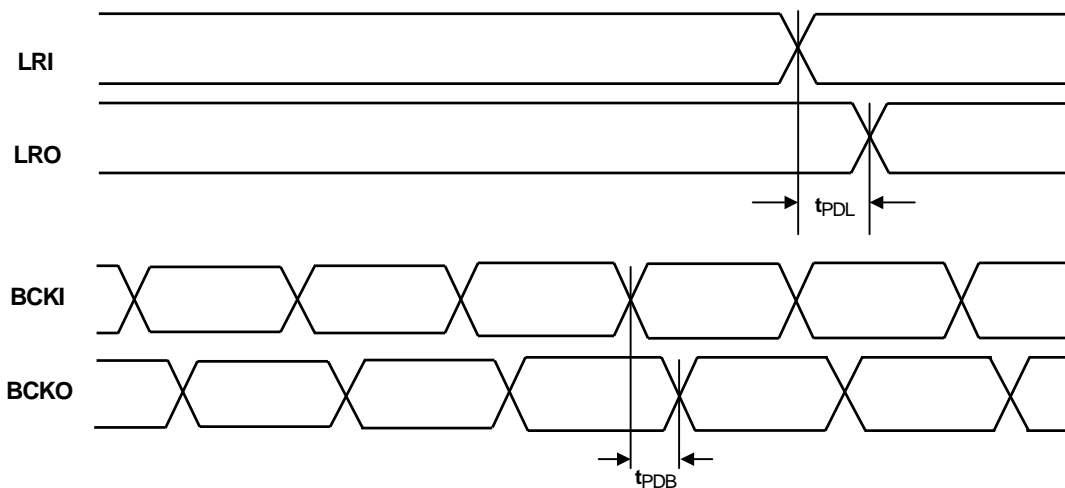


図11 シリアルオーディオクロックタイミング (DSP スレーブモード時)

NJU26500 シリーズ

4. ホストインターフェース

NJU26500 の制御インターフェースは、I²C バスインターフェース、あるいは、シリアルインターフェース(4 線式) です。I²C バスインターフェースで制御する場合、リセット解除時、SEL1 端子を”L”に設定し、シリアルインターフェース(4 線式)で制御する場合、リセット解除時、SEL1 端子を”H”に設定します。(表 11)

ホストインターフェース端子機能は、(表 12)の通りです。

データ転送は共に8ビット(1バイト)単位です。ホストインターフェースは常にスレープで、ホストコントローラからクロック(SCL/SCK)に同期してデータが転送されます。

表 11 ホストインターフェース設定

Pin No.	端子名	設定	ホストインターフェース
27	SEL1	L *	I ² C バスインターフェース
		H *	シリアルインターフェース(4 線式)

* リセット解除時に設定します。

表 12 ホストインターフェース端子機能

Pin No.	端子名 (I ² C バス/ Serial)	I ² C バスインターフェース 選択時	シリアルインターフェース (4 線式)選択時
28	SCL / SCK	シリアルクロック	シリアルクロック
29	SDA / SDOUT	シリアルデータ入出力 (オープンドレイン出力)	シリアルデータ出力 (CMOS 出力)
30	AD1 / SDIN	I ² C バスアドレス選択 Bit1	シリアルデータ入力
31	AD2 / SSb	I ² C バスアドレス選択 Bit2	スレープセレクト

注意：

SDA/SDOUT 端子は、I²C バスインターフェース選択時、オープンドレイン出力になります。プルアップ抵抗を接続してください。シリアルインターフェース(4 線式)選択時、CMOS 出力になります。プルアップ抵抗を接続する必要ありません。

また、SDA/SDOUT 端子は、5V トレラントではないため、電圧レベルに注意してください。(最大で V_{DDIO} まで) SCL/SCK 端子は、5V トレラントです。I²C バスインターフェース時は SCL/SDA 端子のプルアップ電圧を SDA 側に統一することを推奨します。

4.1 I²C バスインターフェース

I²C バスインターフェースに設定した場合、I²C バスインターフェースは、SDA 端子:データライン、SCL 端子:クロックになります。

AD1/AD2 端子(Pin No.30,31)は、7 ビットからなるスレーブアドレス下位 2 ビットの設定に用います。(表 13)

これは、複数のスレーブアドレスにより、応用時のアドレス設定において設計の柔軟性を向上させるためのものです。アドレスは AD1/AD2 端子の内部設定で 4 種類から選択することができます。

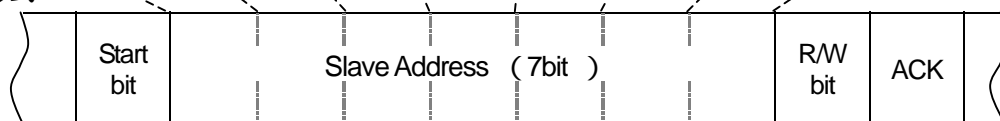
NJU26500 シリーズは、I²C バス“Standard-Mode”(100kbps) および “Fast-Mode”(400kbps) をサポートしています。

注意: 標準の I²C バスでは、マルチバイトの Write 処理/Read 処理が可能です。NJU26500 シリーズにおいて Write 処理/Read 処理は、1 バイトデータ単位でアクセスします。また、S(「START」条件)を送った後、Sr(反復「START」条件)を受け付けず、P:「STOP」条件待ちになります。そのため、必ず P:「STOP」条件を送ってください。

表 13 I²C バススレーブアドレス設定

固定値					AD2 端子	AD1 端子	R/W
bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
0	0	1	1	1	0	0	R/W
0	0	1	1	1	0	1	
0	0	1	1	1	1	0	
0	0	1	1	1	1	1	

データ形式



AD1 端子、AD2 端子において“0” = “L”、“1” = “H”

NJU26500 シリーズ

表14 I²C バスインターフェースタイミング

(V_{DD}=V_{DDPLL}=1.8V, V_{DDIO}=3.3V, f_{OSC}=24.576MHz, Ta=25°C)

項目	記号	Min	Max	単位
SCL クロック周波数	f _{SCL}	0	400	kHz
開始条件ホールド時間	t _{HD:STA}	0.6	-	μs
SCL "Low" レベルパルス幅	t _{LOW}	1.3	-	μs
SCL "High" レベルパルス幅	t _{HIGH}	0.6	-	μs
データホールド時間 *4	t _{HD:DAT}	0	-	μs
データセットアップ時間	t _{SU:DAT}	250	-	ns
立ち上がり時間	t _R	-	1000	ns
立ち下がり時間	t _F	-	300	ns
停止条件セットアップ時間	t _{SU:STO}	0.6	-	μs
バス解放時間 *5	t _{BUF}	1.3	-	μs

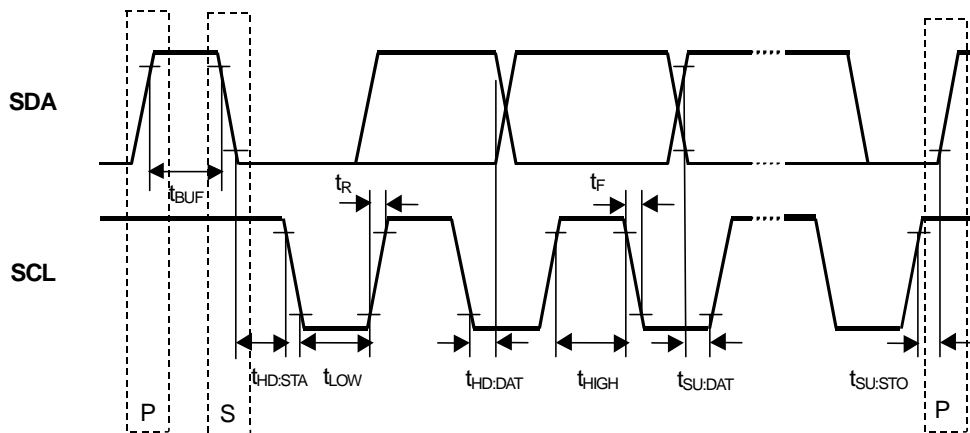


図12 I²C バスタイミング

注意:

- *4 t_{HD:DAT}: SCL の立ち下がりエッジでの不確定な状態を回避するために、少なくとも 300ns 程度のホールド時間を確保するようにしてください。
- *5 本項目はインターフェースとしての仕様を示すものです。
連続するコマンドの間隔は、個別データシートを参照してください。

4.2 シリアルインターフェース(4線式)

シリアルインターフェース(4線式)回路は、スレーブセレクト端子(SSb端子)が“L”レベルで動作状態となります。

SDIN端子に入力されるデータは、SCK端子の立ち上がりに同期してDSPに読み込まれます。

SDOUT端子からのデータは、SSb端子の立ち下がりに同期してbit7が出力され、次にSCK端子の立ち下りに同期してbit6, bit5, bit4, bit3, bit2, bit1, bit0が出力されます。入出力共にMSBファーストで通信されます。(表15, 図12)

通信は8bit単位です。8bitに満たなかった場合や8bitを超えた場合は、正しく動作しません。

SDOUT端子は、プルアップ抵抗は必要ありません。SSb端子が“L”のときCMOS出力となります。また、SSb=“H”のときにSDOUTは不定となります。

表15 シリアルインターフェース(4線式)タイミング

($V_{DD}=V_{DDPLL}=1.8V$, $V_{DDIO}=3.3V$, $f_{OSC}=24.576MHz$, $SDOUT=25pF$, $T_a=25^{\circ}C$)

項目	記号	Min.	Typ.	Max.	単位
入力データ立ち上がり時間	t_{MSDr}	-	-	100	ns
入力データ立ち下がり時間	t_{MSDf}	-	-	100	ns
クロック立ち上がり時間	t_{MSCr}	-	-	100	ns
クロック立ち下がり時間	t_{MSCf}	-	-	100	ns
ストローブ立ち上がり時間	t_{MSSr}	-	-	100	ns
ストローブ立ち下がり時間	t_{MSSf}	-	-	100	ns
クロック "High" レベル期間	t_{MSCa}	0.5	-	-	μs
クロック "Low" レベル期間	t_{MSCn}	0.5	-	-	μs
クロック周期	t_{MSCc}	1.0	-	-	μs
ストローブセットアップ時間	t_{MSSs}	0.5	-	-	μs
ストローブホールド時間	t_{MSSh}	0.5	-	-	μs
ストローブ "Low" レベル期間 *6	t_{MSSa}	-	8.5	-	μs
ストローブ "High" レベル期間 *6	t_{MSSn}	-	1.0	-	μs
データ入力セットアップ時間	t_{MSDis}	0.1	-	-	μs
データ入力ホールド時間	t_{MSDih}	0.1	-	-	μs
データ出力ホールド時間 (SCK 基準)	t_{MSDoh}	-	-	0.25	μs
データ出力ホールド時間 (SSb 基準)	t_{MSDov}	-	-	0.25	μs

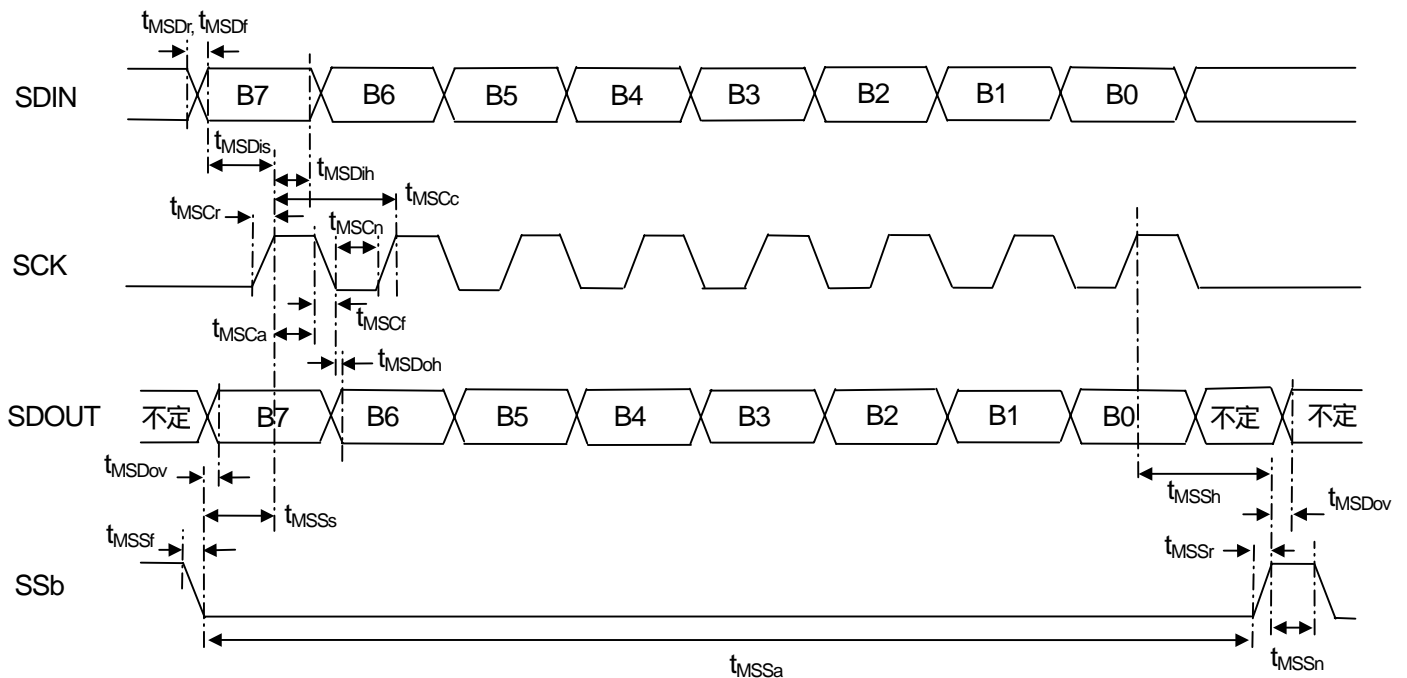


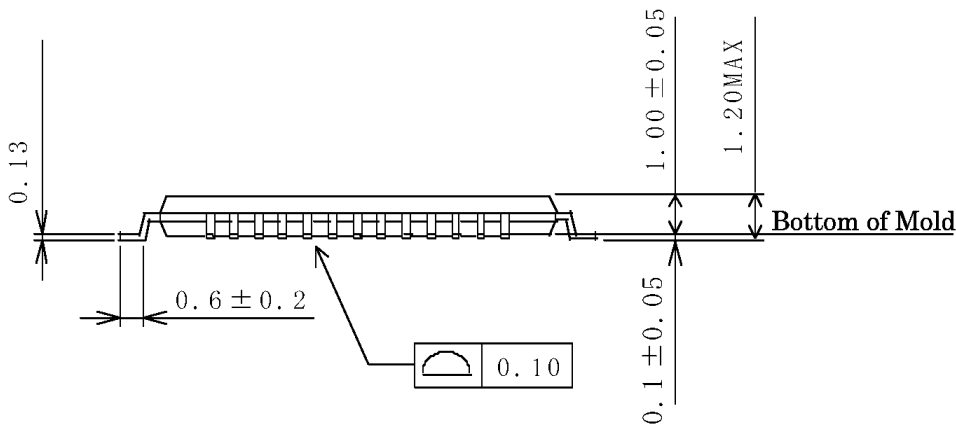
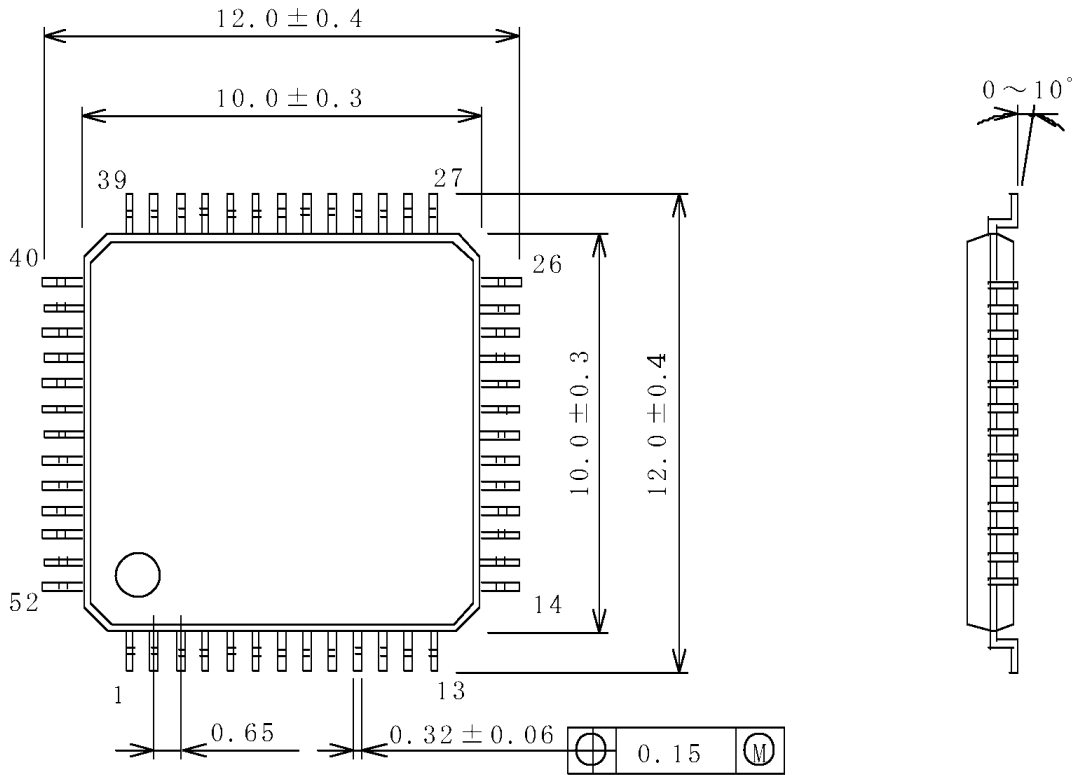
図13 シリアルインターフェース(4線式)タイミング

注意 : クロックが8クロックに満たない場合、8クロック以上連続した場合にも正常にデータは読み込まれません。

*6 連続するコマンド間隔ではありません。

NJU26500 シリーズ

5. パッケージ寸法 (QFP52-S1、鉛フリー)



単位:mm

<注意事項>

このデータブックの掲載内容の正確さには万全を期しておりますが、掲載内容について何らかの法的な保証を行うものではありません。とくに応用回路については、製品の代表的な応用例を説明するためのものです。また、工業所有権その他の権利の実施権の許諾を伴うものではなく、第三者の権利を侵害しないことを保証するものではありません。