

NJU26200 シリーズハードウェア共通仕様書

■ 概要

NJU26200シリーズは、24ビットDSPコアのデジタル・オーディオ・プロセッサです。この仕様書は、NJU26200 シリーズ ハードウェアの共通仕様について記述しています。本仕様は、NJU26201 から NJU26249 までのDSPについて適用されます。個別の機能等については、各々の製品データシートを参照してください。また、ファームウェアのコマンドについては、個別のコマンドリストを参照してください。

外形



NJU26200FR3

NJU26200V

■ 特徴

ハードウェアウェア

- 24ビット固定小数点デジタル シグナルプロセッサ
- 外部クロック周波数 : 12.288MHz、PLL 内蔵
- デジタルオーディオインターフェース : 入力4ポート、出力4ポート
- デジタルオーディオフォーマット : I²S 24bit、左詰め、右詰め 対応、BCK : 32/64fs
- マスター/スレーブ対応
 - ・マスター時、MCK: 128fs @fs=96kHz / 192fs @fs=64kHz / 256fs @fs=48kHz / 384fs @fs=32kHz
- ホストインターフェース
 - ・I²C バスインターフェース (Fast-mode/ 400kbps)
 - ・シリアルインターフェース (4線式: クロック、スレーブセレクト、入力データ、出力データ)
- 電源電圧 : V_{DD} = V_{DDPLL} = 1.8V、V_{DDIO} = 3.3V
- 入力専用端子許容電圧 : 5V トレラント
- パッケージ : LQFP48-R3 (鉛フリー対応)、SSOP44 (鉛フリー対応)

■ ブロック図

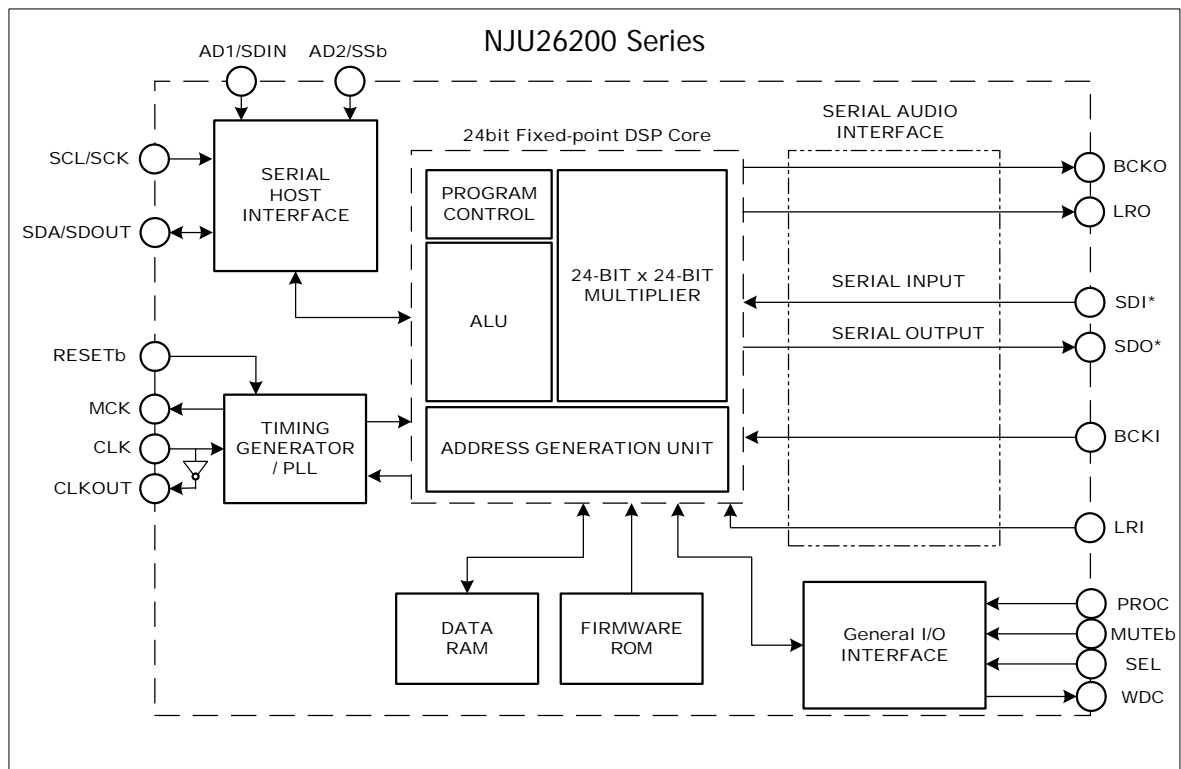


図1 NJU26200シリーズハードウェアブロック図

NJU26200 シリーズ

■ 端子配列

(1) LQFP48-R3

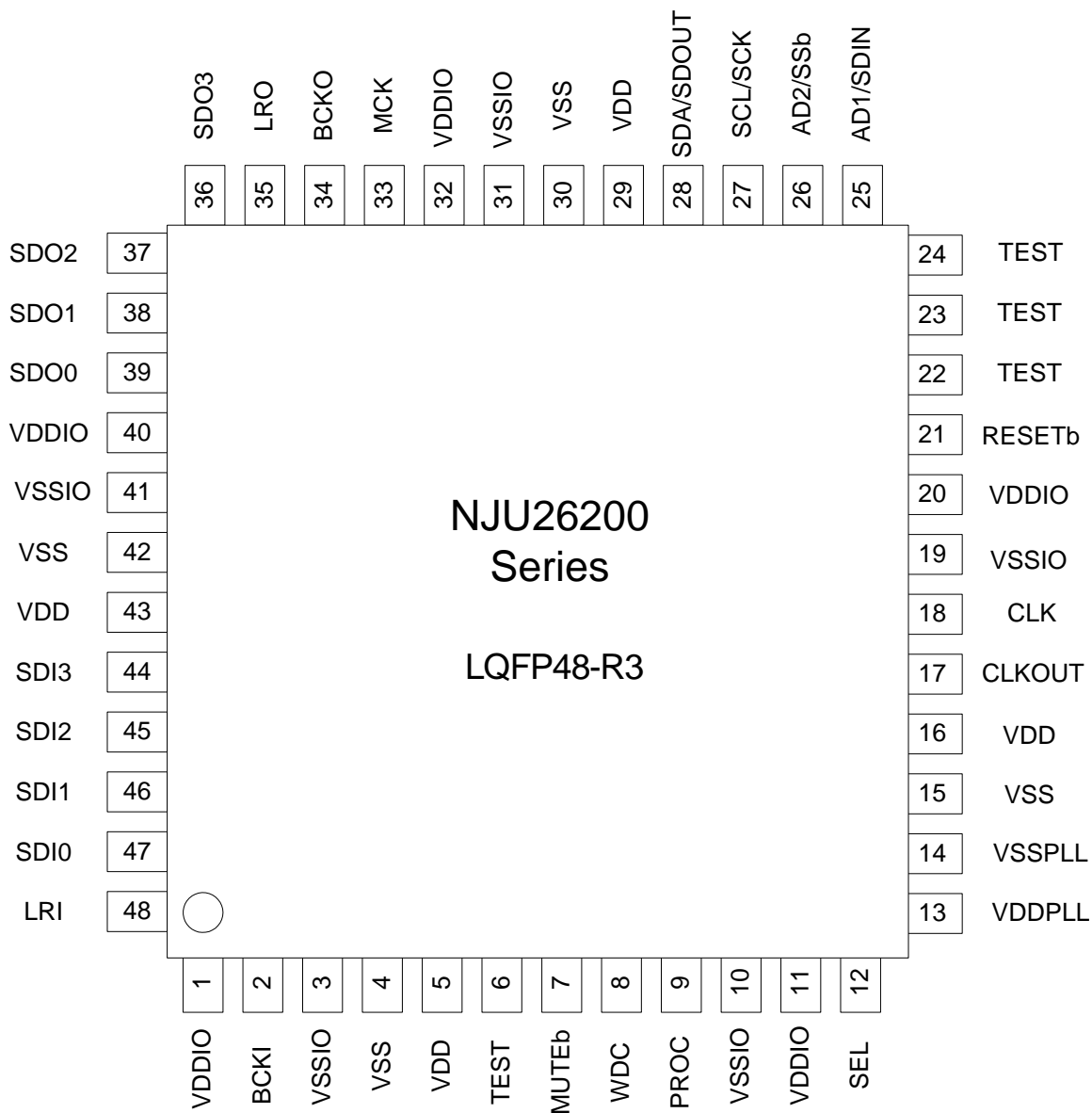


図2 LQFP48-R3 端子配列

(2) SSOP44

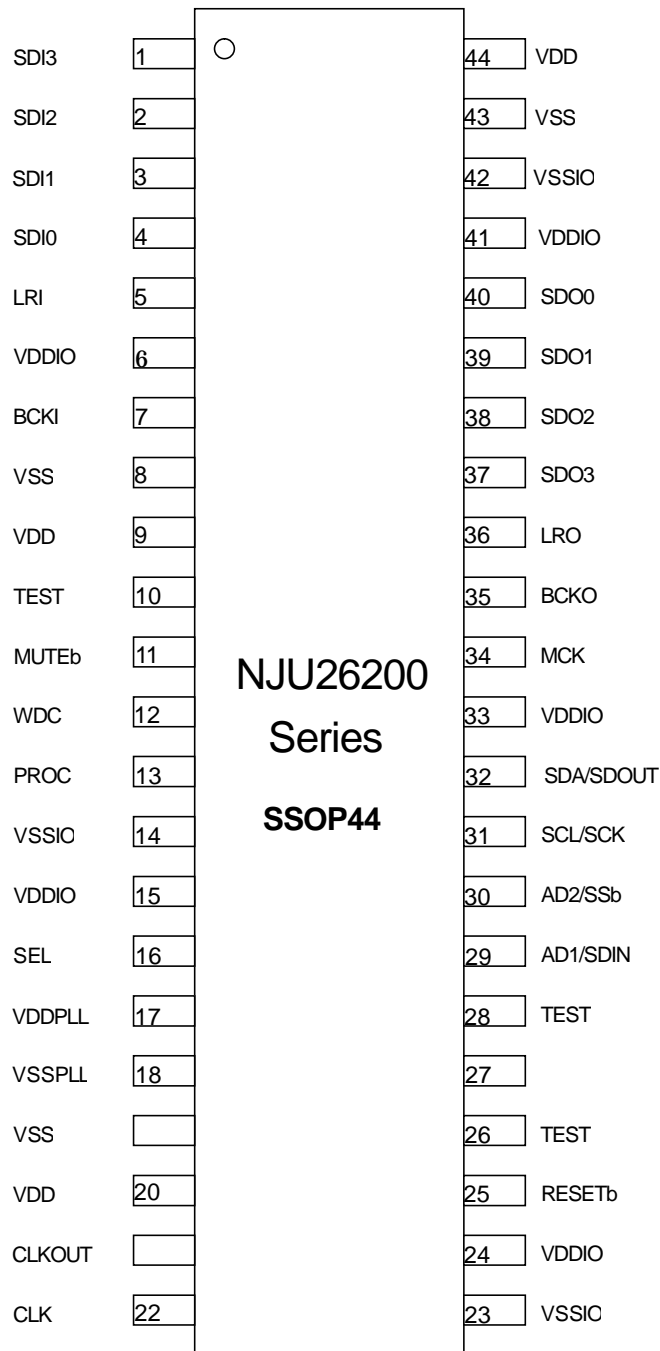


図3 SSOP44 端子配列

NJU26200 シリーズ

■ 端子説明

表1 端子説明

Pin No..		端子名	I/O	機能
LQFP48-R3	SSOP44			
1, 11, 20, 32, 40	6, 15, 24, 33, 41	VDDIO	-	I/O 電源 3.3V
2	7	BCKI	I	ビットクロック入力
3, 10, 19, 31, 41	14, 23, 42	VSSIO	-	I/O 電源 GND
4, 15, 30, 42	8, 19, 43	VSS	-	内部電源 GND
5, 16, 29, 43	9, 20, 44	VDD	-	内部電源 1.8V
6	10	TEST	I	テスト端子 (3.3kΩ の抵抗を介して VSSIO に接続してください)
7	11	MUTE _b *	I	リセット後のマスターボリューム状態 ("H": 0dB, "L": ミュート)
8	12	WDC *	OD	ウォッチドッグタイマー用クロック出力端子 (オープンドレイン出力)
9	13	PROC *	I	リセット後の信号処理 ("H": 通常処理する "L": 処理しないでコマンド待ち)
12	16	SEL	I	ホストインターフェース選択 ("H": シリアル(4線式)、"L": I ² C バス)
13	17	VDDPLL	-	PLL 電源 1.8V
14	18	VSSPLL	-	PLL 電源 GND
17	21	CLKOUT	O	水晶発振用クロック出力端子
18	22	CLK	I	水晶発振用クロック入力端子
21	25	RESET _b	I	リセット (RESET _b ="L" でリセット)
22	26	TEST	I	テスト端子 (VDDIO に接続してください)
23, 24	27, 28	TEST	I	テスト端子 (VSSIO に接続してください)
25	29	AD1/SDIN	I	I ² C アドレス選択 1 / シリアル(4線式)データ入力
26	30	AD2/SS _b	I	I ² C アドレス選択 2 / シリアル(4線式)スレーブ選択
27	31	SCL/SCK	I	I ² C シリアルクロック / シリアル(4線式)クロック
28	32	SDA/SDOUT	I/O	I ² C データ入出力 / シリアルデータ出力(シリアル 4線式) ・I ² C バス時、オープンドレイン出力のため、プルアップ抵抗を接続してください。 ・シリアル 4線式時、CMOS 出力のため、プルアップ抵抗を接続する必要ありません。
33	34	MCK	O	マスタークロック出力 (CLK 端子のバッファ出力)
34	35	BCKO	O	ビットクロック出力
35	36	LRO	O	LR クロック出力
36	37	SDO3	O	オーディオデータ出力 3
37	38	SDO2	O	オーディオデータ出力 2
38	39	SDO1	O	オーディオデータ出力 1
39	40	SDO0	O	オーディオデータ出力 0
44	1	SDI3	I	オーディオデータ入力 3
45	2	SDI2	I	オーディオデータ入力 2
46	3	SDI1	I	オーディオデータ入力 1
47	4	SDI0	I	オーディオデータ入力 0
48	5	LRI	I	LR クロック入力

- I : 入力
- O : 出力
- OD : オープンドレイン出力
- I/O : 双方向

注意: 端子名に * が付いている端子は必ず抵抗(推奨 3.3kΩ)を介して、VDDIO または VSSIO に接続してください。
SDI0~3, SDO0~3 は、仕様により機能が異なるため 個別データシートを参照してください。

■ 絶対最大定格

表2 絶対最大定格

(以降、特に断り無き場合、全ての電気的特性・定格において、 $V_{SS}=0V$ と定義し、この電位を GND 電位と規定します。)

項目		記号	定格	単位
電源電圧	Logic	V_{DD}	-0.3 ~ 2.1	V
	PLL	V_{DDPLL}	-0.3 ~ 2.1	
	I/O	V_{DDIO}	-0.3 ~ 3.8	
端子電圧 *	In	V_x	-0.3 ~ 5.5 ($V_{DDIO} = 3.0V$) -0.3 ~ 3.8 ($V_{DDIO} < 3.0V$)	V
	I/O	$V_{x(I/O)}$	-0.3 ~ 3.8	
	Out	$V_{x(OUT)}$	-0.3 ~ 3.8	
	CLK	$V_{x(CLK)}$	-0.3 ~ 2.1	
	CLKOUT	$V_{x(CLKOUT)}$	-0.3 ~ 2.1	
許容損失		P_D	300	mW
動作温度範囲		T_{OPR}	-40 ~ 85	°C
保存温度		T_{STR}	-40 ~ 125	°C

* V_x : LQFP48-R3 : 2,12, 21~27, 44~48 pin SSOP44 : 7, 16, 25~31, 1~5 pin

* $V_{x(I/O)}$: LQFP48-R3 : 6~9, 28 pin SSOP44 : 10~13, 32 pin

* $V_{x(OUT)}$: LQFP48-R3 : 33~39 pin SSOP44 : 34~40 pin

* $V_{x(CLK)}$: LQFP48-R3 : 18 pin SSOP44 : 22 pin

* $V_{x(CLKOUT)}$: LQFP48-R3 : 17 pin SSOP44 : 21 pin

■ 端子等価回路図

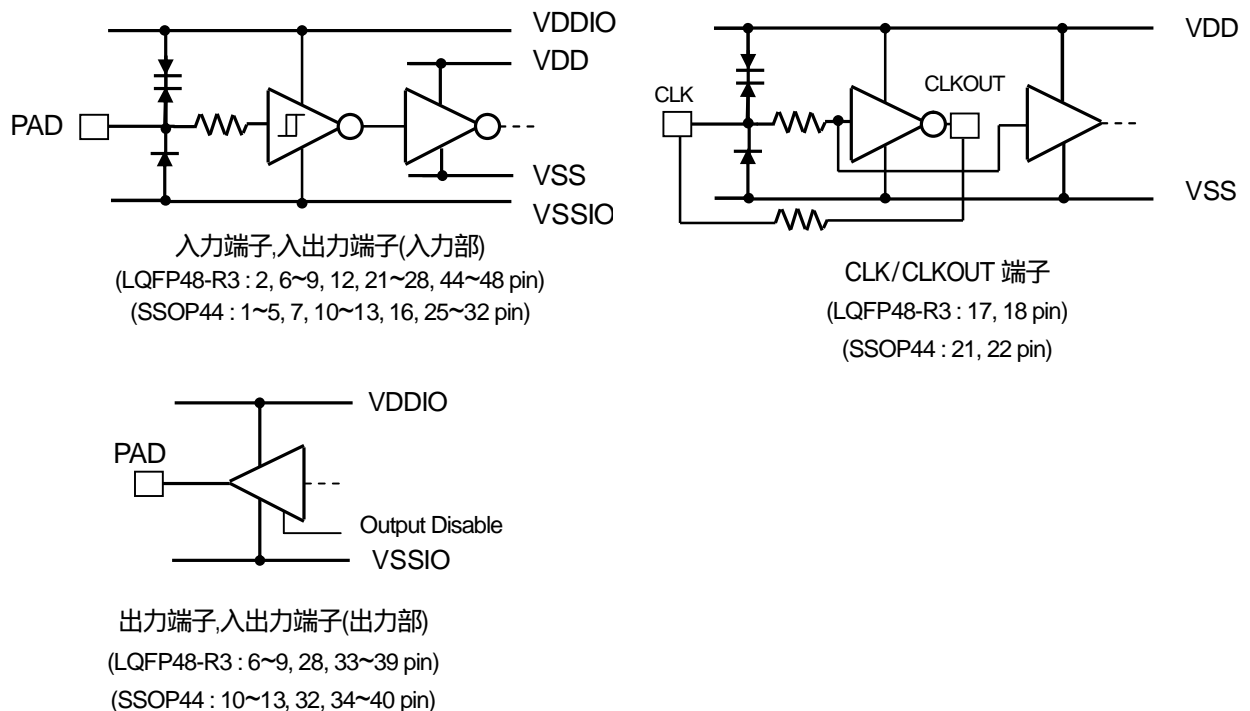


図4 NJU26200 シリーズ入出力等価回路図

NJU26200 シリーズ

■ 電気的特性

表3 電気的特性

($V_{DD}=V_{DDPLL}=1.8V$, $V_{DDIO}=3.3V$, $f_{OSC}=12.288MHz$, $T_a=25^{\circ}C$)

項目	記号	条件	Min.	Typ.	Max.	単位	
動作電圧範囲	Logic	V_{DD}	V_{DD} 端子	1.7	1.8	1.9	V
	PLL	V_{DDPLL}	V_{DDPLL} 端子	1.7	1.8	1.9	
	I/O	V_{DDIO}	V_{DDIO} 端子	3.0	3.3	3.6	
消費電流 *1	Logic	I_{DD}	$V_{DD}=V_{DDPLL}=1.8V$ $V_{DDIO}=3.3V$	-	31	-	mA
	PLL	I_{DDPLL}		-	4.0	-	
	I/O	I_{DDIO}		-	1.0	-	
High レベル 入力電圧 *2	In	V_{IH}	$V_{DDIO}=3.0 \sim 3.6V$	$V_{DDIO} \times 0.7$	-	5.25	V
	I/O	$V_{IH(I/O)}$	$V_{DDIO}=3.0 \sim 3.6V$	$V_{DDIO} \times 0.7$	-	V_{DDIO}	
	CLK	$V_{IH(OSC)}$	$V_{DD}=1.7 \sim 1.9V$ $V_{DDIO}=3.0 \sim 3.6V$	$V_{DD} \times 0.7$	-	V_{DD}	
Low レベル 入力電圧 *2	In, I/O	$V_{IL}, V_{IL(I/O)}$	$V_{DDIO}=3.0 \sim 3.6V$	0	-	0.5	V
	CLK	$V_{IL(OSC)}$	$V_{DD}=1.7 \sim 1.9V$ $V_{DDIO}=3.0 \sim 3.6V$	0	-	$V_{DD} \times 0.3$	
端子リーク電流 *2	In, I/O	$I_{IN}, I_{IN(I/O)}$	$V_{IN} = V_{SSIO} \sim V_{DDIO}$	-10	-	10	μA
	CLK	$I_{IN(OSC)}$	$V_{IN} = V_{SS} \sim V_{DD}$	-15	-	15	
High レベル 出力電圧 *2	Out, I/O	$V_{OH}, V_{OH(I/O)}$	$I_{OH} = -2mA$ $V_{DDIO}=3.0 \sim 3.6V$	$V_{DDIO} \times 0.85$	-	$V_{DDIO} *3$	V
	CLKOUT	$V_{OH(OSC)}$	$I_{OH}=-100\mu A$ $V_{DD}=1.7 \sim 1.9V$	$V_{DD} \times 0.85$	-	$V_{DD} *3$	
Low レベル 出力電圧 *2	Out, I/O	$V_{OL}, V_{OL(I/O)}$	$I_{OL} = 2mA$ $V_{DDIO}=3.0 \sim 3.6V$	0	-	$V_{DDIO} \times 0.15$	V
	CLKOUT	$V_{OL(OSC)}$	$I_{OL}=100\mu A$ $V_{DD}=1.7 \sim 1.9V$	0	-	$V_{DD} \times 0.15$	
入力遷移時間	t_r / t_f	*4	-	-	100	ns	
入力クロック周波数	f_{OSC}	QFP48 : 18pin SSOP44 : 22pin (CLK) *5	12.0	12.288	12.5	MHz	
クロックデューティー比	r_{EC}	QFP48 : 18pin SSOP44 : 22pin (CLK)	45	50	55	%	

*1 動作電流は起動時、基準ソフトウェア(ファームウェア)のデフォルト状態、室温での実測値(参考値)です。

*2 $V_{IH(OSC)}, V_{IL(OSC)}, I_{IN(OSC)}$: LQFP48-R3 : 18pin, SSOP44 : 22 pin (CLK 端子)

$V_{IH(I/O)}, V_{IL(I/O)}, V_{OH(I/O)}, V_{OL(I/O)}, I_{IN(I/O)}$: LQFP48-R3 : 6~9, 28pin, SSOP44 : 10~13, 32pin (双方向端子)

$I_{IN(I/O)}$ は出力ハイインピーダンス時リーク電流も含む。

$V_{OH(OSC)}, V_{OL(OSC)}$: LQFP48-R3 : 17pin, SSOP44 : 21pin (CLKOUT 端子)

*3 出力端子及び双方向端子を V_{DDIO} 以上の電圧でプルアップしないでください。

また、未使用の入力・入出力端子をオープンにしないでください。

*4 LQFP48-R3 : 25 ~ 28pin, SSOP44 : 29 ~ 32pin の t_r / t_f は端子の動作モード(4線シリアル / I²C)により別途規定されます。

*5 通常使用時は 12.288MHz のクロックを与えてください。

1. 電源・クロック信号・リセット

1.1 電源

NJU26200 シリーズには、 V_{DD}/V_{SS} 、 V_{DDPLL}/V_{SSPLL} および V_{DDIO}/V_{SSIO} の 3 系統の電源が存在します。このうち、 V_{DD}/V_{SS} は内部コア電源、 V_{DDPLL}/V_{SSPLL} は内部 PLL 電源、また、 V_{DDIO}/V_{SSIO} は入出力端子の電源として使用されます。

電源の投入・切断に関して、特に制約はありません。順序付けられる場合、以下に示す順序を推奨します。

電源投入	(先) V_{DDIO}	V_{DD} , V_{DDPLL} (後)
電源切断	(先) V_{DDPLL} , V_{DD}	V_{DDIO} (後)

V_{DD} と V_{DDPLL} を別電源にする場合は、 V_{DDPLL} を最後に投入することを推奨します。また、電源の切断についても制約はありませんが、順序付けられる場合、投入の逆シーケンスを推奨します。

注意 : 全ての電源端子は確実に接続し、必ず各電源端子対の直近にデカップリングコンデンサを接続してください。

電源電圧は推奨動作条件の範囲内でご使用下さい。また、電源電圧の立ち上がりはなるべく一定になるようにし、立ち上がり中の電源電圧が特定の電圧に留まることの無いようご注意ください。

電源電圧を推奨動作条件範囲内の電圧まで立ち上げたあと、推奨動作条件を下回る電圧に落とさないで下さい。推奨動作条件を下回る電圧に落とした後に、推奨動作条件に戻し、再度リセット信号を入力しても、その後の全ての動作は保証できません。ご使用後は電源電圧を V_{SS} レベルまで落として下さい。

V_{DDPLL}/V_{SSPLL} は内部 PLL 回路の電源となっており、電源ノイズに敏感です。内部コア電源 V_{DD} とは別電源とするか、外付け部品による簡易なフィルタ回路を挿入することを推奨します。図5は、簡易電源フィルタの例です。

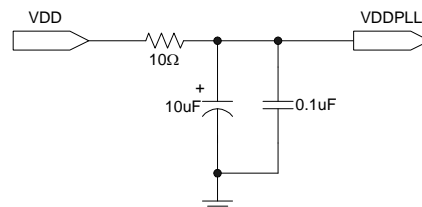


図5 簡易電源フィルタの例(参考)

NJU26200 シリーズ

1.2 クロック信号

NJU26200 シリーズの動作には、独立したクロックが必要です。通常 CLK 端子に 12.288MHz のクロックを供給してください。また、CLK/CLKOUT 端子に水晶振動子を接続し、発振させることも可能です。設計される基板に応じた外部定数を設定してください。水晶振動子は、基本波のものをお使いください。帰還抵抗が内蔵されておりますので、外部に帰還抵抗を接続する必要は基本的にありません。

注意 :NJU26200 シリーズは内部に PLL 回路を搭載しており、12.288MHz の周波数に合わせて設計されています。動作下限周波数である 12.0MHz 未満の周波数を入力すると、処理落ちが発生し、正しい音声処理が出来なくなる場合があります。EMI,周辺部品との関係で NJU26200 シリーズの周波数を変更したい場合は、電気的特性(表3)記載の書の範囲内で変更しお使い下さい。その場合、DSP マスターモードの分周周波数が変動するため注意して下さい。

水晶振動子の使用にあたっては、お客様側の責任で十分検討の上、接続する定数などを決定してください。発振に関わる部品およびその定数に関して弊社は一切の責任を負いません。

尚、CLK 端子は入力電圧の上限が異なります。外部に発振器などを接続される場合は、電圧レベルにご注意ください。図6は、水晶振動子使用時の参考例です。ただし、弊社がこの定数を保証するものではありません。必ずお客様の使用部品・基板パターンにおいて確認をお願いします。

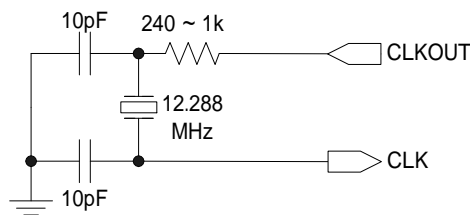


図6 クロック供給方法の例(参考)

参考 :NJU26200 シリーズの MCK 端子からは内部リセット終了後、CLK 端子から供給されるクロックがバッファされ出力されます。(内部 PLL は経由しません) また、MCK 端子からのクロック出力が不要な場合、コマンドで停止させることも可能です。

1.3 リセット信号

NJU26200 シリーズのリセットには、RESETb を一旦 "L" レベルにし、その後、"H" レベルにすることで行います。水晶発振が安定した後(発振器から入力する場合は供給を開始した後)、少なくとも t_{RESETb} 期間 "L" レベルを維持してください。(図4)

全ての双方向端子、SDA 端子は、RESETb="L"にすることで、強制的にハイインピーダンス状態となります。ハイインピーダンス状態は内蔵ファームウェアによるホストインターフェースが確定するまで続きます。そのため、内部ハードウェアの設定が完了するまではホストインターフェースによる通信はできません。

2 種類のマイコンインターフェースのうち、I²C バスインターフェース、シリアルインターフェース(4 線式)のどちらかを使用するかを設定します。RESETb 端子を"H"にした後(リセット解除後)、NJU26200 シリーズは 1ms 以内にホストインターフェースの内部ハードウェアの設定が完了します。その後、通信可能な状態になります。

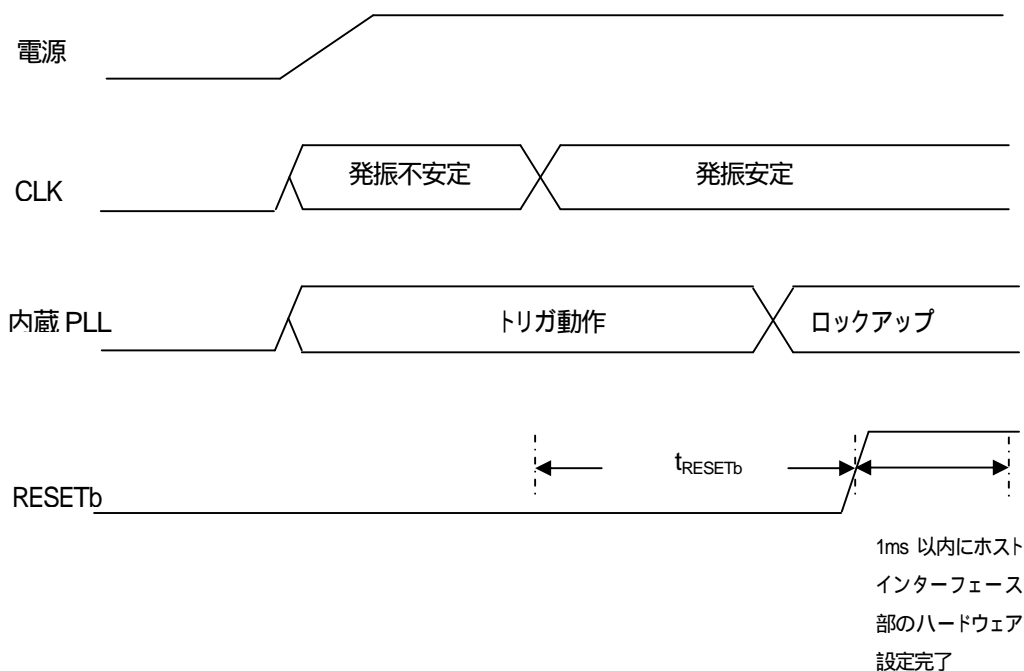


図7 リセットタイミング

表4 リセット時間

Symbol	Time
t_{RESETb}	300 μ s

注意 :NJU26200 シリーズ内蔵の PLL は、電源投入後トリガ動作を行います。動作中にクロックを停止させた場合やクロック周波数を変更した場合、もしくは何らかの理由でリセットを再度かける場合は、PLL を再度ロックさせるため、CLK 端子に正常なクロックを入れながら、 t_{RESETb} の期間 RESETb 端子を'Low'レベルに維持して、リセットをかけます。その後、初期設定からやり直してください。正常なクロックを入れながら RESETb 端子を'High'レベルから'Low'レベルとしたときに、NJU26200 シリーズは内蔵の PLL に対して、CLK 端子へのクロック周期の 32 倍のリセットパルス(例えば、CLK=12.288MHz の場合、約 2.6 μ s)を内部に与え、再トリガ動作を開始します。RESETb 端子を'Low'レベルから'High'レベルとしたときには、PLL の再トリガ動作は行いません。動作中はクロックの供給を停止しないでください。NJU26200 シリーズは内部に PLL 回路を搭載していますが、クロックの供給を停止した場合、PLL が正常なクロックを内部に送ることができなくなり、NJU26200 シリーズは正常に動作しません。

NJU26200 シリーズ

2. デジタルオーディオクロック

デジタルオーディオデータは、デジタルオーディオシステム間を同期して転送する必要があります。

NJU26200 シリーズは、通常の用途ではスレーブモードとして使用しますが、マスターモードとして使用することも可能です。

注意: NJU26200 シリーズに 12.288MHz のクロックを供給して**マスターモードとして使用する場合、サンプリング周波数 32kHz, 48kHz, 64kHz, 96kHz に対応したオーディオクロックを発生することは可能ですが、44.1kHz, 88.2kHz に対応したオーディオクロックを発生することはできません。**(表5)

- ・DSP マスターモードの場合、BCKO、LRO 端子出力のクロックは、デジタルオーディオデータ転送に使用します。
- ・DSP スレーブモードの場合、BCKI、LRI の入力端子には、マスターデバイスからのクロック出力が必要になります。

2.1 オーディオクロック

デジタルオーディオデータ転送には、次の3種類のクロックが必要になります。

LR クロック(端子名:LRI、LRO)は、シリアルデータ転送で必要になります。デジタルオーディオ信号のサンプリング周波数と同じです。

ビットクロック(端子名:BCKI、BCKO)は、シリアルデータ転送で必要になります。LR クロックの倍数になります。

マスタークロック(端子名:MCK)は、A/D、D/A コンバータなどで必要になります。LR クロックの倍数になります。

また、シリアルデータ転送とは関係ありません。

NJU26200 シリーズのビットクロック(端子名:BCKI、BCKO)は、LR クロックの 32 倍、64 倍をサポートしています。

表5 サンプリング周波数と BCK, LR, MCK (CLK=12.288MHz 時)

モード	クロック信号	倍レート周波数	32kHz	44.1kHz	48kHz	64kHz	88.2kHz	96kHz
DSP スレーブ	LRI	1fs	32kHz	44.1kHz	48kHz	64kHz	88.2kHz	96kHz
	BCKI(32Fs)	32fs	1.024MHz	1.4112MHz	1.536MHz	2.048MHz	2.822MHz	3.072MHz
	BCKI(64Fs)	64fs	2.048MHz	2.822MHz	3.072MHz	4.096MHz	5.644MHz	6.144MHz
DSP マスター	LRO	1fs	32kHz	対応不可	48kHz	64kHz	対応不可	96kHz
	BCKO(32Fs)	32fs	1.024MHz		1.536MHz	2.048MHz		3.072MHz
	BCKO(64Fs)	64fs	2.048MHz		3.072MHz	4.096MHz		6.144MHz
(共通)	MCK (384/256/ 192/128Fs)	384fs @fs=32kHz 256fs @fs=48kHz 192fs @fs=64kHz 128fs @fs=96kHz	12.288MHz					

注意: NJU26200 シリーズで処理可能なサンプリング周波数は、個別データシートを参照してください。

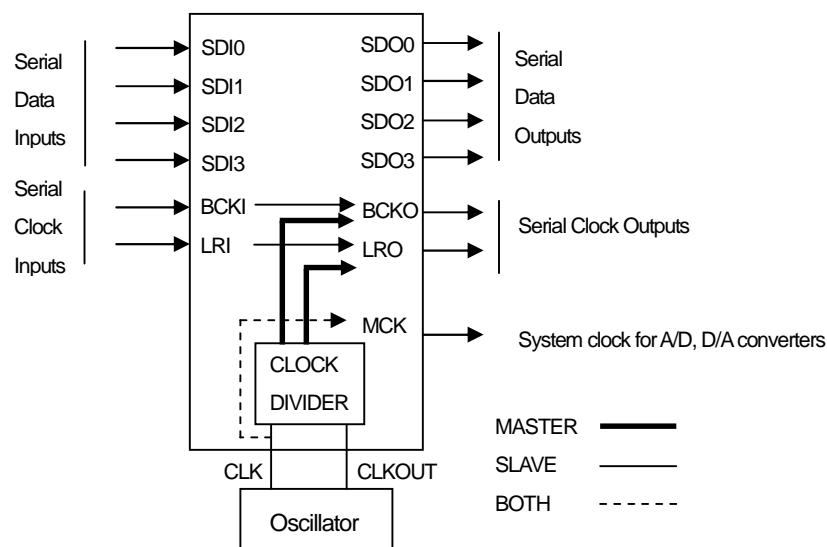


図8 DSP マスター / DSP スレーブモード

3. デジタルオーディオインターフェース

3.1 デジタルオーディオデータフォーマット

NJU26200 シリーズは、デジタルオーディオデータフォーマットとして、3種類のフォーマットを使用することができます。

I²S :LR クロック切り替わりの2ビット目に MSB が置かれます。(左詰めに対し1bit 遅延)

左詰め (Left-Justified) :LR クロックの切り替わりに MSB が置かれます。

右詰め (Right-Justified) :LR クロック切り替わり直前に LSB が置かれます。

3種類のフォーマットの主な違いは LR クロック(LRI、LRO)とデジタルオーディオデータ(SDI、SDO)の位置関係にあります。

- ・どのフォーマットにおいても、左チャンネルが先に転送されます。
- ・左詰め/右詰めにおいては、LR クロック='H'が左チャンネルを示します。
- ・I²S フォーマットにおいては、極性が逆になり、LR クロック='L'で左チャンネルを表します。
- ・ビットクロック BCK(BCKI、BCKO)は、転送データのシフトクロックとなります。少なくとも L/R チャンネルの合計転送ビット数以上のクロック数が必要となります。
- ・LR クロックの1周期がステレオオーディオの1サンプルで、LR クロックの周波数は、サンプルレート(fs)に等しくなります。

NJU26200 シリーズでは、DSP マスターモード/スレープモード共に、LR クロック中、32/64 個のクロックが存在するフォーマット(以下、32fs / 64fs と呼ぶ)が使用可能です。

3.2 シリアルオーディオデータ入出力

NJU26200 シリーズは、入力4ポート(表6)と、出力4ポート(表7)備えています。各端子機能は、個別データシートを参照してください。

表6 シリアルオーディオデータ入力端子

Pin No.		端子名	機能
LQFP48-R3	SSOP44		
47	4	SDI0	オーディオデータ入力0
46	3	SDI1	オーディオデータ入力1
45	2	SDI2	オーディオデータ入力2
44	1	SDI3	オーディオデータ入力3

表7 シリアルオーディオデータ出力端子

Pin No.		端子名	機能
LQFP48-R3	SSOP44		
39	40	SDO0	オーディオデータ出力0
38	39	SDO1	オーディオデータ出力1
37	38	SDO2	オーディオデータ出力2
36	37	SDO3	オーディオデータ出力3

NJU26200 シリーズ

シリアルオーディオデータ入出力の形式は I²S、左詰め、右詰め の3種類のフォーマット形式で 24bit, 20bit, 18bit, 16bit の4種類のビット数を選択できます。(図 9-1~図 9-12)
オーディオデータ入力フォーマットと出力フォーマットは同じ形式になります。

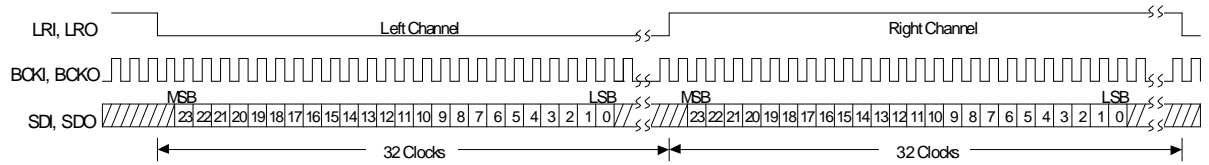


図 9-1 I²S Data Format 64fs, 24bit Data

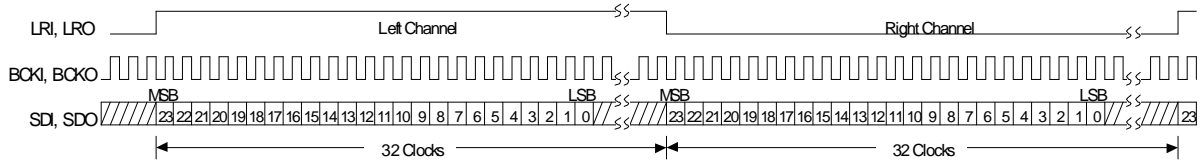


図 9-2 Left-Justified Data Format 64fs, 24bit Data

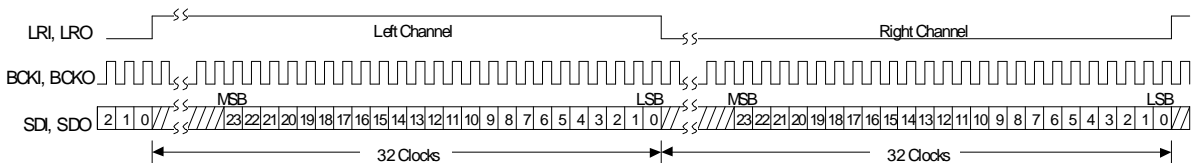


図 9-3 Right-Justified Data Format 64fs, 24bit Data

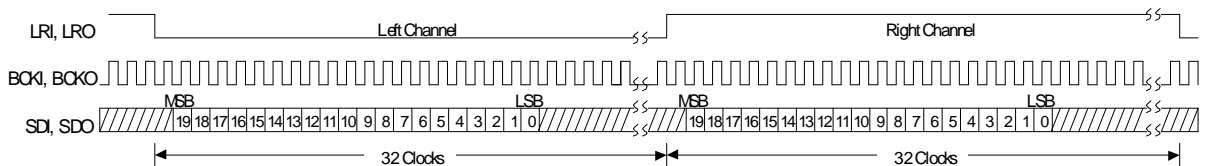


図 9-4 I²S Data Format 64fs, 20bit Data

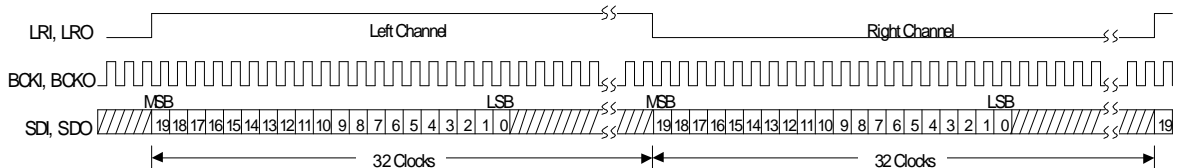


図 9-5 Left-Justified Data Format 64fs, 20bit Data

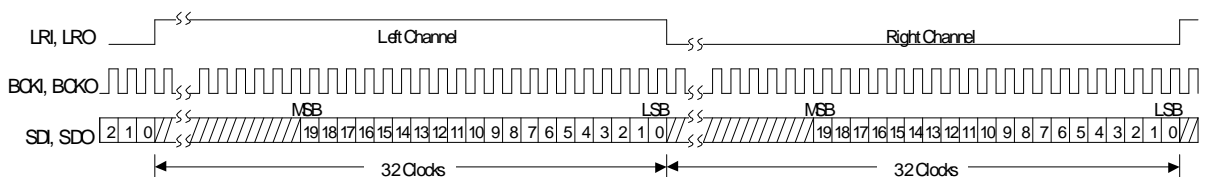


図 9-6 Right-Justified Data Format 64fs, 20bit Data

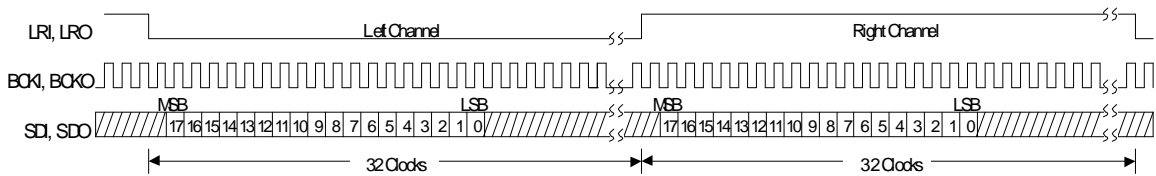


図 9-7 I²S Data Format 64fs, 18bit Data

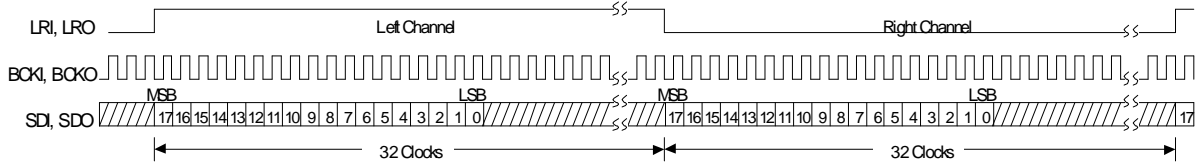


図 9-8 Left-Justified Data Format 64fs, 18bit Data

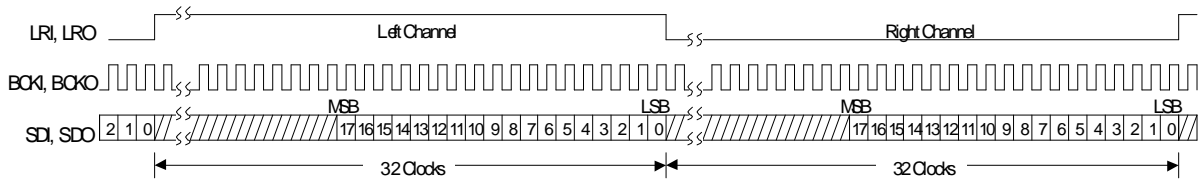


図 9-9 Right-Justified Data Format 64fs, 18bit Data

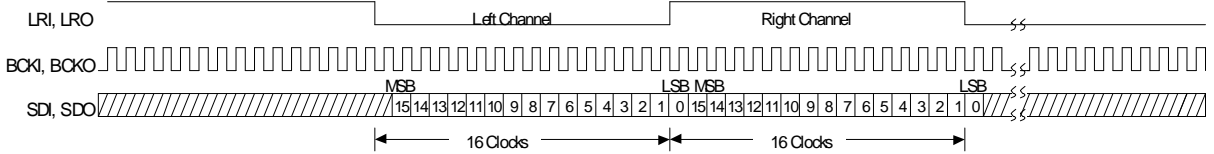


図 9-10 I²S Data Format 32fs, 16bit Data

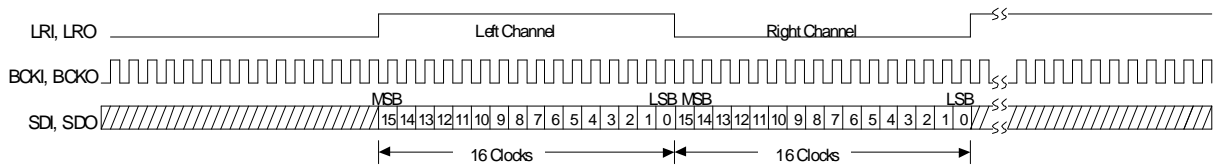


図 9-11 Left-Justified Data Format 32fs, 16bit Data

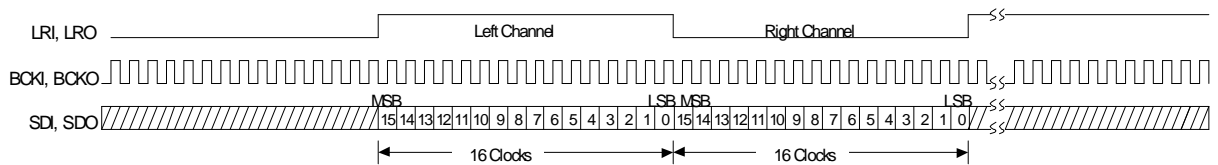


図 9-12 Right-Justified Data Format 32fs, 16bit Data

NJU26200 シリーズ

3.3 シリアルオーディオタイミング

表8 シリアルオーディオ入力タイミング

($V_{DD}=V_{DDPLL}=1.8V$, $V_{DDIO}=3.3V$, $f_{OSC}=12.288MHz$, $T_a=25^{\circ}C$)

項目	記号	条件	Min.	Typ.	Max.	単位
BCKI 周波数 *1	f_{BCKI}		-	-	6.5	MHz
BCKI 周期 *1						
Low パルス幅	t_{SIL}		75	-	-	ns
High パルス幅	t_{SIH}		75	-	-	ns
BCKI LRI 時間 *1	t_{SLI}		40	-	-	ns
LRI BCKI 時間 *1	t_{LSI}		40	-	-	ns
データセットアップ時間 *2	t_{DS}		15	-	-	ns
データホールド時間 *2	t_{DH}		15	-	-	ns

*1 : DSPスリープモード時の規定です。

*2 : DSPスリープモード時はBCKIに対する規定です。 DSPマスターモード時はBCKOに対する規定です。

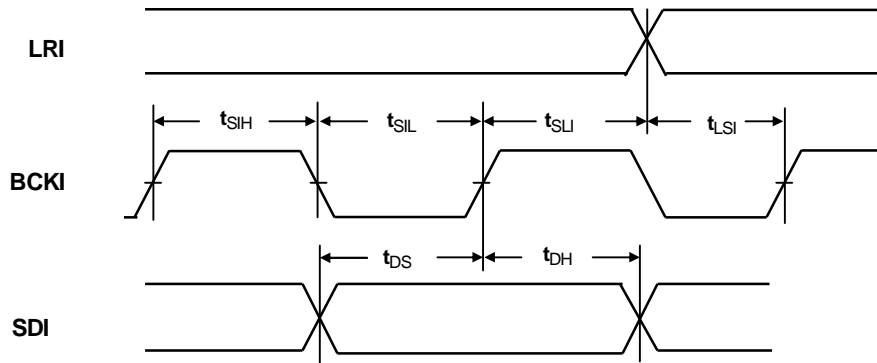


図10 シリアルオーディオ入力タイミング

表9 シリアルオーディオ出力タイミング

($V_{DD}=V_{DDPLL}=1.8V$, $V_{DDIO}=3.3V$, $f_{OSC}=12.288MHz$, $T_a=25^\circ C$)

項目	記号	条件	Min	Typ.	Max	単位
BCKO - LRO 時間差	*3	C _L :LRO, BCKO, SDO=25pF	-15	-	15	ns
データ出力遅延時間	t _{DOD}		-	-	15	ns

*3 DSP マスターモード時の規定です。

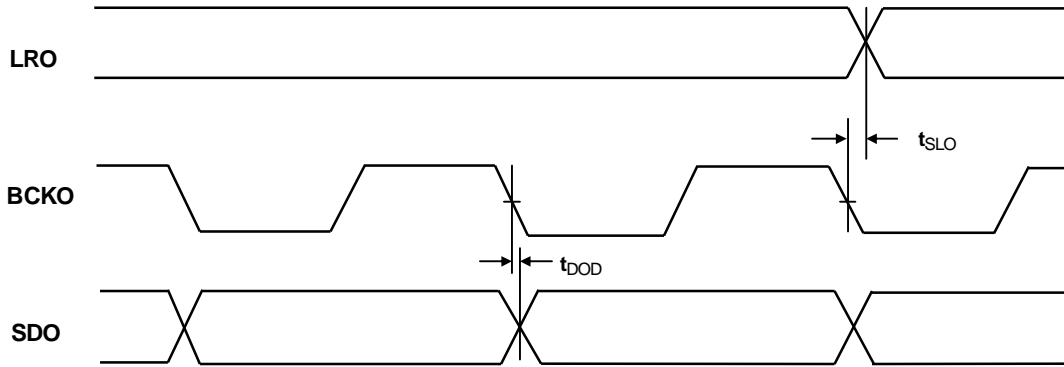


図11 シリアルオーディオ出力タイミング

表10 シリアルオーディオクロックタイミング (DSP スレープモード時)

($V_{DD}=V_{DDPLL}=1.8V$, $V_{DDIO}=3.3V$, $f_{OSC}=12.288MHz$, $T_a=25^\circ C$)

項目	記号	条件	Min	Typ.	Max	単位
伝搬遅延時間 (LRI LRO)	t _{PDL}	C _L :LRO, BCKO, SDO=25pF DSP Slave Mode	-	-	15	ns
伝搬遅延時間 (BCKI BCKO)	t _{PDB}		-	-	15	ns

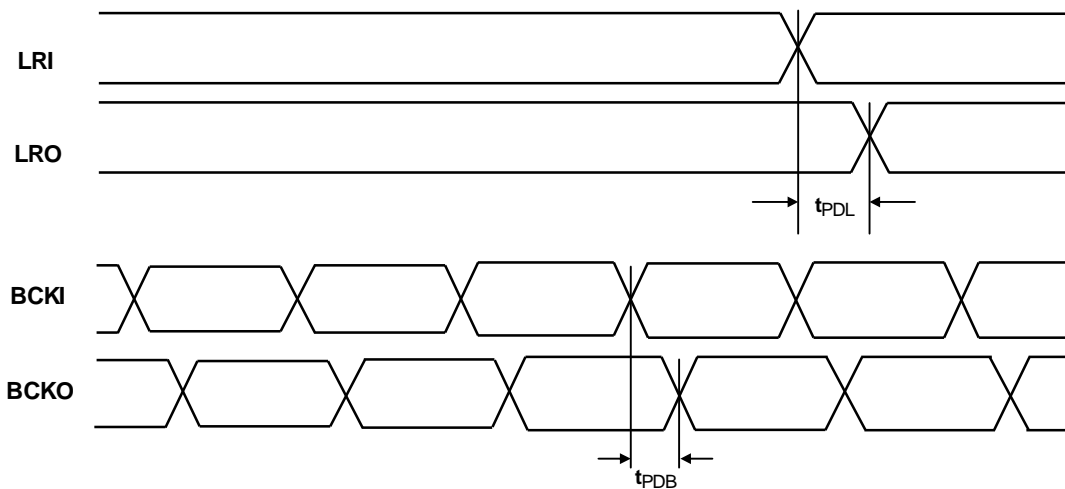


図12 シリアルオーディオクロックタイミング (DSP スレープモード時)

NJU26200 シリーズ

4. ホストインターフェース

NJU26200 シリーズの制御インターフェースは、I²C バスインターフェース、あるいは、シリアルインターフェース(4 線式) 2種類のどちらかを選択します。(表 11)

データ転送は共に 8 ビット(1 バイト)単位です。ホストインターフェースは常にスレープで、ホストコントローラからクロック(SCL/SCK)に同期してデータが転送されます。(表 12)

表 11 ホストインターフェース設定

Pin No.		端子名	設定	ホストインターフェース
LQFP48-R	SSOP4			
3	4			
12	16	SEL	L ()	I ² C バス互換インターフェース
			H ()	シリアルインターフェース(4 線式)

リセット解除時に設定します。

表 12 ホストインターフェース端子機能

Pin No.		端子名 (I ² C バス/ Serial)	I ² C バスインターフェース 選択時	シリアルインターフェース (4 線式)選択時
QFP48-R3	SSOP4			
25	29	AD1 / SDIN	I ² C バスアドレス選択 Bit1	シリアルデータ入力
26	30	AD2 / SSb	I ² C バスアドレス選択 Bit2	スレープセレクト
27	31	SCL / SCK	I ² C シリアルクロック	シリアルクロック
28	32	SDA / SDOUT	I ² C シリアルデータ入出力 (オープンドレイン入出力)	シリアルデータ出力 (CMOS 出力)

注意: 4 線シリアルインターフェースモード時:SDOUT 端子は、常時 CMOS 出力となり、プルアップ抵抗は必要ありません。

I²C バスインターフェースモード時:SDA 端子は、オープンドレイン出力となり、適切なプルアップ抵抗を接続する必要があります。また、SDA/SDOUT 端子は 5V トレラントではないため、電圧レベル (最大で VDDIO まで) に注意してください。

参考: SCL/SCK 端子は 5V トレラントですが、I²C バスインターフェース時は SCL 端子のプルアップ電圧を SDA 側に統一することを推奨します。

4.1 I²C バスインターフェース

I²C バスインターフェースに設定した場合、I²C バスインターフェースは、SDA 端子:データライン、SCL 端子:クロックになります。

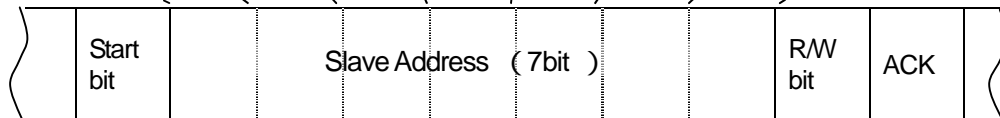
AD1/AD2 端子は、7 ビットからなるスレープアドレス下位 2 ビットの設定に用います。これは、複数のスレープアドレスにより、設計の柔軟性を向上させるためのものです。アドレスは AD1/AD2 端子の内部設定で 4 種類から選択することができます。(表 13)

注意: NJU26200 シリーズは、I²C バス “Standard-Mode (100kbps)” および “Fast-Mode (400kbps)” をサポートしています。S(「START」条件)を送った後、Sr(反復「START」条件)を受け付けず、P:「STOP」条件待ちになります。そのため、必ず P:「STOP」条件を送ってください。

表 13 I²C バススレーブアドレス設定

固定値					AD2 端子	AD1 端子	R/W bit0
bit7	bit6	bit5	bit4	bit3	bit2 ^{*1}	bit1 ^{*1}	
0	0	1	1	1	0	0	R/W
0	0	1	1	1	0	1	
0	0	1	1	1	1	0	
0	0	1	1	1	1	1	

データ形式



*1: スレーブアドレスは、AD1/AD2="L" のとき 0、AD1/AD2="H" のとき 1 になります。

表 14 I²C バスインターフェースタイミング

($V_{DD}=V_{DDPLL}=1.8V$, $V_{DDIO}=3.3V$, $f_{OSC}=12.288MHz$, $T_a=25^{\circ}C$)

項目	記号	Min	Max	単位
SCL クロック周波数	f_{SCL}	0	400	kHz
開始条件ホールド時間	$t_{HD:STA}$	0.6	-	μs
SCL "Low" レベルパルス幅	t_{LOW}	1.3	-	μs
SCL "High" レベルパルス幅	t_{HIGH}	0.6	-	μs
データホールド時間 ^{*4}	$t_{HD:DAT}$	0	-	μs
データセットアップ時間	$t_{SU:DAT}$	250	-	ns
立ち上がり時間	t_R	-	1000	ns
立ち下がり時間	t_F	-	300	ns
停止条件セットアップ時間	$t_{SU:STO}$	0.6	-	μs
バス解放時間 ^{*5}	t_{BUF}	1.3	-	μs

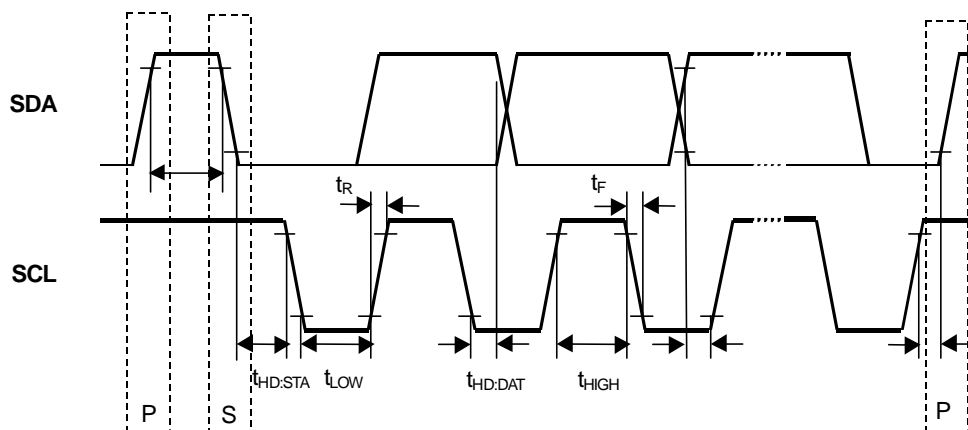


図 13 I²C バスタイミング

注意 : *4 $t_{HD:DAT}$: SCL の立ち下がりエッジでの不確定な状態を回避するために、少なくとも 300ns 程度のホールド時間を確保するようにしてください。

*5 本項目はインターフェースとしての仕様を示すものです。
連続するコマンドの間隔は、個別データシートを参照してください。

NJU26200 シリーズ

4.2 シリアルインターフェース(4線式)

シリアルインターフェース(4線式)回路は、スレーブセレクト端子(SSb 端子)が“L”レベルで動作状態となります。SDIN 端子に入力されるデータは、SCK 端子の立ち上がりに同期して DSP に読み込まれます。SDOUT 端子からのデータは、SSb 端子の立ち下がりに同期して bit7 が出力され、次に SCK 端子の立ち下りに同期して bit6, bit5, bit4, bit3, bit2, bit1, bit0 が出力されます。入出力共に MSB ファーストで通信されます。(表 15, 図 14) 通信は 8bit 単位です。8bit に満たなかった場合や 8bit を超えた場合は、正しく動作しません。SDOUT 端子は、常時 CMOS 出力のため、プルアップ抵抗は必要ありません。また、SSb=H 時に SDOUT 端子に現れる値は不定となります。

表15 シリアルインターフェース(4線式)タイミング

($V_{DD}=V_{DDPLL}=1.8V$, $V_{DDIO}=3.3V$, $f_{osc}=12.288MHz$, $SDOUT=25pF$, $T_a=25^{\circ}C$)

項目	記号	Min.	Typ.	Max.	単位
入力データ立ち上がり時間	t_{MSDr}	-	-	100	ns
入力データ立ち下がり時間	t_{MSDf}	-	-	100	ns
クロック立ち上がり時間	t_{MSCr}	-	-	100	ns
クロック立ち下がり時間	t_{MSCf}	-	-	100	ns
ストローブ立ち上がり時間	t_{MSSr}	-	-	100	ns
ストローブ立ち下がり時間	t_{MSSf}	-	-	100	ns
クロック "High"レベル期間	t_{MSCa}	0.5	-	-	μs
クロック "Low"レベル期間	t_{MSCn}	0.5	-	-	μs
クロック周期	t_{MSCc}	1.0	-	-	μs
ストローブセットアップ時間	t_{MSSs}	0.5	-	-	μs
ストローブホールド時間	t_{MSSh}	0.5	-	-	μs
ストローブ "Low"レベル期間 *6	t_{MSSa}	-	8.5	-	μs
ストローブ "High"レベル期間 *6	t_{MSSn}	-	1.0	-	μs
データ入力セットアップ時間	t_{MSDis}	0.1	-	-	μs
データ入力ホールド時間	t_{MSDih}	0.1	-	-	μs
データ出力ホールド時間	t_{MSDoh}	-	-	0.25	μs
バス開放時間	t_{MSDov}	-	-	0.25	μs

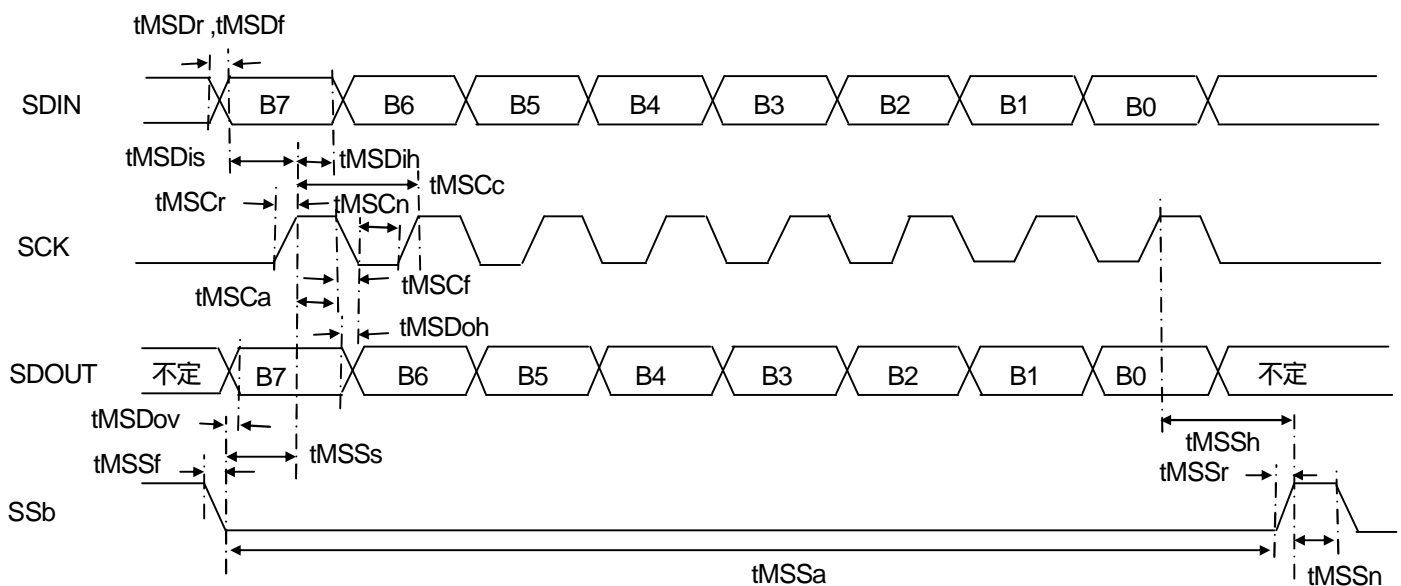


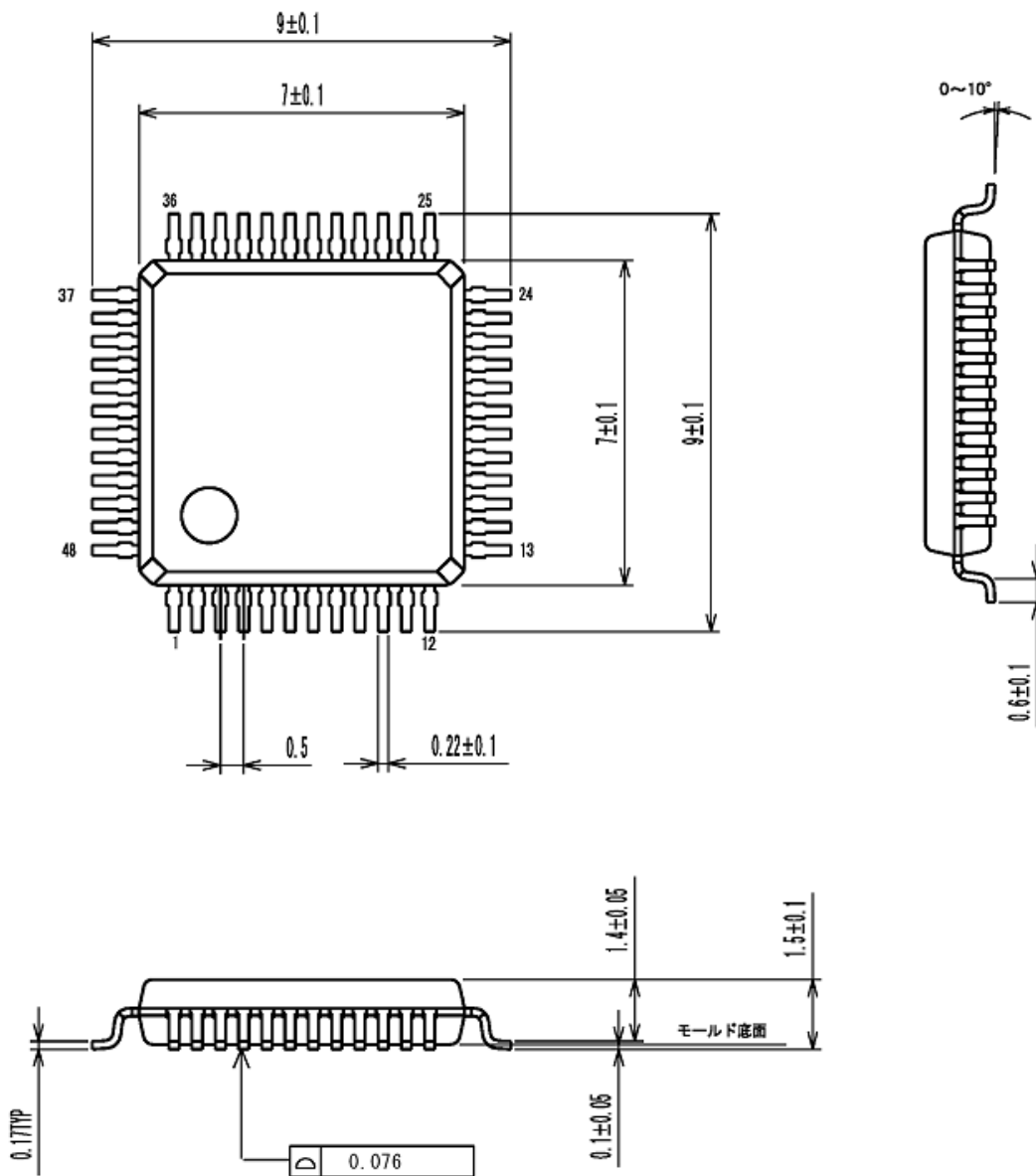
図 14 シリアルインターフェース(4線式)タイミング

Note: クロックが 8 クロックに満たない場合、8 クロック以上連続した場合にも正常にデータは読み込まれません。

*6 本項目はインターフェースとしての仕様を示すものです。連続するコマンドの間隔は別途規定されます。

5. パッケージ寸法

(1) LQFP48-R3、鉛フリー



MOLD MATERIAL : EPOXY RESIN

単位:mm

