

## NJU26100シリーズ ハードウェア共通仕様書

### 概要

NJU26100シリーズは、24ビットDSPコアのデジタル・オーディオ・プロセッサです。  
 この仕様書は、NJU26100シリーズハードウェアの共通仕様について記述しています。  
 本仕様はNJU26101からNJU26119までのDSPについて適用されます。  
 個別の機能等については、各々の製品データシートを参照してください。  
 また、ファームウェアのコマンドについては、個別のコマンドリストを参照してください。

### 外形



NJU26100FR1

### ハードウェア仕様

- 24ビット固定小数点デジタルシグナルプロセッサ
- システムクロック : (12MHz min) ~ 最大 38MHz
- オーディオ インターフェース : 3 入力ポート、3 出力ポート
- オーディオ フォーマット : I<sup>2</sup>S 24bit, 左詰 / 右詰対応, BCK:32fs/64fs
- マスター / スレーブ対応  
 マスター時 MCK, 1/2fclk, 1/3fclk (例) fclk=768fs 時に, MCK=384fs(1/2) または 256fs(1/3)
- パッケージ : QFP32-R1 (鉛フリー対応)
- 電源電圧 : 2.5V
- 入力専用端子許容電圧 : 3.3V トレラント
- ホストインターフェース
  - I<sup>2</sup>C バスインターフェース(Standard-mode/100kbps)
  - シリアルインターフェース(4線式:クロック, イネーブル, 入力データ, 出力データ)

### ブロック図

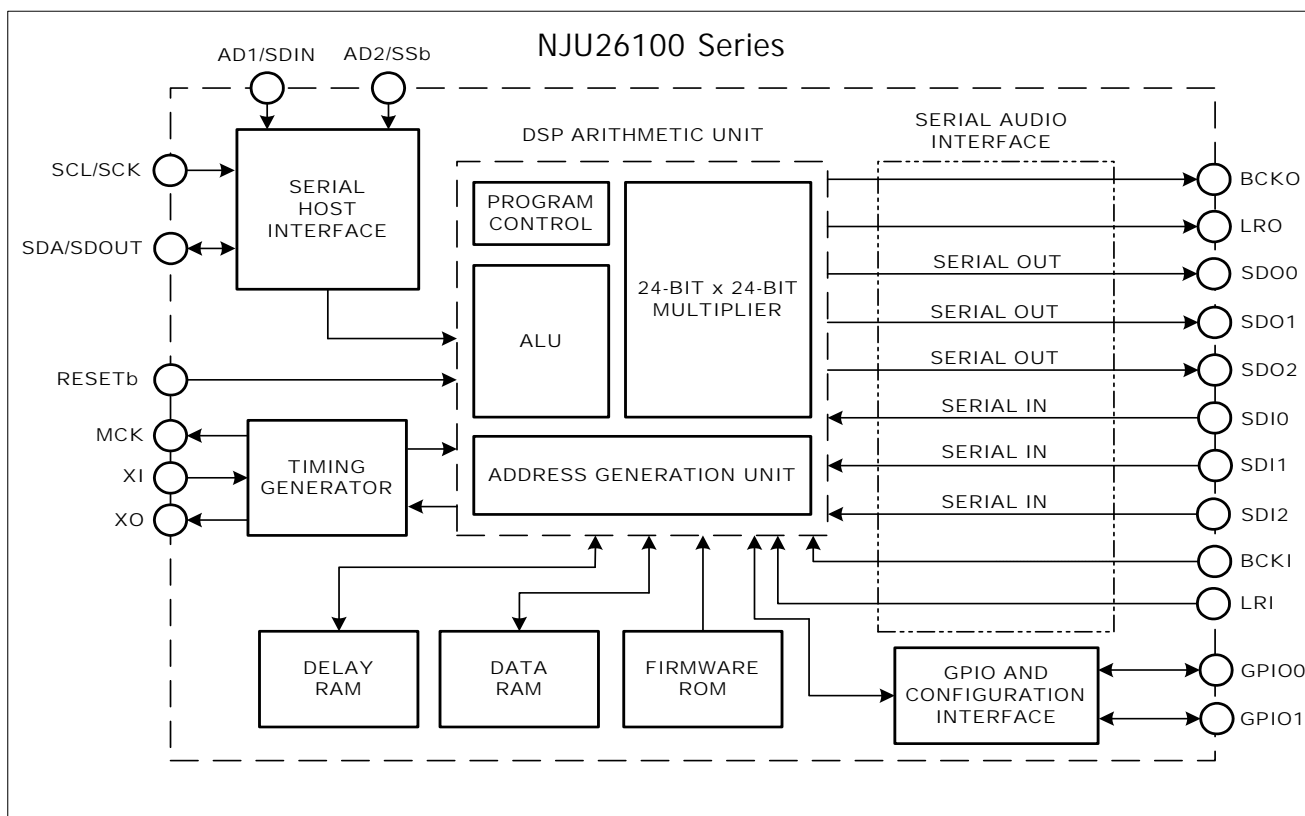


図1 NJU26100シリーズハードウェアブロック図

# ■ NJU26100 シリーズ

## 端子配列

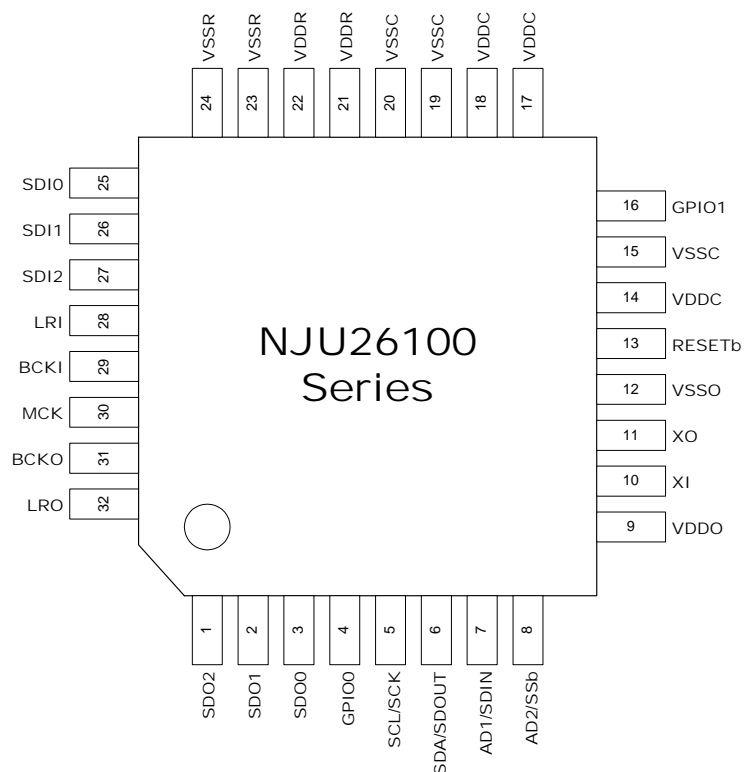


図2 端子配列

## 端子説明

表1 端子説明

No.	端子名	I/O	機能
1	SDO2	O	オーディオデータ出力2
2	SDO1	O	オーディオデータ出力1
3	SDO0	O	オーディオデータ出力0
4	GPIO0 (SEL1)	I/O	汎用入出力
5	SCL/SCK	I	I <sup>2</sup> C クロック / シリアルクロック
6	SDA/SDOUT	I/O	I <sup>2</sup> C I/O / シリアル出力 プルアップ抵抗を接続してください。
7	AD1/SDIN	I	I <sup>2</sup> C アドレス / シリアル入力
8	AD2/SSb	I	I <sup>2</sup> C アドレス / スleepセレクト
9	VDDO	-	オシレータ電源 +2.5V
10	XI	I	クロック入力端子
11	XO	O	オシレータ出力
12	VSSO	-	オシレータ電源 GND
13	RESETb	I	リセット(アクティブロー)
14	VDDC	-	内部電源 +2.5V
15	VSSC	-	内部電源 GND
16	GPIO1	I/O	汎用入出力

No.	端子名	I/O	機能
17	VDDC	-	内部電源 +2.5V
18	VSSC	-	内部電源 GND
19	VSSC	-	内部電源 GND
20	VSSC	-	内部電源 GND
21	VDDR	-	I/O 電源 +2.5V
22	VDDR	-	I/O 電源 +2.5V
23	VSSR	-	I/O 電源 GND
24	VSSR	-	I/O 電源 GND
25	SDI0	I	オーディオデータ入力0
26	SDI1	I	オーディオデータ入力1
27	SDI2	I	オーディオデータ入力2
28	LRI	I	LR クロック入力
29	BCKI	I	ビットクロック入力
30	MCK	O	マスタークロック出力
31	BCKO	O	ビットクロック出力
32	LRO	O	LR クロック出力

\*1 I : 入力, O : 出力, I/O : 双方向

\*2 SDI0, SDI1, SDI2, SDO0, SDO1, SDO2, GPIO0(SEL1), GPIO1 は仕様により機能が異なるため、個別データシートを参照してください。

## 絶対最大定格

表2 絶対最大定格

( $V_{SS0}=V_{SSC}=V_{SSR}=0V$ ,  $T_a=25^{\circ}C$ )

項目	記号	定格	単位
電源電圧	$V_{DD}$	-0.3 ~ 3.05	V
XI 入力電圧	$V_{i(OSC)}$	-0.3 ~ 3.05	V
入力端子電圧 *1	$V_{x(IN)}$	-0.3 ~ 3.6 ( $V_{DD} = 2.25$ ) -0.3 ~ 3.05 ( $V_{DD} < 2.25$ )	V
出力、入出力端子電圧 *2	$V_{x(OUT)}$	-0.3 ~ 3.05	V
許容損失	$P_D$	0.3	W
動作温度	$T_{OPR}$	-40 ~ +85	$^{\circ}C$
保存温度	$T_{stg}$	-40 ~ +125	$^{\circ}C$

\*1 GPIO1, SCL/SCK, AD1/SDIN, AD2/SSb, RESETb, SDI0, SDI1, SDI2, LRI, BCKI 端子に適用。

I<sup>2</sup>C モード動作時、SDA/SDOUT 端子に適用。

\*2 MCK, SDO0, SDO1, SDO2, XO, GPIO0(SEL1), LRO, BCKO 端子に適用。SDA/SDOUT 端子は 4 線式シリアルの場合に適用。

# ■ NJU26100 シリーズ

## 電気的特性

表3 電気的特性

(記載無きは  $V_{DD0}=V_{DDC}=V_{DDR}=2.5V$ ,  $V_{SS0}=V_{SSC}=V_{SSR}=0V$ ,  $T_a=25^\circ C$ )

項目	記号	条件	最小	標準	最大	単位
動作電源電圧	$V_{DD}$	$V_{DD0}$ , $V_{DDC}$ , $V_{DDR}$ 端子	2.25	2.5	2.75	V
動作電流	$I_{DD}$	$f_{OSC}=36.864MHz$	-	40	-	mA
動作温度	$T_{OPR}$		-40	25	85	$^\circ C$
推奨動作温度	$T_{OPRR}$	$V_{DD}=2.5V$	-10	25	70	$^\circ C$
XI 端子 High レベル入力電圧	$V_{IH(OSC)}$	XI 端子	2.0	-	$V_{DD}$	V
High レベル入力電圧	$V_{IH}$		2.0	-	3.3	V
Low レベル入力電圧	$V_{IL}$		$V_{SS}$	-	0.5	V
High レベル入力電流	$I_{IH}$	$V_{IN}=3.3V$ GPIO1 端子を除く	-10	-	+10	$\mu A$
High レベル入力電流	$I_{IH(ppt)}$	$V_{IN}=3.3V$ GPIO1 端子	100	-	300	$\mu A$
Low レベル入力電流	$I_{IL}$	$V_{IN}=V_{SS0}=V_{SSC}=V_{SSR}$	-10	-	+10	$\mu A$
High レベル出力電圧	$V_{OH}$	$I_{OH}=-2mA$	$V_{DD}-0.4$	-	-	V
Low レベル出力電圧	$V_{OL}$	$I_{OL}=2mA$	-	-	0.4	V
入力容量	$C_{IN}$		-	5	-	pF
入力立ち上がり立ち下がり時間	$t_r/t_f$ *3	SCL/SCK, SDA/SDOUT, AD1/SDIN, AD2/SSb 端子を除く	-	-	100	ns
クロック周波数	$f_{OSC}$	XI 端子	-	-	38.0	MHz
外部クロックデューティサイクル	$r_{EC}$	XI 端子	47.5	50	52.5	%

\*3 SCL/SCK, SDA/SDOUT, AD1/SDIN, AD2/SSb 端子の  $t_r/t_f$  については別途規定されます。

\*4 XI 端子を除く全ての入力/入出力端子は、シュミット・トリガ入力となっています。

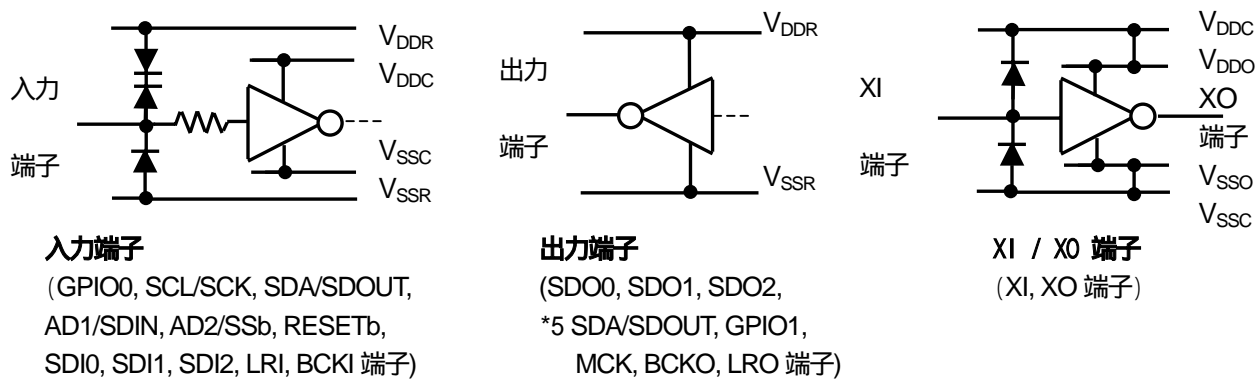


図3 NJU26100 シリーズ入出力等価回路図

\*5 SDA は、 $I^2C$  の出力のとき、オープンドレインになります。

## 1. リセットとクロック

NJU26100 シリーズは、リセット端子を一旦 "Low" にし、その後 "High" にすることにより強制的に初期設定されます。(図4)

NJU26100 シリーズの動作には、クロックが必要です。XI 端子に、使用するサンプリングレートに合わせたクロックを供給してください。また、XI/XO 端子に水晶振動子、セラミック振動子等を接続し、発振させることも可能です。

XI 端子は他の入力/入出力端子と入力電圧の上限が異なります(最大で  $V_{DD}$  電圧まで)。外部に発振器などを接続される場合は、電圧レベルにご注意ください。

ホストインターフェースは、GPIO0(SEL1)端子の設定により、I<sup>2</sup>C バスインターフェース 或いはシリアルインターフェース(4 線式)のどちらかを使用するか選択することが可能です。

I<sup>2</sup>C バスインターフェースで制御する場合、リセット解除時、GPIO0(SEL1)端子を "L" に設定し、シリアルインターフェース(4 線式)で制御する場合、リセット解除時、GPIO0(SEL1)端子を "H" に設定します。

GPIO0(SEL1)端子の値は、リセット端子が "High" になってから 1ms 以内にサンプリングされますが、電源立ち上げ時には、DSP 電源が規定以上に立ち上がって電源や入力クロックが安定する間、少なくとも  $t_{RESETb}$  以上リセット端子を "Low" に保持してください。

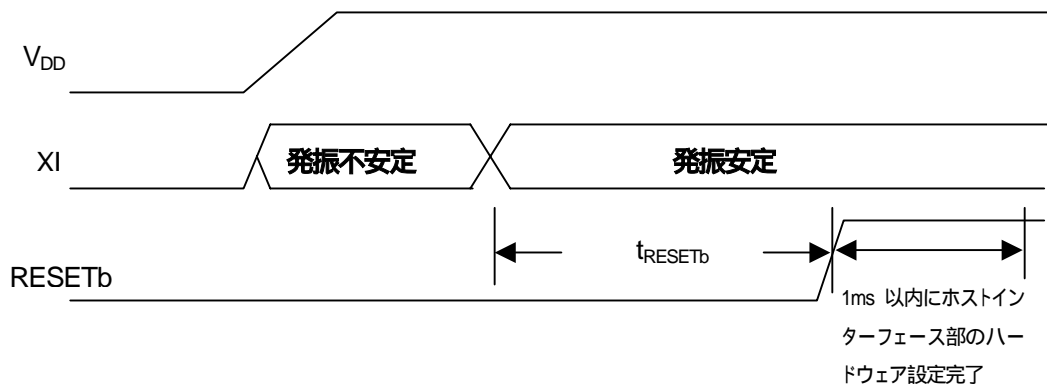


図4 リセットタイミング

表4 リセット時間

記号	時間
$t_{RESETb}$	1 $\mu$ s

# ■ NJU26100 シリーズ

## 2. デジタルオーディオクロック

デジタルオーディオデータは、デジタルオーディオシステム間を同期する必要があります。そのため、システム内の 1 つのデバイスがオーディオサンプリングクロックを発生し、その他のデバイスはこのサンプリングレートに従うよう設定されます。サンプリングクロックを発生するデバイスをマスターデバイスと呼び、このサンプリングレートに従うデバイスをスレーブデバイスと呼びます。

LR と BCK および MCK は同期している必要があります。DSP をマスターデバイスとして使用する場合、DSP の動作クロックは、以下の表5のように使用するサンプリング周波数の 768 倍を供給する必要があります。DSP をスレーブデバイスとして使用する場合も、使用するサンプリング周波数の 768 倍以上、最高動作周波数以下のクロックを供給してください。

### 2.1 オーディオクロック

デジタルオーディオデータ転送には、次の3種類のクロックが必要になります。

LR クロック(端子名:LRI、LRO)は、シリアルデータ転送で必要になります。デジタルオーディオ信号のサンプリング周波数と同じです。

ビットクロック(端子名:BCKI、BCKO)は、シリアルデータ転送で必要になります。LR クロックの倍数になります。

マスタークロック(端子名:MCK)は、A/D、D/A コンバータなどで必要になります。LR クロックの倍数になります。また、シリアルデータ転送とは関係ありません。

表5 標準サンプリング周波数と対応する各クロック

クロック	標準倍数	32kHz	44.1kHz	48kHz
LR	1Fs	32kHz	44.1kHz	48kHz
BCK(32fs)	32Fs	1.024MHz	1.4112MHz	1.536MHz
BCK(64fs)	64Fs	2.048MHz	2.822MHz	3.072MHz
MCK(256fs)	256Fs	8.192MHz	11.289MHz	12.288MHz
MCK(384fs)	384Fs	12.288MHz	16.934MHz	18.432MHz
XI	768Fs	24.576MHz	33.8688MHz	36.864MHz

注意 : NJU26100 シリーズがスレーブモードの場合、MCK は出力しません。

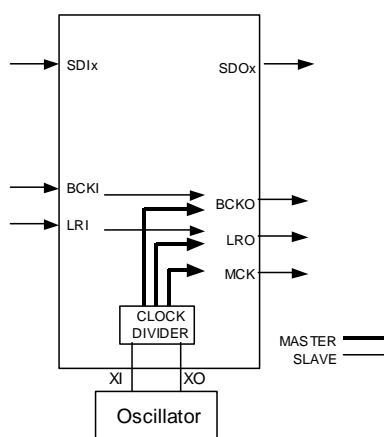


図5 マスター / スレーブ モード

## 3. デジタルオーディオインターフェース

### 3.1 デジタルオーディオデータフォーマット

NJU26100 シリーズは、デジタルオーディオデータフォーマットとして、3種類のフォーマットを使用することができます。

I<sup>2</sup>S :LR クロック切り替わりの2ビット目に MSB が置かれます。(左詰めに対し1bit 遅延)

左詰め (Left-Justified) :LR クロックの切り替わりに MSB が置かれます。

右詰め (Right-Justified) :LR クロック切り替わり直前に LSB が置かれます。

3種類のフォーマットの主な違いは LR クロック (LRI, LRO) とデジタルオーディオデータ (SDI, SDO) の位置関係にあります。

- ・どのフォーマットにおいても、左チャンネルが先に転送されます。
- ・左詰め/右詰めにおいては、LR クロック=Hが左チャンネルを示します。
- ・I<sup>2</sup>S フォーマットにおいては、極性が逆になり、LR クロック=Lで左チャンネルを表します。
- ・ビットクロック BCK(BCKI, BCKO)は、転送データのシフトクロックとなります。少なくとも L/R チャンネルの合計転送ビット数以上のクロック数が必要となります。
- ・LR クロックの1周期がステレオオーディオの1サンプルで、LR クロックの周波数は、サンプルレート(fs)に等しくなります。

NJU26100 では、DSP マスターモード/スレープモード共に、LR クロック中、32/64 個のクロックが存在するフォーマット(以下、32fs / 64fs と呼ぶ)が使用可能です。

NJU26100 シリーズは 1 組の LR クロック(LRI, LRO)と、1 組のビットクロック(BCKI, BCKO)を有しています。クロック入力 BCKI 及び LRI は NJU26100 シリーズがスレープモードで動作している場合、外部デバイスと同期をとるために使用します。

クロック出力 BCKO、LRO、MCK(システムクロック出力)は、NJU26100 シリーズがマスターモードで動作しているとき、外部 A/D、D/A コンバータ等にクロックを供給するために使用します。

BCKO、LRO は、スレープモード時は、それぞれ BCKI、LRI をバッファリングして出力します。アプリケーションに応じて、ご活用ください。 **スレープモード時、MCK は出力を停止し、Low レベルに固定されます。**

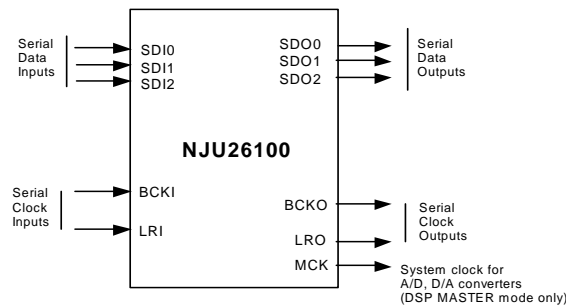


図6 オーディオデータフォーマット

### 3.2 シリアルオーディオデータ入出力

NJU26100 は、入力3ポート(表6) と、出力3ポート(表7) 備えています。各端子機能は、NJU26100 個別データシートを参照して下さい。

表6 シリアルオーディオデータ入力端子

Pin No.	端子名	機能
25	SDI0	オーディオデータ入力0
26	SDI1	オーディオデータ入力1
27	SDI2	オーディオデータ入力2

# ■ NJU26100 シリーズ

表7 シリアルオーディオデータ出力端子

Pin No.	端子名	機能
3	SDO0	オーディオデータ出力 0
2	SDO1	オーディオデータ出力 1
1	SDO2	オーディオデータ出力 2

シリアルオーディオデータ入出力の形式は I<sup>2</sup>S、左詰め、右詰め の3種類のフォーマット形式で 24bit, 20bit, 18bit, 16bit の4種類のビット数を選択できます。(図 7-1 ~ 図 7-12)

オーディオデータ入力フォーマットと出力フォーマットは同じ形式になります。

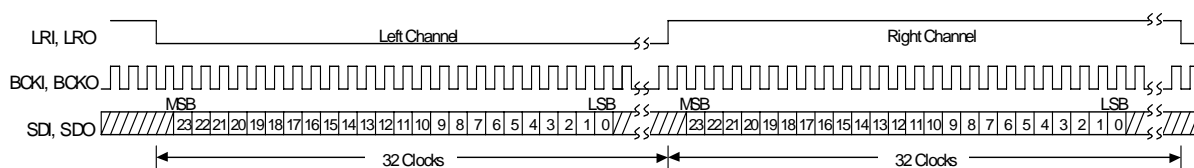


図 7-1 I<sup>2</sup>S Data Format 64fs, 24bit Data

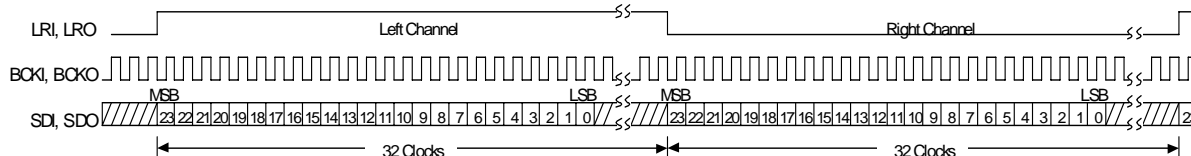


図 7-2 Left-Justified Data Format 64fs, 24bit Data

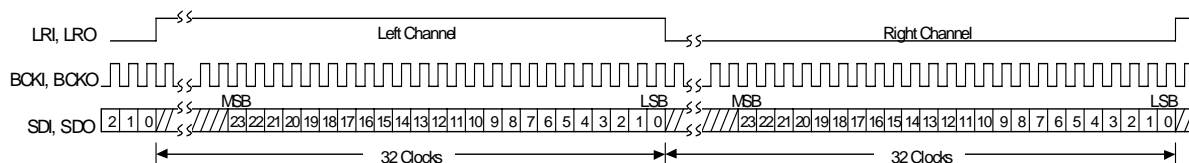


図 7-3 Right-Justified Data Format 64fs, 24bit Data

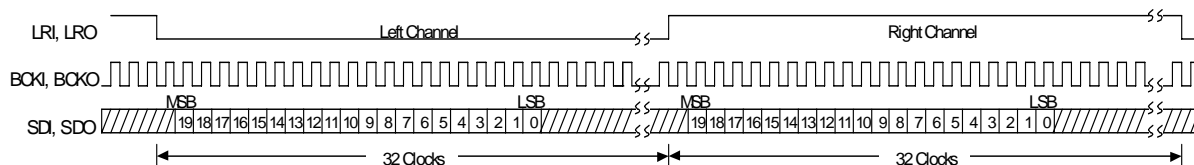


図 7-4 I<sup>2</sup>S Data Format 64fs, 20bit Data

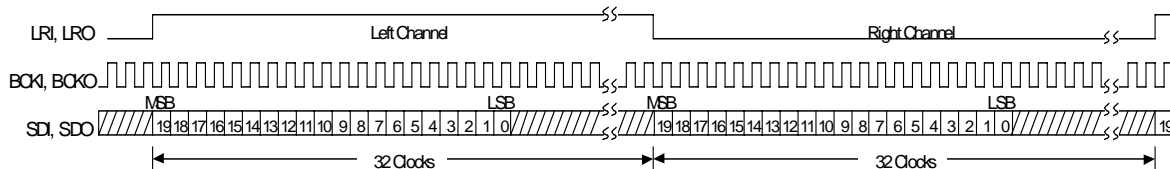


図 7-5 Left-Justified Data Format 64fs, 20bit Data

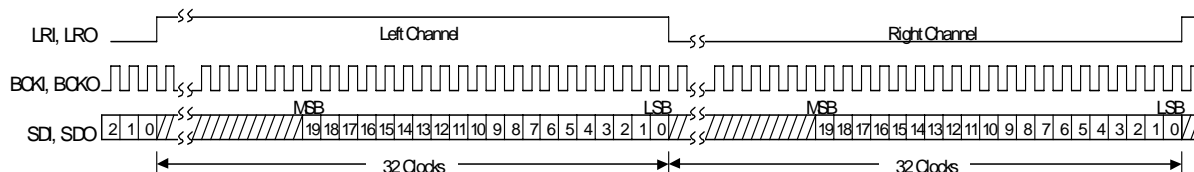


図 7-6 Right-Justified Data Format 64fs, 20bit Data



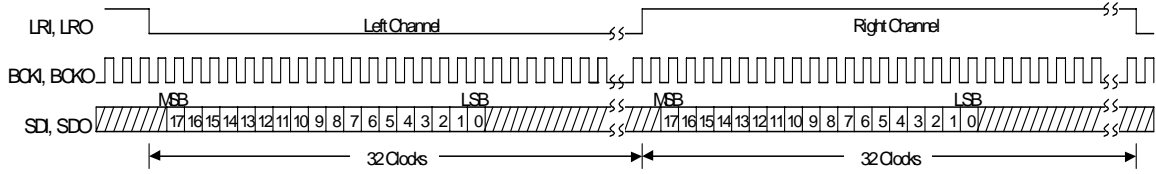


図 7-7 I²S Data Format 64fs, 18bit Data

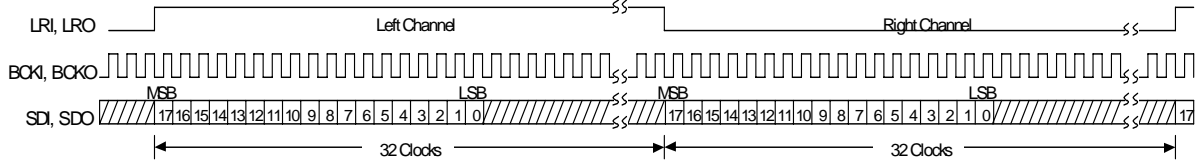


図 7-8 Left-Justified Data Format 64fs, 18bit Data

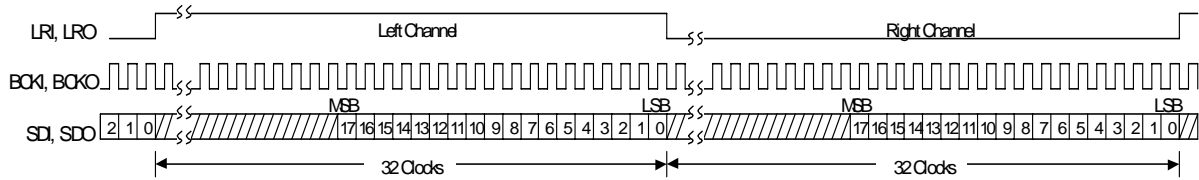


図 7-9 Right-Justified Data Format 64fs, 18bit Data

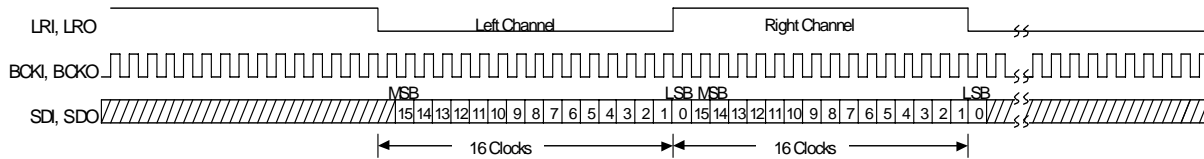


図 7-10 I²S Data Format 32fs, 16bit Data

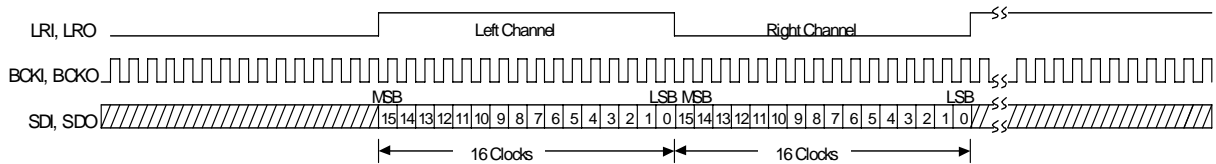


図 7-11 Left-Justified Data Format 32fs, 16bit Data

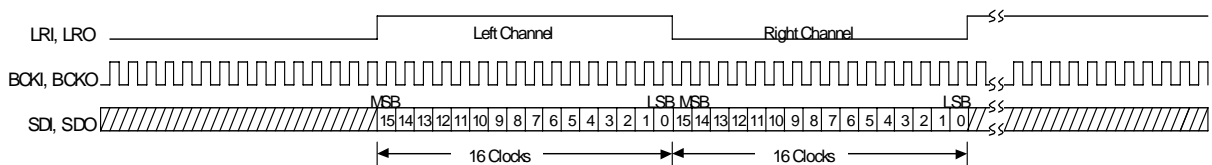


図 7-12 Right-Justified Data Format 32fs, 16bit Data

# ■ NJU26100 シリーズ

## 3.3 シリアルオーディオタイミング

表8 シリアルオーディオデータ入力タイミングパラメータ ( $V_{DD0}=V_{DDC}=V_{DDR}=2.5V, V_{SS0}=V_{SSC}=V_{SSR}=0V, Ta=25^{\circ}C$ )

項目	記号	条件	Min.	Typ.	Max.	単位
BCKI 周波数	*1 $f_{BCKI}$		0.9	-	4.0	MHz
BCKI Low レベル期間	*1 $t_{SIL}$		85	-	-	ns
BCKI High レベル期間	*1 $t_{SIH}$		85	-	-	ns
BCKI 立ち上がり前 LRI セットアップ時間	*1 $t_{LSI}$		40	-	-	ns
BCKI 立ち上がり後 LRI ホールド時間	*1 $t_{SLI}$		40	-	-	ns
データセットアップ時間	*2 $t_{DS}$		40	-	-	ns
データホールド時間	*2 $t_{DH}$		40	-	-	ns

\*1 DSP スleepモード時の規定です。

\*2 DSP スleepモード時は BCKI に、DSP マスターモード時は BCKO に対する規定です。

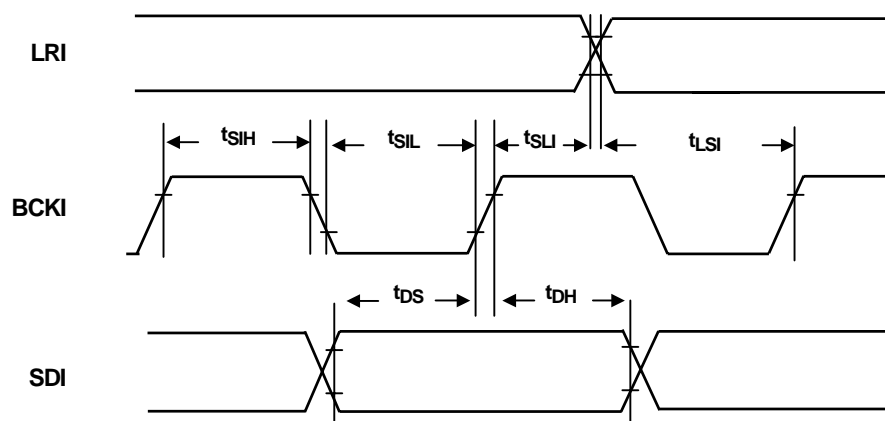


図8 シリアルオーディオ入力タイミング

**表9 シリアルオーディオ出力タイミング** ( 記載無きは,  $V_{DD0}=V_{DDC}=V_{DDR}=2.5V$ ,  $V_{SS0}=V_{SSC}=V_{SSR}=0V$ ,  $T_a=25^\circ C$  )

項目	記号	条件	Min.	Typ.	Max.	単位
BCKO - LRO 時間差 *3	$t_{SLO}$	$C_L$ :LRO, BCKO, SDO=25pF	-20	-	20	ns
データ出力遅延時間	$t_{DOD}$		-	-	20	ns

\*3 DSPマスターモード時の規定です。

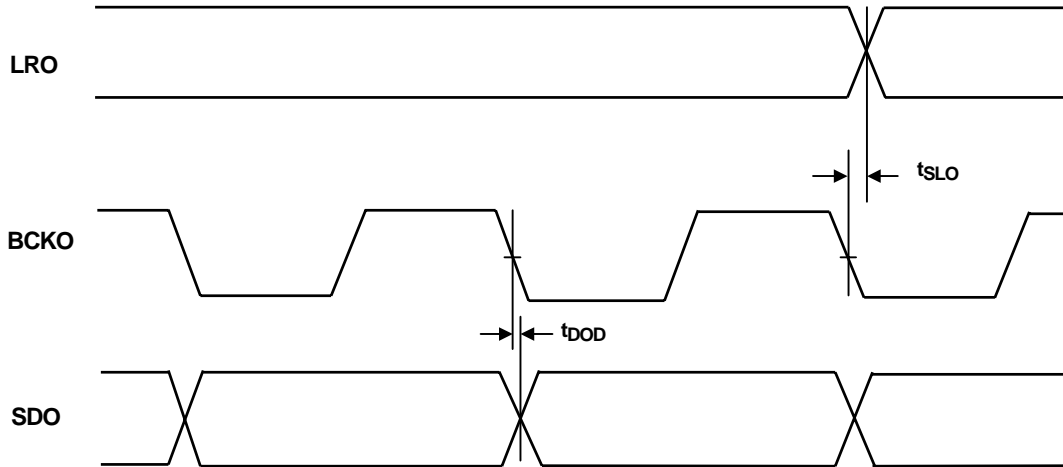


図9 シリアルオーディオ出力タイミング

**表10 シリアルオーディオクロックタイミング** (DSPスレープモード時)

( 記載無きは,  $V_{DD0}=V_{DDC}=V_{DDR}=2.5V$ ,  $V_{SS0}=V_{SSC}=V_{SSR}=0V$ ,  $T_a=25^\circ C$  )

項目	記号	条件	Min.	Typ.	Max.	単位
伝搬遅延時間 (LRI LRO)	$t_{PDL}$	$C_L$ :LRO, BCKO, SDO=25pF	-	-	20	ns
伝搬遅延時間 (BCKI BCKO)	$t_{PDB}$		-	-	20	ns

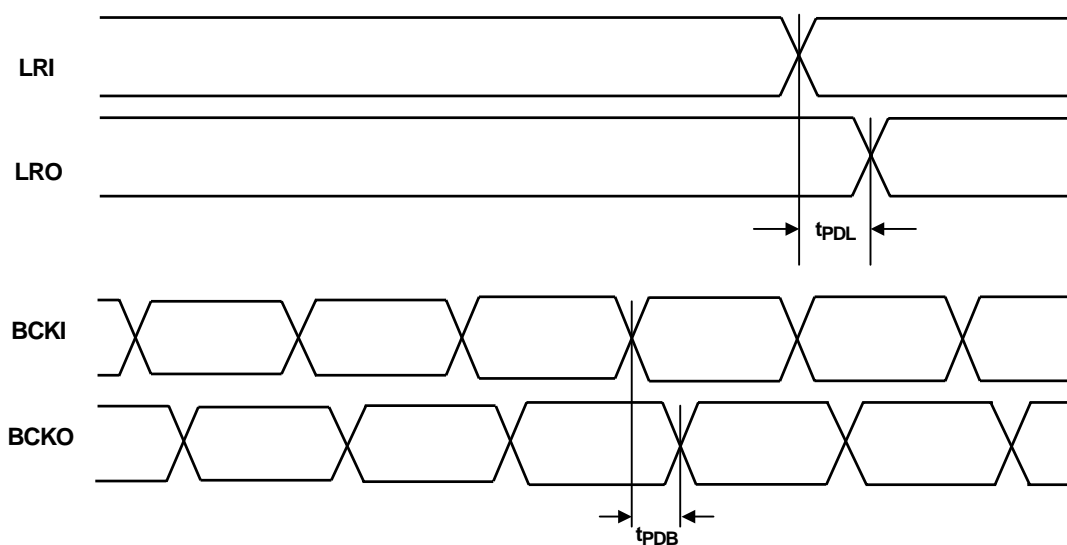


図10 シリアルオーディオクロックタイミング (DSPスレープモード時)

# ■ NJU26100 シリーズ

## 2. ホストインターフェース

NJU26100 シリーズの制御インターフェースは、I<sup>2</sup>C バスインターフェース、あるいは、シリアルインターフェース(4 線式) です。I<sup>2</sup>C バスインターフェースで制御する場合、リセット解除時、GPIO0(SEL1)端子を”L”に設定し、シリアルインターフェース(4 線式)で制御する場合、リセット解除時、GPIO0(SEL1)端子を”H”に設定します。(表 11) ホストインターフェース端子機能は、表 12 の通りです。

データ転送は共に 8 ビット(1 バイト)単位です。ホストインターフェースは常にスレーブで、ホストコントローラからクロック (SCL/SCK)に同期してデータが転送されます。

**表 11 ホストインターフェース設定**

Pin No.	端子名	設定	ホストインターフェース
4	GPIO0(SEL1)	L *4	I <sup>2</sup> C バスインターフェース
		H *4	シリアルインターフェース(4 線式)

\*4 リセット解除時に設定します。

**表 12 ホストインターフェース端子機能**

Pin No.	端子名 (I <sup>2</sup> C バス / Serial)	I <sup>2</sup> C バスインターフェース 選択時	シリアルインターフェース (4 線式)選択時
5	SCL / SCK	シリアルクロック	シリアルクロック
6	SDA / SDOUT	シリアルデータ入出力 (オープンドレイン入出力)	シリアルデータ出力 (CMOS 出力)
7	AD1 / SDIN	I <sup>2</sup> C バスアドレス選択 Bit1	シリアルデータ入力
8	AD2 / SSb	I <sup>2</sup> C バスアドレス選択 Bit2	スレーブセレクト

**注意:** SDA/SDOUT 端子は、I<sup>2</sup>C バスインターフェース時、オープンドレイン入出力端子として機能します。

シリアルインターフェース(4 線式)時、SSb が有効の場合:CMOS 出力。SSb が無効の場合:ハイインピーダンス (Hi-Z)状態となります。そのため、I<sup>2</sup>C バス/シリアル(4 線式)いずれの場合も、プルアップ抵抗が必要です。

### 4.1 I<sup>2</sup>C バスインターフェース

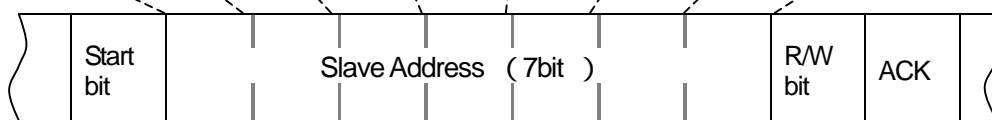
I<sup>2</sup>C バスインターフェースに設定した場合、I<sup>2</sup>C バスインターフェースは、SDA 端子:データライン、SCL 端子:クロックになります。AD1/AD2 端子は、7 ビットからなるスレーブアドレス下位 2 ビットの設定に用います。(表 13)

これは、複数のスレーブアドレスにより、応用時のアドレス設定において設計の柔軟性を向上させるためのものです。アドレスは AD1/AD2 端子の内部設定で 4 種類から選択することができます。

**表 13 I<sup>2</sup>C バススレーブアドレス設定**

bit7	bit6	固定値			AD2 端子 bit2 *5	AD1 端子 bit1 *5	R/W bit0
		bit5	bit4	bit3			
0	0	1	1	1	0	0	R/W
0	0	1	1	1	0	1	
0	0	1	1	1	1	0	
0	0	1	1	1	1	1	

データ形式



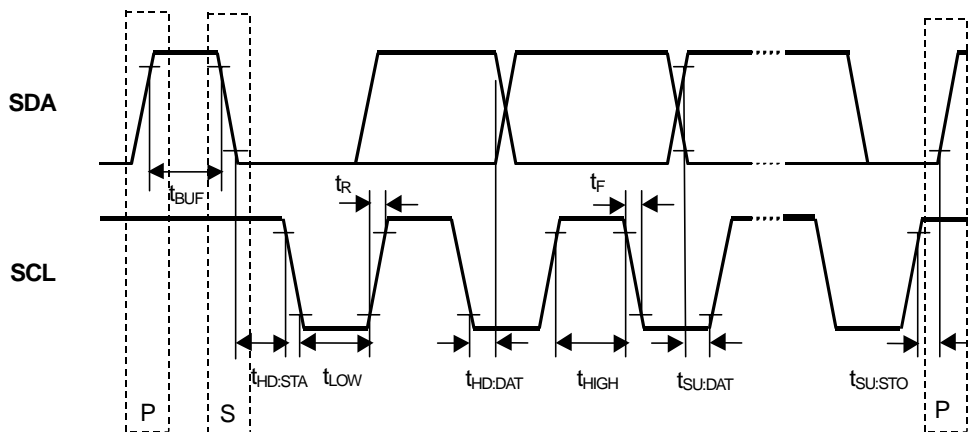
\*5:スレーブアドレスは、AD1/AD2="L" のとき 0、AD1/AD2="H" のとき 1 になります。

**注意:** 標準の I<sup>2</sup>C バスでは、マルチバイトの Write 処理/Read 処理が可能ですが、NJU26100 シリーズにおいて **Write 処理/Read 処理は、1 バイトデータ単位**でアクセスします。転送速度は、“Standard-Mode(100kbps)” 対応となります。また、S(「START」条件)を送った後、Sr(反復「START」条件)を受け付けず、P:「STOP」条件待ちになります。そのため、必ず P:「STOP」条件を送ってください。

**表 14 I<sup>2</sup>C バスインターフェースタイミング**

(V<sub>DD0</sub>=V<sub>DDC</sub>=V<sub>DDR</sub>=2.5V, V<sub>SS0</sub>=V<sub>SSC</sub>=V<sub>SSR</sub>=0V, Ta=25°C)

項目	記号	Standard Mode (100kbps)		単位
		Min.	Max.	
SCL クロック周波数	f <sub>SCL</sub>	0	100	kHz
開始条件ホールド時間	t <sub>HD:STA</sub>	4.0	-	μs
SCL “Low” レベルパルス幅	t <sub>LOW</sub>	4.7	-	μs
SCL “High” レベルパルス幅	t <sub>HIGH</sub>	4.0	-	μs
データホールド時間 <sup>(*)</sup>	t <sub>HD:DAT</sub>	0	-	μs
データセットアップ時間	t <sub>SU:DAT</sub>	250	-	ns
立ち上がり時間	t <sub>R</sub>	-	1000	ns
立ち下がり時間	t <sub>F</sub>	-	300	ns
停止条件セットアップ時間	t <sub>SU:STO</sub>	4.0	-	μs
バス解放時間	t <sub>BUF</sub>	4.7	-	μs



**図 11 I<sup>2</sup>C バスタイミング**

**注意:** \*1 t<sub>HD:DAT</sub>: SCL の立ち下がりエッジでの不確定な状態を回避するために、少なくとも 300ns 程度のホールド時間を確保するようにして下さい。

## 4.2 シリアルインターフェース(4 線式)

電源投入時の GPIO0 (SEL1) 端子を High レベルに設定することにより、ホストインターフェースをシリアルインターフェース(4 線式)に設定できます。

シリアルインターフェース(4 線式)は全 2 重で、書き込みバイトは、SDIN 端子から DSP 内部へ順次入力され、同時に、SDOUT 端子から DSP からの返答データが順次出力されます。データ転送は、MSB ファーストで、スレーブ選択端子をイネーブル(SSb=“0”)にすることで実行されます。SDIN 端子に入力されるデータは、SCK 端子の立ち上がりに同期して書き込まれます。

SDOUT のデータは、SSb の立ち下がりラッチされる最初のバイトを除き、SCK の立ち下がりラッチされます。SDOUT は、SSb=High で Hi-Z、SSb=Low で CMOS 出力となります。そのため、端子がフローティングにならないよう、プルアップ抵抗が必要です。

# ■ NJU26100 シリーズ

表 15 シリアルインターフェース(4線式)タイミング

( $V_{DD0}=V_{DDC}=V_{DDR}=2.5V$ ,  $V_{SS0}=V_{SSC}=V_{SSR}=0V$ ,  $T_a=25^\circ C$ )

項目	記号	条件	Min.	Typ.	Max.	単位
入力データ立ち上がり時間	$t_{MSDr}$		-	-	100	ns
入力データ立ち下り時間	$t_{MSDf}$		-	-	100	ns
クロック立ち上がり時間	$t_{MSCr}$		-	-	100	ns
クロック立ち下り時間	$t_{MSCf}$		-	-	100	ns
ストロープ立ち上がり時間	$t_{MSSr}$		-	-	100	ns
ストロープ立ち下り時間	$t_{MSSf}$		-	-	100	ns
クロック“High”レベル期間	$t_{MSCa}$		50	-	-	ns
クロック“Low”レベル期間	$t_{MSCn}$		50	-	-	ns
クロック周期	$t_{MSCc}$		250	-	-	ns
ストロープセットアップ時間	$t_{MSSs}$		100	-	-	ns
ストロープホールド時間	$t_{MSSh}$		30	-	-	ns
ストロープ“Low”レベル期間	$t_{MSSa}$		-	1.0	-	$\mu s$
ストロープ“High”レベル期間	$t_{MSSn}$		40	-	-	ns
入力データセットアップ時間	$t_{MSDis}$		20	-	-	ns
入力データホールド時間	$t_{MSDih}$		20	-	-	ns
出力データ遅延 (From SSb)	$t_{MSDos}$	$CL=25pF$	-	-	50	ns
出力データ遅延 (From SCK)	$t_{MSDoh}$	(data-6), $CL=25pF$	-	-	50	ns
データ出力ホールド時間	$t_{MSDoh}$	(data-7)	0	-	-	ns
バス開放時間	$t_{MSDov}$		-	-	40	ns

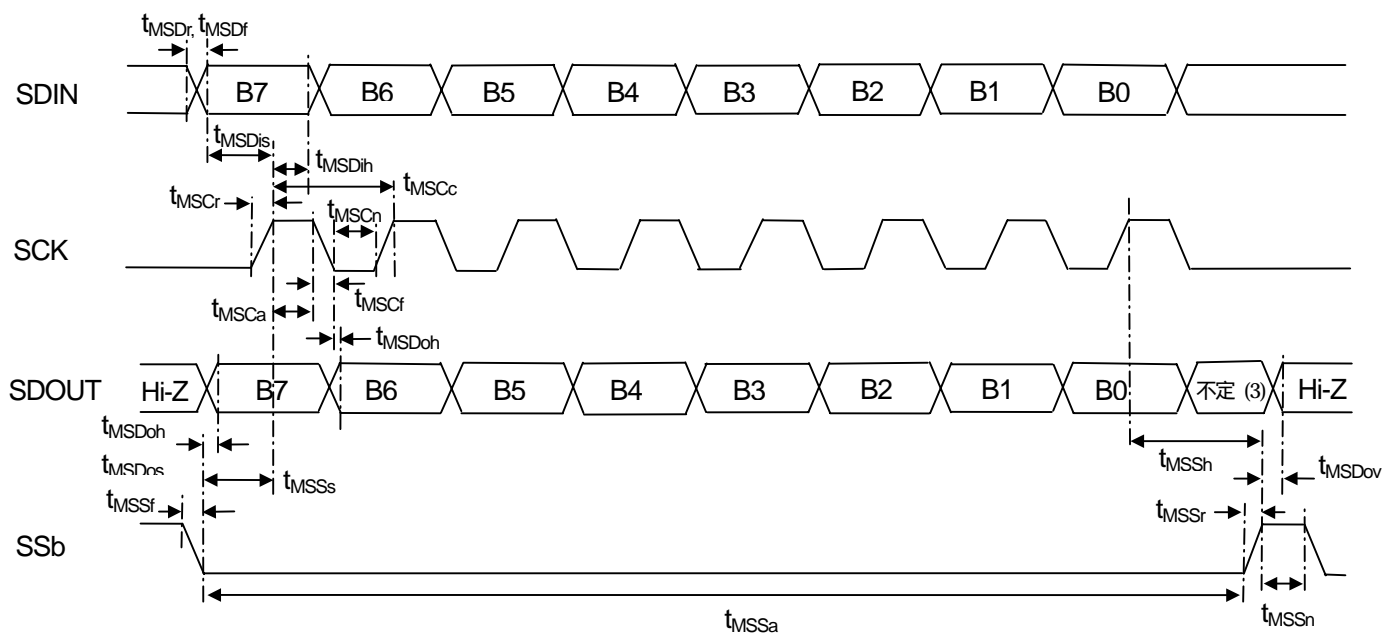


図 12 シリアルインターフェース(4線式)タイミング

- 注意:** (1) データが 8 サイクルに満たない場合は SSb が High レベルになった時点で LSB 側に詰めて DSP へ送信されます。  
 (2) データが 9 サイクル以上継続した場合は、最後の 8 ビットが入力として取り込まれます。  
 (3) SDOUT は、LSB 出力後、SSb が High レベルとなるまで、SDIN に入力された MSB データを出力します。データが 9 サイクル以上継続した場合には、その時点で有効な 8 ビット中の MSB を出力します。  
 (4) SDOUT は、SSb=High:Hi-Z, SSb=Low:CMOS 出力となります。SDOUT=Hi-Z 時に、端子がフローティングにならないようにプルアップ抵抗が必要です。

