

## NJU26060 シリーズハードウェア共通仕様書

## ■ 概要

NJU26060 シリーズは、PWM モジュレータを搭載した 24 ビット DSP コアのデジタル・オーディオ・プロセッサです。

PWM モジュレータをステレオ 2 系統、サンプリングレートコンバータ(SRC)を 1 系統、デジタルインターフェーストランスミッタ(DIT)を 1 系統搭載し、汎用入出力ポートを 4 端子備えます。

DSP 部は、OTP(1 回書き込み可能な不揮発メモリ)を搭載し、各種音声処理機能のカスタマイズが容易にできます。

## ■ 外形



NJU26060V

## ■ 特徴

## ◆ハードウェア

- 24 ビット固定小数点デジタル シグナルプロセッサ
- 外部クロック周波数 : 24.576MHz、PLL 内蔵
- PWM モジュレータ:ステレオ 4ch 出力
- サンプリングレートコンバータ(SRC)  
Fs=8kHz~192kHz → 48kHz
- デジタルインターフェーストランスミッタ(DIT)
- デジタルオーディオインターフェース : 入力 3 ポート、出力 3 ポート
- デジタルオーディオフォーマット : I<sup>2</sup>S 24bit、左詰め、右詰め 対応、 BCK : 32/64fs
- マスター/スレーブ対応
  - ・ サンプリングレートコンバータ : スレーブ動作
  - ・ マスタークロック出力 : MCKO(256 or 512fs), BCKO(64 or 32fs) , LRO(1fs)
- ホストインターフェース
  - ・ I<sup>2</sup>C バスインターフェース (Fast-mode/ 400kbps)
- 電源電圧 : 3.3V
- 入力端子許容電圧 : 5V トレラント
- パッケージ : SSOP44 (鉛フリー対応)

# NJU26060 シリーズ

## ■ ブロック図

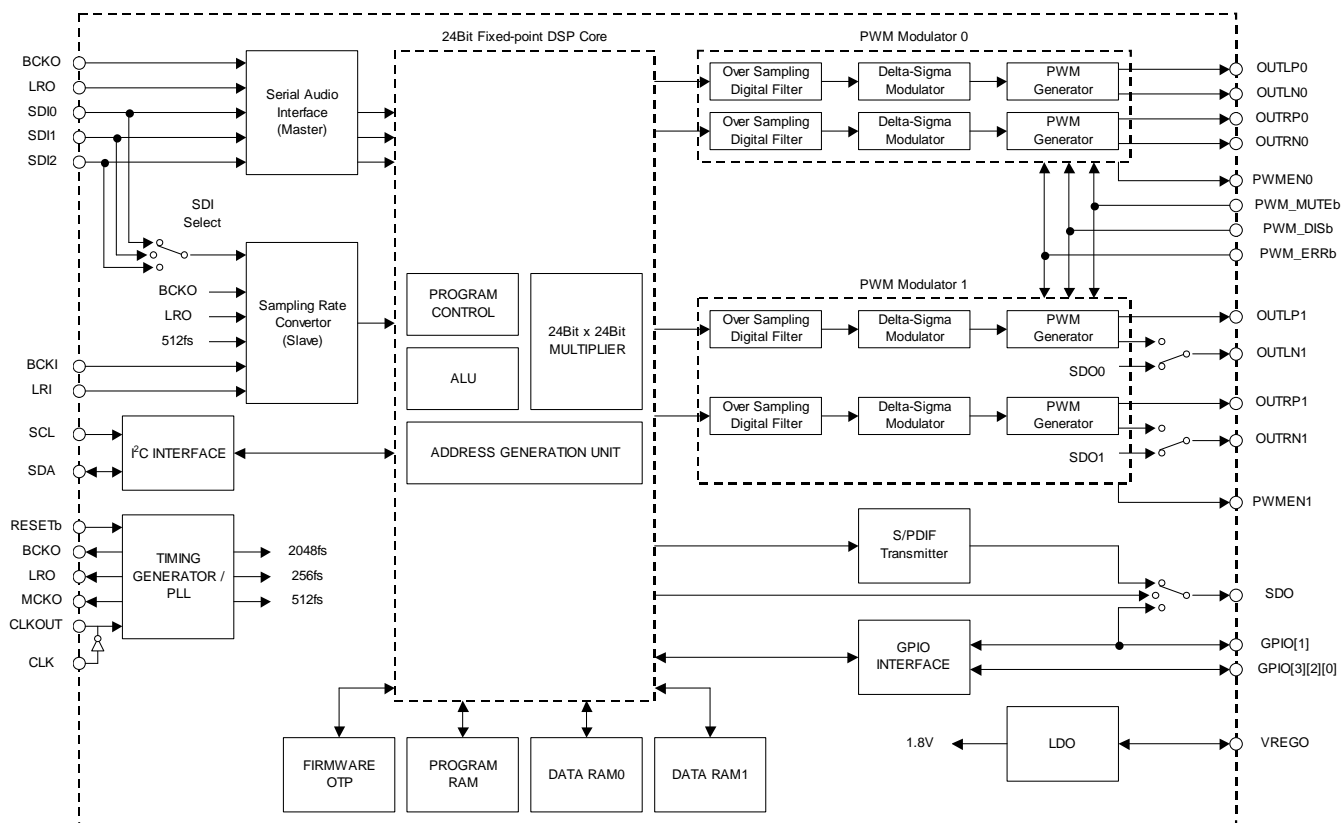


図1 NJU26060シリーズハードウェアブロック図

## ■ 端子配列

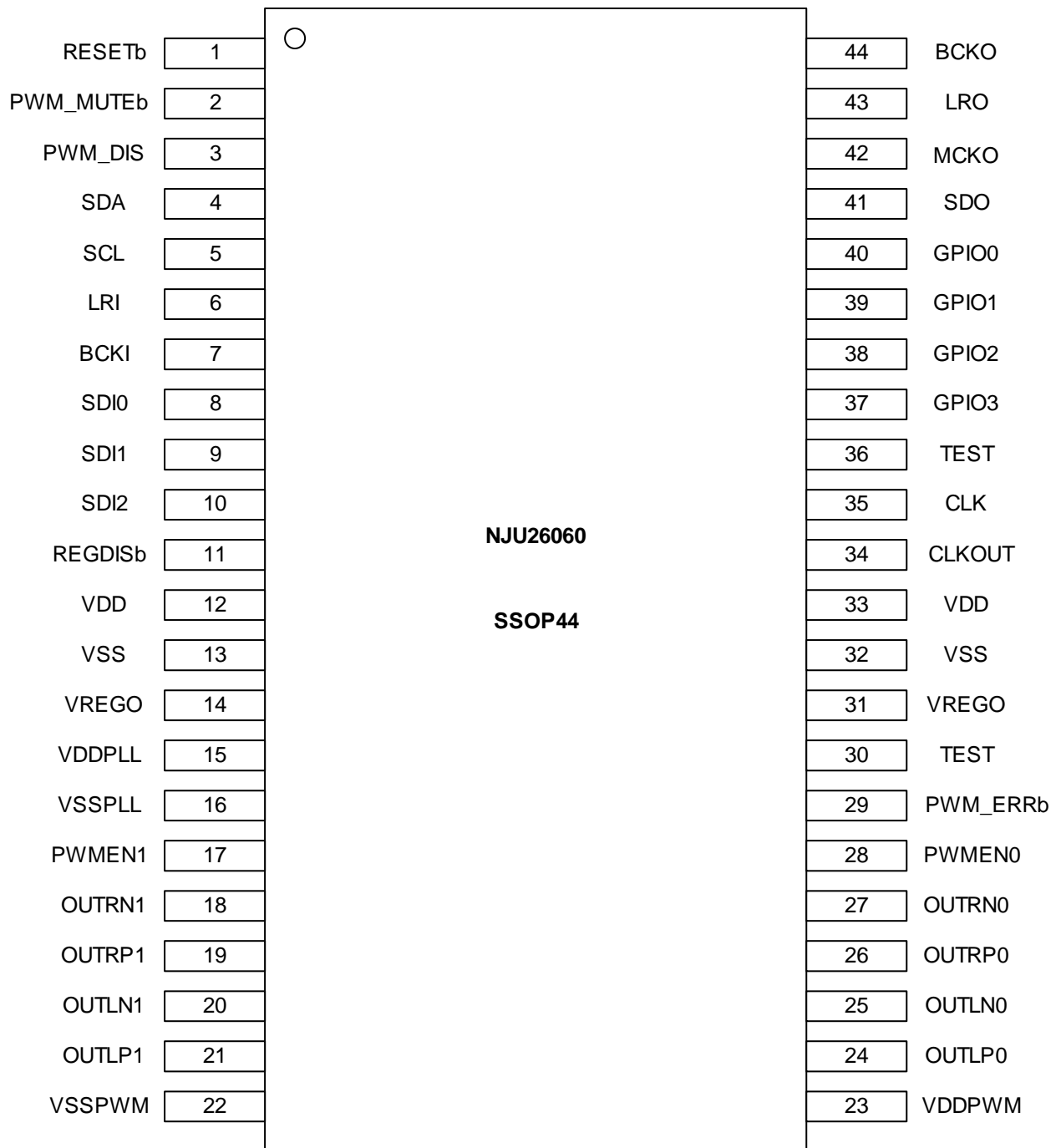


図2 SSOP44 端子配列

# NJU26060 シリーズ

## ■ 端子説明

表 1 端子説明

Pin No.	端子名	I/O	機能
1	RESETb	I	リセット (RESETb="L" でリセット)
2	PWM_MUTEb	I+	PWM ブロックミュート要求入力
3	PWM_DISb	I+	PWM ブロックスタンバイ要求入力
4	SDA	OD	I <sup>2</sup> C データ入出力
5	SCL	I	I <sup>2</sup> C シリアルクロック
6	LRI	I-	サンプリング周波数変換側 LR クロック入力
7	BCKI	I-	サンプリング周波数変換側ビットクロック入力
8	SDI0	I-	オーディオデータ入力 0
9	SDI1	I-	オーディオデータ入力 1
10	SDI2	I-	オーディオデータ入力 2
11	REGDISb	I	内部電源イネーブル(VDD に接続してください)
12	VDD	-	電源 3.3V
13	VSS	-	GND
14	VREGO	PI	内部電源バイパス端子
15	VDDPLL	-	PLL 電源 1.8V
16	VSSPLL	-	PLL 電源 GND
17	PWMEN1	O	PWM1 有効信号出力端子(PWMEN1='1'で有効な出力が出ていることを示す)
18	OUTRN1	OP	PWM1R- 出力 / オーディオデータ出力 1(ファームウェアで切り替え)
19	OUTRP1	OP	PWM1R+ 出力
20	OUTLN1	OP	PWM1L- 出力 / オーディオデータ出力 0(ファームウェアで切り替え)
21	OUTLP1	OP	PWM1L+ 出力
22	VSSPWM	-	PWM 出力端子用 GND
23	VDDPWM	-	PWM 出力端子用電源 3.3V
24	OUTLP0	OP	PWML+ 出力
25	OUTLN0	OP	PWML- 出力
26	OUTRP0	OP	PWMR+ 出力
27	OUTRN0	OP	PWMR- 出力
28	PWMEN0	O	PWM0 有効信号出力端子(PWMEN0='1'で有効な出力が出ていることを示す)
29	PWM_ERRb	I+	PWM バックエンド異常時停止要求入力端子(PWM_ERRb='0'で PWM 停止)
30	TEST	I	テスト端子 (VSS に接続してください)
31	VREGO	PI	内部電源バイパス端子
32	VSS	-	GND
33	VDD	-	電源 3.3V
34	CLKOUT	O	水晶発振用クロック出力端子
35	CLK	I	水晶発振用クロック入力端子
36	TEST	I-	テスト端子 (VSS に接続してください)
37	GPIO3	I/O	汎用入出力端子 3 兼テスト端子
38	GPIO2	I/O	汎用入出力端子 2 兼テスト端子
39	GPIO1	I/O	汎用入出力端子 1 兼テスト端子
40	GPIO0	I/O	汎用入出力端子 0 兼テスト端子
41	SDO	O	DIT 出力 / オーディオデータ出力 2(ファームウェアで切り替え)
42	MCKO	O	マスタークロック出力
43	LRO	O	LR クロック出力
44	BCKO	O	ビットクロック出力

I : 入力, O : 出力, OD : オープンドレイン出力, I/O : 双方向, PI : 内蔵電源バイパス  
 I+ : 入力プルアップ付き端子, I- : 入力プルダウン付き端子  
 OP : PWM 出力端子(VDDPWM から電源供給)

**注意:** プルアップおよびプルダウンの付いていない端子をオープンで使用しないでください。  
 SDI0-2, SDO, OUT\*\*\*は、仕様により機能が異なるため 個別データシートを参照してください。

## ■ 絶対最大定格

表2 絶対最大定格

(以降、特に断り無き場合、全ての電気的特性・定格において、 $V_{SS}=0V$  と定義し、この電位を GND 電位と規定します。)

項目	記号	定格	単位	
電源電圧 *	$V_{DD}, V_{DDPWM}$	-0.3 ~ 4.2	V	
内蔵電源バイパス端子電圧 *	$V_{REGO}$	-0.3 ~ 2.3		
PLL 電源電圧 *	$V_{DDPLL}$	-0.3 ~ 2.3		
端子電圧 *	In	$V_{x(IN)}$	-0.3 ~ 5.5 ( $V_{DD} \geq 3.0V$ ) -0.3 ~ 4.2 ( $V_{DD} < 3.0V$ )	V
	I/O, OD	$V_{x(I/O)}, V_{x(OD)}$		
	Out	$V_{x(OUT)}$	-0.3 ~ 4.2	
	CLK	$V_{x(CLK)}$	-0.3 ~ 4.2	
	CLKOUT	$V_{x(CLKOUT)}$	-0.3 ~ 4.2	
許容損失	$P_D$	800 EIA/JEDEC 仕様基板 (76.2x114.3x1.6mm, 2layer, FR-4) 実装時	mW	
動作温度範囲	$T_{OPR}$	-40 ~ 85	°C	
保存温度範囲	$T_{STR}$	-40 ~ 125	°C	

- \*  $V_{DD}$  : 12, 33 pin
- \*  $V_{DDPWM}$  : 23 pin
- \*  $V_{REGO}$  : 14, 31 pin
- \*  $V_{DDPLL}$  : 15 pin
- \*  $V_{x(IN)}$  : 1~3, 5~11, 29, 30, 36 pin
- \*  $V_{x(OD)}$  : 4 pin
- \*  $V_{x(I/O)}$  : 37~40 pin
- \*  $V_{x(OUT)}$  : 17~21, 24~28, 41~44 pin
- \*  $V_{x(CLK)}$  : 35 pin
- \*  $V_{x(CLKOUT)}$  : 34 pin

## ■ 端子等価回路図

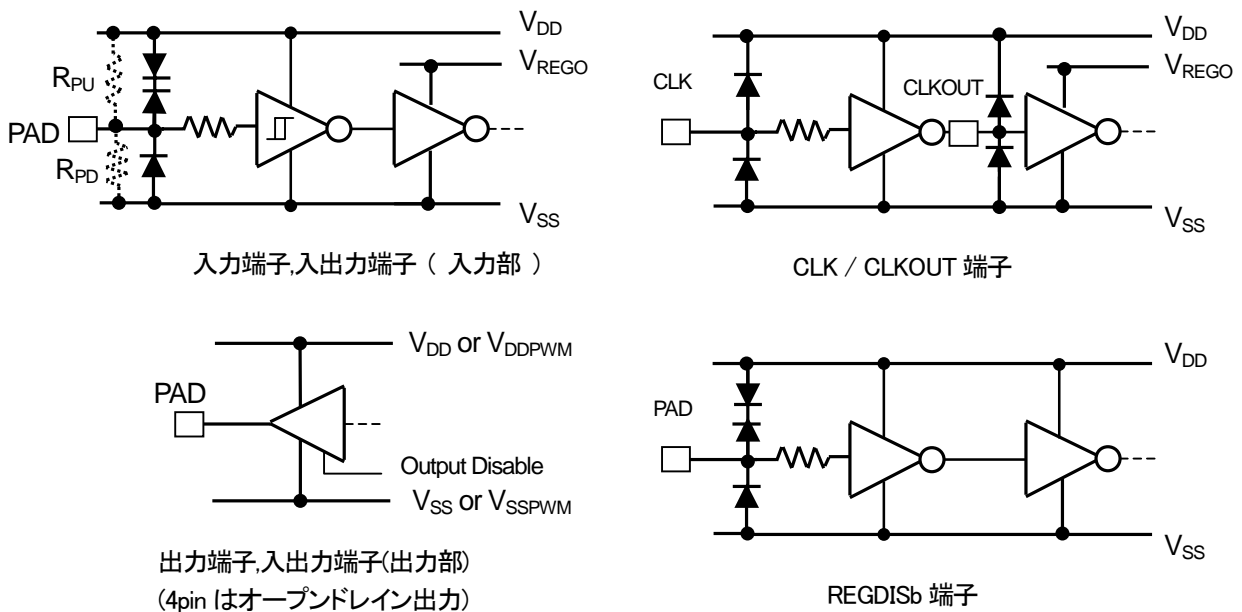


図3 NJU26060 シリーズ入出力等価回路図

# NJU26060 シリーズ

## ■ 電気的特性

表3 電気的特性

(  $V_{DD}=V_{DDPWM}=3.3V$ ,  $f_{OSC}=24.576MHz$ ,  $T_a=25^{\circ}C$  )

項目	記号	条件	Min.	Typ.	Max.	単位
動作電圧範囲 *1	$V_{DD}$	$V_{DD}$ , $V_{DDPWM}$ 端子	3.0	3.3	3.6	V
消費電流	$I_{DD}$	無負荷時、 $V_{DD} + V_{DDPWM}$	-	35	50	mA
High レベル入力電圧	$V_{IH}$		$V_{DD} \times 0.7$	-	$V_{DD} *2$	V
Low レベル入力電圧	$V_{IL}$		0	-	$V_{DD} \times 0.3$	
High レベル出力電圧 *3	$V_{OH}$	$I_{OH} = -1mA$	$V_{DD} \times 0.8$	-	$V_{DD}$	
Low レベル出力電圧	$V_{OL}$	$I_{OL} = 1mA$	0	-	$V_{DD} \times 0.2$	
端子リーク電流 *4	$I_{IN}$	$V_{IN} = V_{SS} \sim V_{DD}$	-10	-	10	$\mu A$
	$I_{IN(PU)}$		-120	-	10	
	$I_{IN(PD)}$		-10	-	120	
入力クロック周波数	$f_{OSC}$	CLK 端子 *5	20	22.5792 24.576	25	MHz
クロックデューティ比	$r_{EC}$		45	50	55	%

\*1  $V_{DD}$ ,  $V_{DDPWM}$  は、電気的特性の範囲内でご使用ください。 $V_{DD}$ ,  $V_{DDPWM}$  の投入は単調増加としてください。 $V_{DD}$ ,  $V_{DDPWM}$  を規程の電圧まで立ち上げた後、本電気的特性を下回る電圧に落とさないでください。電源を切断し、再度投入する場合は必ず GND レベルまで一度  $V_{DD}$ ,  $V_{DDPWM}$  を低下させた後、投入しなおしてください。

\*2 CLK 端子を除く入力端子・入出力端子・オープンドレイン入出力端子は  $V_{DD}$ ,  $V_{DDPWM}$  定格印加時に限り 5V トレラントです。

\*3 4pin(オープンドレイン入出力)を除きます。

\*4  $I_{IN(PU)}$ : 2, 3, 29, 37, 38pin,  $I_{IN(PD)}$ : 6~10, 36, 39, 40pin で、プルアップおよびプルダウンの付いていない端子をオープンにしないでください。

\*5 NJU26060 を内部サンプリング周波数 48kHz 時に使用できる 24.576MHz、44.1kHz で使用するには 22.5792MHz のクロックが必要です。入力されたクロック周波数の 1/512 が内部のサンプリング周波数となります。

## 1. 電源・クロック信号・リセット

### 1.1 電源

NJU26060 シリーズには、 $V_{DD}/V_{SS}$ 、 $V_{DDPLL}/V_{SSPLL}$  および  $V_{DDPWM}/V_{SSPWM}$  の 3 系統の電源が存在します。このうち、 $V_{DD}/V_{SS}$  は内部コア電源、 $V_{DDPLL}/V_{SSPLL}$  は内部 PLL 電源、また、 $V_{DDPWM}/V_{SSPWM}$  は PWM 出力端子の電源として使用されます。

NJU26060 の  $V_{DD}/V_{SS}$ 、 $V_{DDPWM}/V_{SSPWM}$  は確実に接続し、端子の直近にデカップリングコンデンサを接続してください。また、 $V_{DD}/V_{DDPWM}$  電圧は電気的特性の範囲内でご使用ください。 $V_{DD}/V_{DDPWM}$  の投入は単調増加としてください。使用中は  $V_{DD}/V_{DDPWM}$  を、本電気的特性を下回る電圧に落とさないでください。電源を切断し、再度投入する場合は必ず GND レベルまで一度  $V_{DD}/V_{DDPWM}$  を低下させた後、投入しなおしてください。

NJU26060 の  $V_{DDPWM}/V_{SSPWM}$  は、PWM 出力端子: OUTLP0, OUTLN0, OUTRP0, OUTRN0, OUTLP1, OUTLN1, OUTRP1, OUTRN1 端子の電源端子です。 $V_{DD}/V_{SS}$  と同一の電源に接続してください。この電源のノイズ成分はそのまま PWM 出力ノイズになって出力されますので、十分にデカップリングしてください。

NJU26060 は内部ロジックのために、内蔵電源(LDO)を搭載しており、内部で約 1.8V を生成しています。VREGO はこのレギュレータのバイパス端子です。VREGO(14, 31pin)と  $V_{SS}$ (13, 32pin)との間、端子の直近に、10  $\mu$ F(積層セラミックなど)と 0.01  $\mu$ F 程度のコンデンサを、14-13pin 間、および 31-32pin 間の、それぞれ端子の直近に接続してください。

NJU26060 は内部ロジックおよび PWM モジュレータのために、PLL を内蔵しています。PLL の電源は  $V_{DDPLL}/V_{SSPLL}$  から構成されていますが、内部では直接接続されていません。そのため、VREGO(14pin)に接続して供給してください。 $V_{DDPLL}$  と  $V_{SSPLL}$  の直近に 0.01  $\mu$ F 程度のデカップリングコンデンサを接続してください。 $V_{SSPLL}$  は  $V_{SS}$  と接続してください。

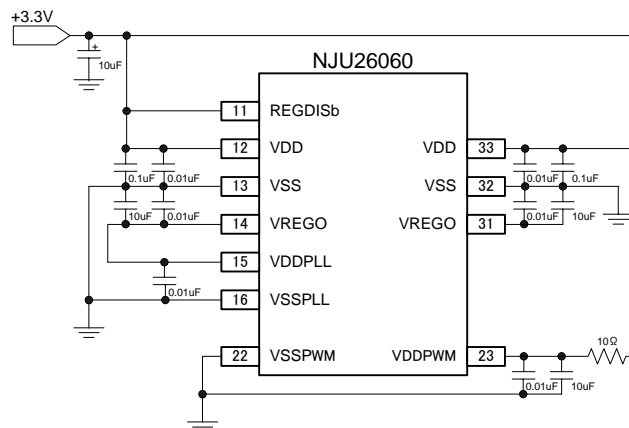


図4 簡易電源フィルタの例(参考)

内蔵電源は、NJU26060 動作のためだけに使用されます。 $V_{DDPLL}$  への供給以外の目的で電流を取り出したり、短絡させたり、他の電源と接続したりしないでください。 $V_{SS}$  に短絡させた場合、電流が  $V_{DD} \rightarrow VREGO \rightarrow V_{SS}$  の経路で流れ、内蔵電源がダメージを受ける可能性があります。

## 1.2 入力信号

NJU26060 シリーズの入力端子・入出力端子・オープンドレイン入出力端子は、CLK/CLKOUT 端子を除き、 $V_{DD}$ 、 $V_{DDPWM}$  が規定の電圧で投入されている場合に限り 5Vトレラントとなります。

## 1.3 クロック信号

NJU26060 シリーズの動作には、独立したクロックが必要です。入力クロック周波数の範囲内で、PWM モジュレータで使用するサンプリング周波数( $F_s$ )の 512 倍のクロックを CLK 端子に供給します。CLK/CLKOUT 端子間に水晶振動子を接続し、発振させることも可能です。設計される基板に応じた外部定数を設定してください。CLK/CLKOUT 端子は 5Vトレラントではありませんので、電圧レベルにご注意ください。

**参考** :水晶振動子でクロックを供給する場合は、NJU26060シリーズの特性を満たせますが、外部で生成したクロックを供給する場合、その品質によっては、内蔵のサンプリングレートコンバータおよび PWM モジュレータの特性低下させることがあります。



## 1.4 リセット信号

NJU26060 シリーズのリセットには、RESETb を一旦 "L" レベルにし、その後、"H" レベルにすることで行います。V<sub>DD</sub>/V<sub>DDP<sub>WM</sub></sub> 電圧を投入後、VREGO 端子電位が t<sub>VREGO</sub> 時間内に約 1.8V まで立ち上がります。水晶発振が安定した後(発振器から入力する場合は供給を開始した後)、少なくとも t<sub>RESETb</sub> 期間 "L" レベルを維持してください(図 5)。再度リセットをかける場合も同様です。この期間内に NJU26060 シリーズはハードウェアの初期化を完了します。

RESETb 端子を"L"から"H"にした後(リセット解除後)、NJU26060 シリーズは起動処理を行いファームウェアによる動作を開始します。起動に必要な時間はファームウェアによって異なるためファームウェア個別の仕様書を確認してください。

図 5 リセットタイミング

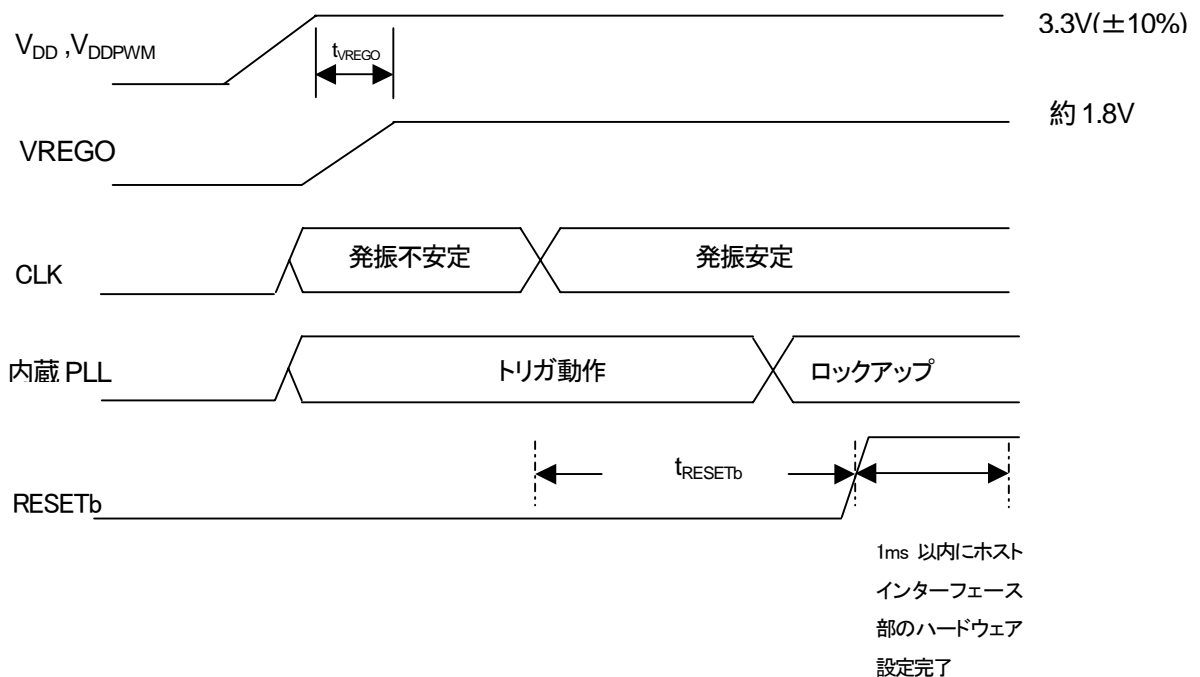


表 4 リセット時間

Symbol	Time
t <sub>VREGO</sub>	≥ 10msec
t <sub>RESETb</sub>	≥ 10msec

**注意** : 電源投入から内部リセットの完了(遅くとも t<sub>RESETb</sub> 期間内に完了)までの期間、全ての出力端子は不定状態となります。特に、NJU26060 の PWM モジュレータの出力状態を示す PWMEN0/1 端子を制御信号として使用する場合など、後段へのダメージが考えられる場合は、システムを保護するため、この期間の信号をシステム全体のリセット信号等を使用してマスクするなどの冗長設計を行って下さい。

動作中はクロックの供給を停止しないでください。NJU26060 シリーズは内部に PLL 回路を搭載していますが、クロックの供給を停止した場合、PLL が正常なクロックを内部に送ることができなくなり、NJU26060 シリーズは正常に動作しません。

## 2. デジタルオーディオクロック

デジタルオーディオデータは、デジタルオーディオシステム間を同期して転送する必要があります。

NJU26060 シリーズは、サンプリングレートコンバータを使用しない場合は、マスターデバイスとして使用します。一方、次章で説明するサンプリングレートコンバータはスレーブデバイスとして機能します。

- ・ マスターデバイスとしての機能 : MCKO, BCKO, LRO 端子出力のクロックを他のスレーブデバイスのクロックとして、デジタルオーディオデータ転送に使用します。
- ・ スレーブデバイスとしての機能 : BCKI, LRI の入力端子には、他のマスターデバイスからのクロックが必要になります。

### 2.1 オーディオクロック

デジタルオーディオデータ転送には、次の3種類のクロックが必要になります。

- ① LR クロック(端子名:LRI, LRO)は、シリアルデータ転送で必要になります。デジタルオーディオ信号のサンプリング周波数と同じです。
- ② ビットクロック(端子名:BCKI, BCKO)は、シリアルデータ転送で必要になります。LR クロックの倍数になります。
- ③ マスタークロック(端子名:MCKO)は、A/D、D/A コンバータなどで必要になります。LR クロックの倍数になります。また、シリアルデータ転送とは関係ありません。

NJU26060 シリーズのビットクロック(端子名:BCKI, BCKO)は、LR クロックの 32 倍、64 倍をサポートしています。

NJU26060はマスターデバイスとして、MCKO,BCKO,LROの各端子から、デジタルオーディオデータ伝送に必要なクロックを外部デバイスに供給します。一方、スレーブデバイスとして動作する、サンプリングレートコンバータは、BCKI,LRI 端子に入力されたクロックによってデジタルオーディオデータを取り込み、MCKO/BCKO/LRO から構成されるクロック系にサンプリング周波数の変換を行います。MCKO 端子は、マスタークロックとして、内部リセット終了後、CLK 端子への入力クロックの 2 分周出力、またはバッファ出力となります。ファームウェアのコマンドによって停止も可能です。

NJU26060 は内部動作サンプリング周波数の 512 倍(サンプリング周波数 48kHz で 24.576MHz)で使用します。その場合に、NJU26060 はマスターデバイスとして、サンプリング周波数の 1 倍の LR クロックと、それぞれに対する 64 倍・32 倍のビットクロック、512 倍・256 倍のマスタークロックを出力することができます。表5にそれぞれのクロックの関係を示します。

表5 CLK 端子供給クロック周波数と BCKO,LRO,MCKO

クロック信号	倍レート周波数	CLK 端子への供給クロック	
		22.5792MHz	24.576MHz
LRO	1Fs	44.1kHz	48kHz
BCKO(32Fs)	32Fs	1.4112MHz	1.536MHz
BCKO(64Fs)*	64Fs	2.8224MHz	3.072MHz
MCKO(256Fs)*	256Fs	11.2896MHz	12.288MHz
MCKO(512Fs)	512Fs	22.5792MHz	24.576MHz

\* 起動時デフォルト

## 3. サンプリングレートコンバータ (SRC)

NJU26060 シリーズの内部においてオーディオ信号は、CLK 端子に供給されたクロック周波数の 1/512 をサンプリング周波数( $F_s$ )としてオーディオ信号を扱います。複数のサンプリング周波数を NJU26060 のサンプリング周波数に同期させるため、NJU26060 にはステレオ 1 系統(2 チャンネル)分のサンプリングレートコンバータ(SRC)を持っています。

NJU26060 シリーズに搭載された SRC は  $F_s=8\text{kHz}\sim 192\text{kHz}$  までの任意のサンプリング周波数を、内部の  $F_s=\text{CLK}/512$ (すなわち、 $\text{CLK}=24.576\text{MHz}$  で  $F_s=48\text{kHz}$ ,  $22.5792\text{MHz}$  で  $F_s=44.1\text{kHz}$ )のサンプリング周波数に変換することができます。

### 3.1 サンプリング周波数の自動検出

NJU26060 シリーズに搭載された SRC は、サンプリング周波数が大きく変動した場合、最適な変換特性を得るために、SRC ブロックをリセットする必要がありますが、サンプリング周波数の自動検出機能を備えています。

NJU26060 シリーズは、LRI クロックの 2,048 サンプル(周期)ごとに、直近の LRI クロック 1 サンプルの長さを CLK 端子クロックの数でカウントします。(たとえば、 $\text{CLK}=24.576\text{MHz}$  で LRI のクロックが  $48\text{kHz}$  であれば、 $24,576/48=512$  となります。LRI と CLK は非同期的関係であり、 $\pm 1$  程度の変動があります)。前回(2,048 クロック前)のカウント数  $f_{LRI}$  と現在のカウント数  $f_{LRI}'$  を比較し、カウント数が  $\pm 4$  を超えた場合にサンプリング周波数が変化したとみなし、SRC ブロックを自動でリセットする機能を持っています。

正確には周波数が増減していく課程を表現しなければいけませんが、前回カウント時の周波数と今回カウント時の周波数が以下の関係を十分に満たすことができれば、検出することが可能です。

$$f_{LRI}' < 1 / \{ (4 + \text{CLK} / f_{LRI}) / \text{CLK} \} \quad \text{or} \quad f_{LRI}' > 1 / \{ (4 - \text{CLK} / f_{LRI}) / \text{CLK} \}$$

単位[Hz]

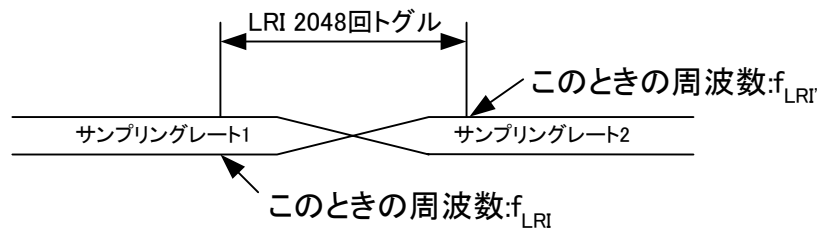


図6  $f_{LRI}'$  と  $f_{LRI}$  の関係

例えば、 $\text{CLK}=24.576\text{MHz}$  で、 $f_{LRI}=8\text{kHz}$  のとき、2,048 サンプルは、 $2,048/8,000=256\text{msec}$  で、256msec 前に  $8\text{kHz}$  だった  $f_{LRI}$  が、上記式:  $1 / \{ (4 \pm 24.576\text{M}/8\text{k}) / 24.576\text{M} \}$  より、 $7.989\text{kHz}$  を十分下回るか、 $8.010\text{kHz}$  を十分上回れば、検出が可能です。

同様に、 $\text{CLK}=24.576\text{MHz}$  で、 $f_{LRI}=192\text{kHz}$  のとき、2,048 サンプルは  $2,048/192,000=10.7\text{msec}$  で、10.7msec 前に  $192\text{kHz}$  だった  $f_{LRI}$  が、上記式:  $1 / \{ (4 \pm 24.576\text{M}/192\text{k}) / 24.576\text{M} \}$  より、 $186.18\text{kHz}$  を十分下回るか、 $198.19\text{kHz}$  を十分上回れば、検出が可能です。

SRC ブロックが自動検出によってリセットされたことはファームウェアからも検出することができます。(その取り扱いは各ファームウェアに依存します)。リセット時間は  $2,048 \times 512(1/\text{CLK})$  秒固定ですが、この自動検出によるリセット中も上記の検出は行うため、特に検出間隔がこのリセット時間よりも短く( $\text{CLK}=24.576\text{MHz}$  であれば  $42.7\text{msec}$ )、SRC ブロック

のリセット中もおクロックが変動している場合には、検出時点で再度リセットをかけますので、上記の数値よりも長い時間リセットがかかっているように見える場合があります。

この機能はデフォルトで有効になっています。自動検出機能は、LRI クロックの変化があまりに緩やかな場合は検出できない場合があります。上記のサンプリング周波数検出要件を満たさない品質の LRI, BCKI クロックによってデジタルオーディオ信号が与えられた場合はサンプリング周波数変換ができなくなります。自動検出機能で有効な検出が不可能な場合、ファームウェアから設定レジスタを操作して、SRC ブロックをリセットして使用してください。特に、システム起動時に一度ファームウェアから SRC ブロックをリセットしてください。

また、LRI クロックの 2,048 サンプル(周期)ごとに LRI クロックの周期をカウントしてサンプリング周波数の変化を検出するという構造上、LRI クロックが完全に停止してしまったことを検出することができません。LRI クロックの停止直前の音声入力状態次第では SRC 内部のバッファクリアが行われず、可聴ノイズを発生させることがあります。この場合も、ファームウェアから設定レジスタを操作して SRC ブロックをリセットして(または停止させて)使用してください。

## 3.2 サンプリング周波数変換比率の決定と郡遅延

NJU26060 シリーズに搭載した SRC は、サンプリング周波数の自動検出機能によるリセット、およびファームウェアによる手動リセットが行われた後、256 入力サンプル以内に有効な変換後の出力を開始します。この時点で、聴感上不快なデジタル的なノイズは出ないように設計されています。リセット後、16,384 入力サンプル以内には設計上の特性に達し、変換比率を固定します。

なお、サンプリング周波数の自動検出機能によるリセット終了時点、もしくはファームウェアによるリセット解除時点では LRI に供給するクロック周期は安定していなければなりません。

変換比率が固定されているとき、入力サンプリング周波数に対する郡遅延は 256 サンプルです。変換後のデータをファームウェアに受け渡すためにさらに 5 出力サンプルを必要とします。なお、郡遅延の間、SRC の入力を完全なゼロとすることで、SRC の出力も完全なゼロとすることができます。

## 3.3 ジッター耐量

NJU26060 シリーズに搭載した SRC は、0.1UI までのジッターを許容することができます。1UI とは、ユニット・インターバルの略であり、NJU26060 シリーズにおいては、LRI へのクロック周波数の逆数です。0.1UI は、 $F_s=8\text{kHz}$  であれば、 $0.1/8,000=12.5\ \mu\text{sec}$ 、 $F_s=192\text{kHz}$  であれば、 $0.1/192,000=521\text{nsec}$  となります。(単位 UI は片ピーク値で規程していません)。

図 7 にジッター耐量のグラフを示します。実線は変換後の歪率が悪化するジッター量、破線(0.1UI)が本来の特性を出ることができる許容ジッター量です。実線より上部はデータの欠落が発生し、可聴ノイズが発生する可能性があります。このデータは、ジッターとしてサイン波変調をかけた場合の特性ですが、ジッターとして矩形波変調をかけた場合でも、破線(0.1UI)までのジッターに対しては良好にサンプリング周波数の変換を行うことができます。

しかしながら、一部の機器においては、平均化すると十分低く見えるものの、瞬間的に極端に高いピークを持ったジッターを発生させてしまうような装置があります。一例として、オーディオ用の独立したクロックを持たない、USB 接続のオーディオ機器などが上げられます。このような機器からのクロックを NJU26060 シリーズに入れ、それが 0.1UI を超えるようなジッターであった場合、NJU26060 シリーズの SRC は一定期間のクロック状態から変換比率を固定して動作を行うため、ピークを持ったジッターによるオーディオサンプルの過不足によって、可聴ノイズを発生させてしまう可能性があります。

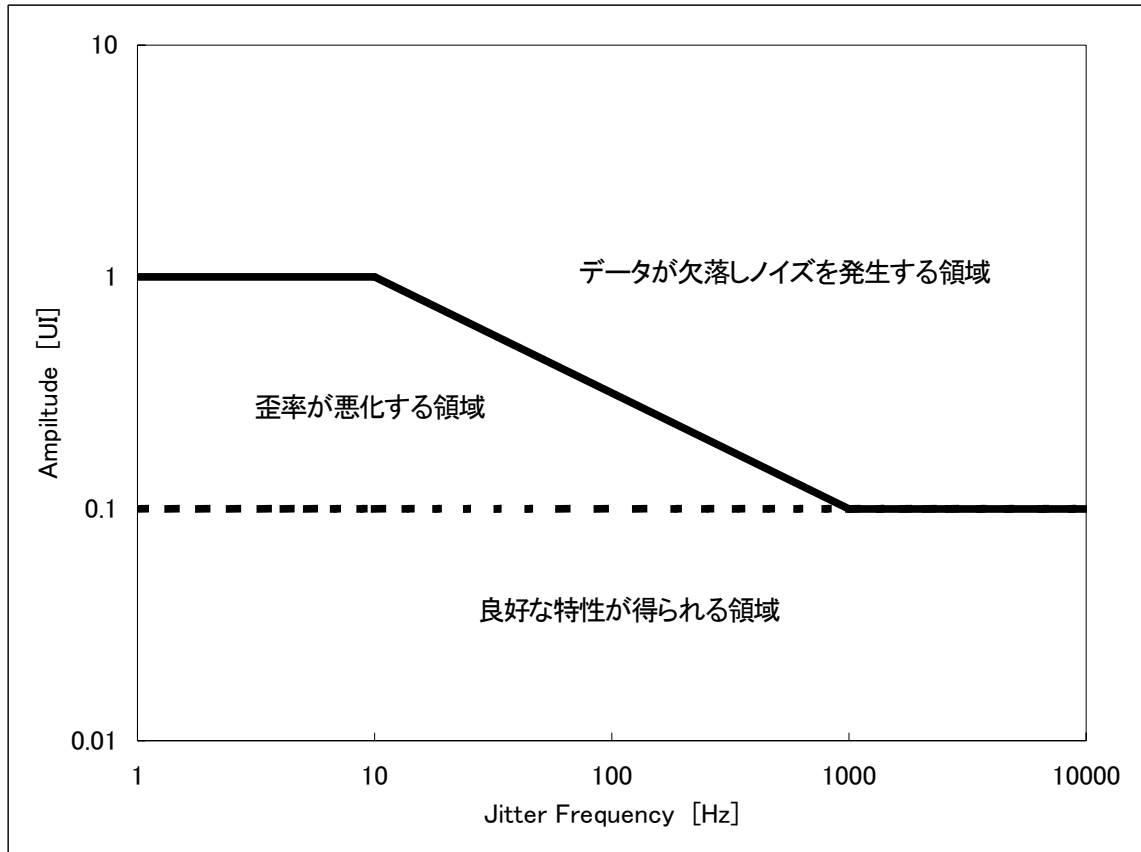


図7 ジッター耐量

# NJU26060 シリーズ

## 3.4 サンプルレートコンバータ諸特性

以下にNJU26060シリーズに搭載されているサンプルレートコンバータの特性を示します。これらの特性はシリアルオーディオインターフェースで信号を入出力した場合の特性です。PWM モジュレータ経由で出力を行った場合は PWM モジュレータ側の特性に依存します。

表6 サンプルレートコンバータ部: THD+N 特性

項目	入力 Fs(kHz)	CLK 端子周波数		単位
		22.5792MHz (内部 F <sub>SO</sub> =44.1kHz)	24.576MHz (内部 F <sub>SO</sub> =48.0kHz)	
THD+N 帯域: 22~F <sub>SO</sub> /2(Hz) 入力: 1kHz, 0dBFS 入力ビット幅 24bit 時	8.0	-114	-120	dB
	11.025	-122	-122	
	12.0	-126	-125	
	22.05	-130	-130	
	24.0	-128	-128	
	32.0	-124	-124	
	44.1	-130	-126	
	48.0	-119	-130	
	64.0	-125	-131	
	88.2	-133	-132	
	96.0	-119	-133	
	128.0	-131	-134	
	176.0	-134	-133	
192.0	-132	-135		

表7 サンプルレートコンバータ部: ダイナミックレンジ特性

項目	入力 Fs(kHz)	CLK 端子周波数		単位
		22.5792MHz (内部 F <sub>SO</sub> =44.1kHz)	24.576MHz (内部 F <sub>SO</sub> =48.0kHz)	
ダイナミックレンジ 帯域: 22~F <sub>SO</sub> /2(Hz) 入力: 1kHz, -60dBFS 入力ビット幅 24bit 時 A-Weight フィルタ使用	8.0	132	132	dB
	11.025	132	132	
	12.0	132	132	
	22.05	133	133	
	24.0	133	133	
	32.0	133	133	
	44.1	133	133	
	48.0	134	134	
	64.0	135	134	
	88.2	136	136	
	96.0	136	136	
	128.0	138	137	
	176.0	139	138	
192.0	139	139		

## 4. デジタルオーディオインターフェース

### 4.1 デジタルオーディオデータフォーマット

NJU26060 シリーズは、デジタルオーディオデータフォーマットとして、3種類のフォーマットを使用することができます。

- ① I<sup>2</sup>S :LR クロック切り替わりの2ビット目に MSB が置かれます。(左詰めに対し 1bit 遅延)
- ② 左詰め (Left-Justified) :LR クロックの切り替わりに MSB が置かれます。
- ③ 右詰め (Right-Justified) :LR クロック切り替わり直前に LSB が置かれます。

3種類のフォーマットの主な違いは LR クロック(LRI、LRO)とデジタルオーディオデータ(SDI、SDO)の位置関係にあります。

- ・どのフォーマットにおいても、左チャンネルが先に転送されます。
- ・左詰め/右詰めにおいては、LR クロック='H'が左チャンネルを示します。
- ・I<sup>2</sup>S フォーマットにおいては、極性が逆になり、LR クロック='L'で左チャンネルを表します。
- ・ビットクロック BCK(BCKI、BCKO)は、転送データのシフトクロックとなります。フォーマットに対応したクロック数が必要となります。
- ・LR クロックの1周期がステレオオーディオの1サンプルで、LR クロックの周波数は、サンプルレート(fs)に等しくなります。

### 4.2 シリアルオーディオデータ入出力

NJU26060 シリーズは、入力3ポート(表8)と、出力3ポート(表9)備えています。各端子機能は、個別データシートを参照してください。

**表8 シリアルオーディオデータ入力端子**

Pin No.	端子名	機能
8	SDI0	オーディオデータ入力0
9	SDI1	オーディオデータ入力1
10	SDI2	オーディオデータ入力2

**表9 シリアルオーディオデータ出力端子**

Pin No.	端子名	機能
20	OUTLN1	オーディオデータ出力0
18	OUTRN1	オーディオデータ出力1
41	SDO	オーディオデータ出力2

シリアルオーディオ出力端子は、ファームウェアで PWM 出力、DIT 出力を切り替えます。表1 端子説明参照。

# NJU26060 シリーズ

NJU26060 は以下に示す一般的なシリアルオーディオインターフェースでデジタルオーディオデータの入出力を行うことができます。リセット時のデフォルトでは、I<sup>2</sup>S 64Fs 24bit に設定されています。設定はファームウェアによって変更することができます。NJU26060 は MCKO, BCKO, LRO からなるクロックに同期したマスターデバイスとして動作しており(第 2 章を参照)、シリアルオーディオインターフェースに設定した SDO, OUTRN1 及び OUTLN1 端子は、これらのクロックに同期して出力を行います。なお、サンプリングレートコンバータで選択されている SDI 端子は、クロック BCKI, LRI のクロックでデータ入力が行われ、独立したフォーマットで動作することができます。

シリアルオーディオデータ入出力の形式は I<sup>2</sup>S、左詰め、右詰めの3種類のフォーマット形式で 24bit、16bit の2種類のビット数を選択できます。(図 8-1~図 8-6)

オーディオデータ入力フォーマットと出力フォーマットは同じ形式になります。

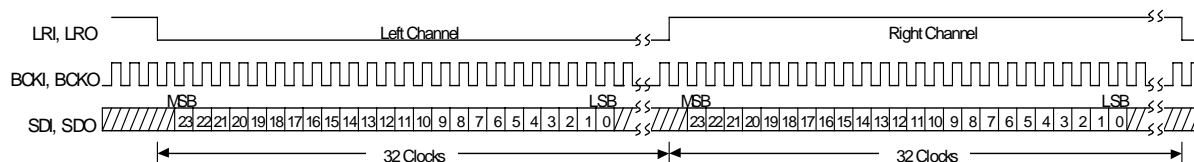


図 8-1 I<sup>2</sup>S Data Format 64fs, 24bit Data

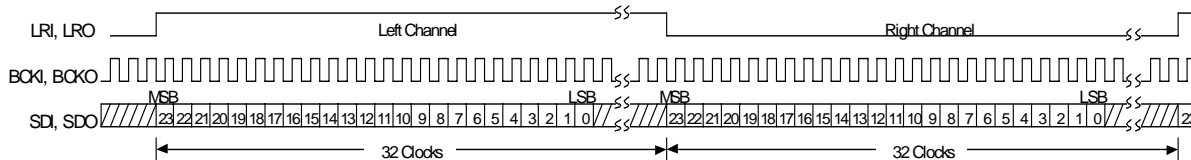


図 8-2 Left-Justified Data Format 64fs, 24bit Data

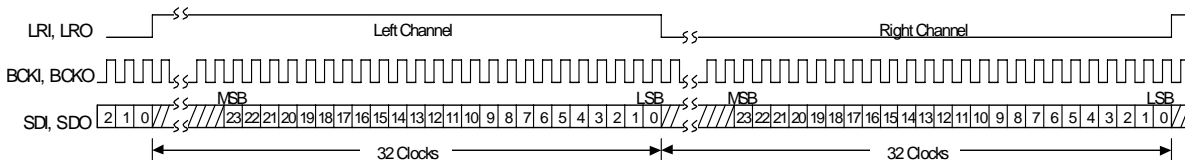


図 8-3 Right-Justified Data Format 64fs, 24bit Data

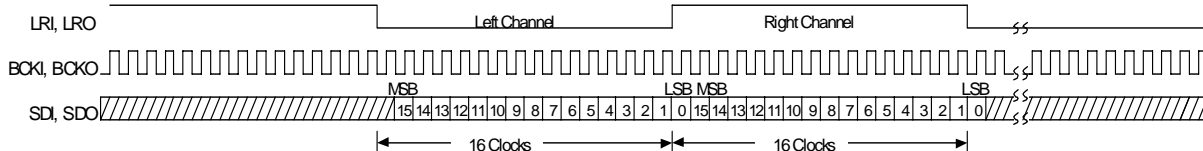


図 8-4 I<sup>2</sup>S Data Format 32fs, 16bit Data

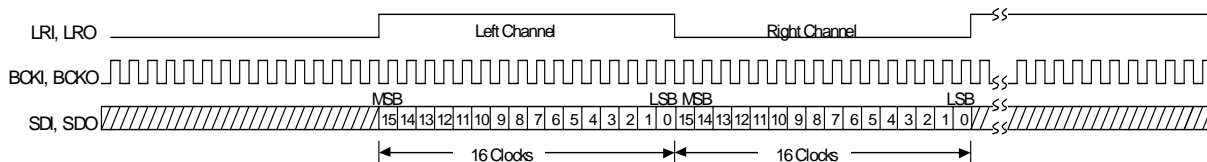


図 8-5 Left-Justified Data Format 32fs, 16bit Data

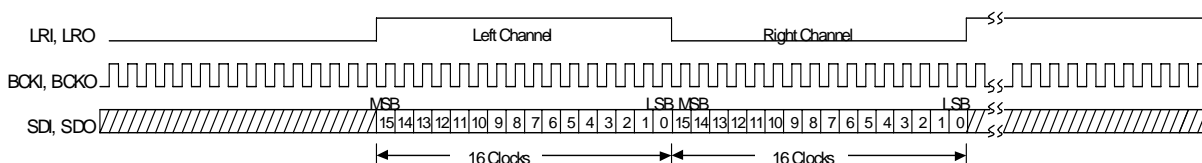


図 8-6 Right-Justified Data Format 32fs, 16bit Data



## 4.3 シリアルオーディオタイミング

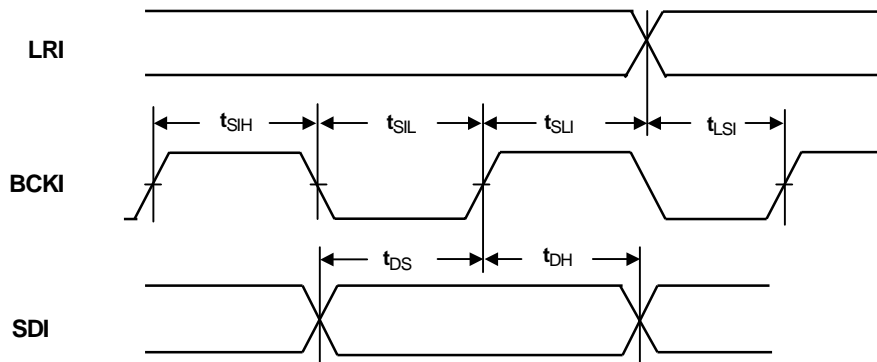
**表 10 シリアルオーディオ入力タイミング**

(  $V_{DD}=V_{DDPWM}=3.3V, T_a=25^\circ C$  )

項目	記号	条件	Min.	Typ.	Max.	単位
BCKI 周波数 *1	$f_{BCKI}$		-	-	13	MHz
BCKI 周期 *1						
Low パルス幅	$t_{SIL}$		35	-	-	ns
High パルス幅	$t_{SIH}$		35	-	-	ns
BCKI → LRI 時間 *1	$t_{SLI}$		15	-	-	ns
LRI → BCKI 時間 *1	$t_{LSI}$		15	-	-	ns
データセットアップ時間 *2	$t_{DS}$		15	-	-	ns
データホールド時間 *2	$t_{DH}$		15	-	-	ns

\*1 : サンプルングコンバータインターフェースの規定です。

\*2 : サンプルングレートコンバータ選択中のSDI端子は、BCKIに対する規定です。それ以外は、BCKOに対する規定です。



**図 9 シリアルオーディオ入力タイミング**

# NJU26060 シリーズ

表11 シリアルオーディオ出力タイミング

(  $V_{DD}=V_{DDPWM}=3.3V, T_a=25^{\circ}C$  )

項目	記号	条件	Min	Typ.	Max	単位
BCKO-LRO 時間差	$t_{SLO}$	$C_L=25pF$	-15	-	15	ns
データ出力遅延時間 *3	$t_{DOD}$		-	-	15	ns

\*3 シリアルオーディオ出力に設定されている SDO, OUTRN1, OUTLN1 端子に対する規定です。

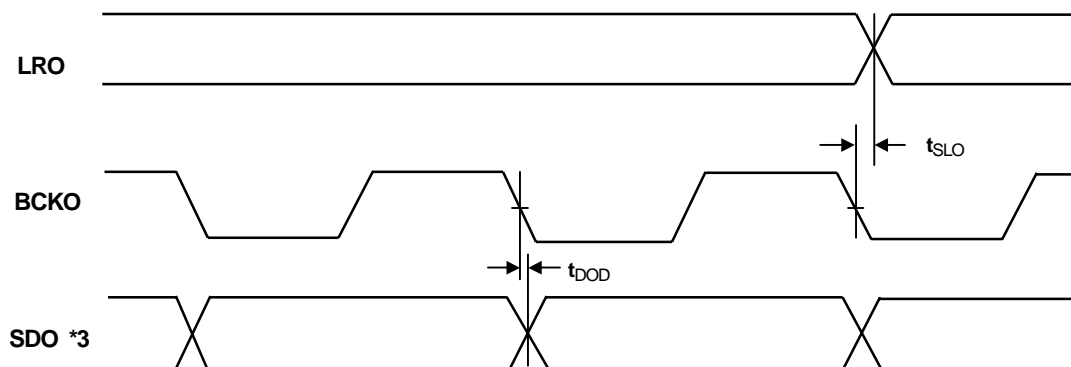


図 10 シリアルオーディオ出力タイミング

## 5. PWM モジュレータ

NJU26060 は、PWM モジュレータをステレオ 2 系統(合計 4 チャンネル)搭載しています。8 倍のオーバーサンプリング デジタルフィルタと 5 次の  $\Delta \Sigma$  モジュレータを搭載しており、変調効率は 88%と高効率です。90dB を越えるダイナミックレンジに加え、無音時のノイズを低減させる機能を持っています。この無音時ノイズ低減機能を使用したとき、100dB 前後の S/N 比を実現することが可能です。

PWM スイッチング周波数は、内部処理のサンプリング周波数の 8 倍(内部  $F_s=48\text{kHz}$  の場合は  $384\text{kHz}$ 、内部  $F_s=44.1\text{kHz}$  の場合は  $352.8\text{kHz}$ )に抑えており、変調効率の高さから、外部にパワードライバを接続しスピーカーを直接駆動するのに最適です。

なお、リセット時 PWM モジュレータはスタンバイ状態で立ち上がるため、ファームウェアによって初期設定を行う必要があります。

表 12 PWM モジュレータ関連端子

Pin No.	端子名	属性	機能
23	VDDPWM	PP	PWM 出力端子用電源 +3.3V
22	VSSPWM	GP	PWM 出力端子用 GND
3	PWM_DISb	I+	PWM スタンバイ要求入力端子 ('0'でスタンバイ)
2	PWM_MUTEb	I+	PWM ミュート要求入力端子('0'でミュート)
29	PWM_ERRb	I+	PWM バックエンド異常時停止要求入力端子('0'で PWM 停止)
28	PWMEN0	O	PWM0 有効信号出力端子(PWMEN0='1'で有効な出力が出ていることを示す)
17	PWMEN1	O	PWM1 有効信号出力端子(PWMEN1='1'で有効な出力が出ていることを示す)
24	OUTLP0	O	PWM0 ブロック L チャンネル非反転出力端子
25	OUTLN0	O	PWM0 ブロック L チャンネル反転出力端子
26	OUTRP0	O	PWM0 ブロック R チャンネル非反転出力端子
27	OUTRN0	O	PWM0 ブロック R チャンネル反転出力端子
21	OUTLP1	O	PWM1 ブロック L チャンネル非反転出力端子
20	OUTLN1	O	PWM1 ブロック L チャンネル反転出力端子
19	OUTRP1	O	PWM1 ブロック R チャンネル非反転出力端子
18	OUTRN1	O	PWM1 ブロック R チャンネル反転出力端子

※ I+: 入力プルアップ付端子、O: 出力端子、PP: PWM 端子電源、PG: PWM 端子 GND

NJU26060 に搭載されている PWM モジュレータは、表 13 のような機能を持っており、各機能は、外部設定端子およびファームウェアによって切り替えることができます。

表 13 PWM モジュレータ主要機能

機能(端子名)	設定		リセット時デフォルト
	外部端子	ファームウェア	
PWM 有効信号出力識別信号(PWMEN0, PWMEN1)	可能	可能	無効
PWM モジュレータスタンバイ(PWM_DISb)	可能 *	可能	スタンバイ
ミュート機能(PWM_MUTEb)	可能 *	可能	ミュート
バックエンド異常時停止要求入力(PWM_ERRb)	可能 *	可能	停止
BPZ 出力延長機能	不可能	可能	無効
OUTLN1 端子をシリアルオーディオ出力 0 へ切り替え **	不可能	可能	OUTLN1
OUTRN1 端子をシリアルオーディオ出力 1 へ切り替え **	不可能	可能	OUTRN1
無音時ノイズ低減機能	不可能	可能	有効
ショートパルス制限機能	不可能	可能	無効

\* ファームウェアから各ブロックごとに外部端子からの入力をマスクすることができます。

\*\* BPZ は、バイポーラゼロを意味します。Duty50%のクロック波形を指します。

\*\*\* PWM1 ブロックに『BPZ 出力延長機能』を設定すると自動的に切り替わります。

## 5.1 PWM 有効信号出力識別信号・PWM モジュレータスタンバイ機能

PWMEN0/1 端子の出力は、PWM モジュレータから有効な出力が出ているかどうかを示しています。電源投入・リセット時のデフォルトは、PWM モジュレータはスタンバイ状態になり、PWMEN0/1 端子は、GND レベルになります。PWM モジュレータを起動させるには、ファームウェアから設定する必要があります。起動させた PWM モジュレータは、PWM\_DISb 端子、および、ファームウェアの設定によって、PWM モジュレータをスタンバイ状態にすることができます。

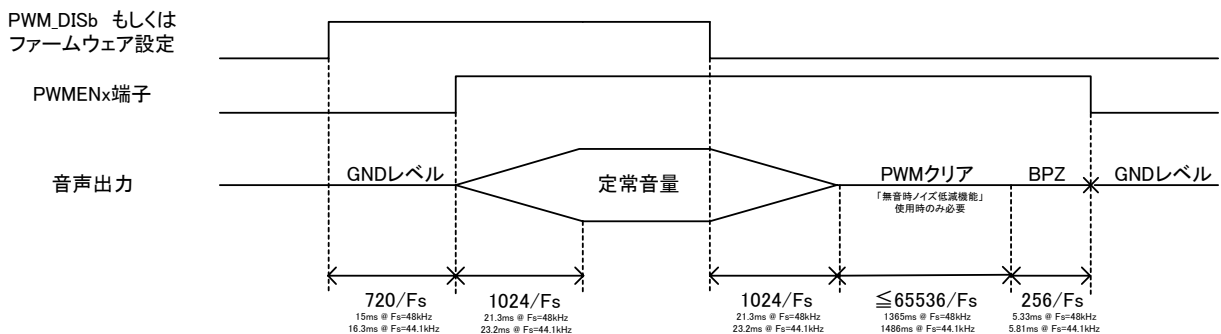


図 11 PWM モジュレータスタンバイ機能と PWMEN, PWM 出力の関係

Fs=48kHz は CLK=24.576MHz 時、Fs=44.1kHz は CLK=22.5792MHz 時

スタンバイからの解除時、PWM モジュレータは内部の起動処理を行い、PWMEN0/1 信号を High にした後、PWM 端子から信号の出力を開始します。このとき、ミュートレベルから、最大音量まで 1,024/Fs かけてミュートを解除します。このミュート解除はゼロクロスではありません。

スタンバイに移行するとき、PWM モジュレータは、1,024/Fs かけてミュート状態に移行します。このミュートはゼロクロスではなく、単調に移行します。その後、『無音時ノイズ低減機能』を使用する場合は、 $\Delta \Sigma$  モジュレータの内部のクリアを開始します。これは最高 65,536/Fs 間かかります。『無音時ノイズ低減機能』を使用しない場合は、この時間はゼロです。

その後、一定期間完全な BPZ 信号を出力し、PWMEN0/1 信号を Low に落とし、同時に PWM 出力端子への信号出力を停止します。このときの PWM 出力端子の信号レベルは GND レベルです。

## 5.2 ミュート機能

PWM\_MUTEb 端子を Low にする、および、ファームウェアの設定によって、PWM モジュレータに対してミュートをかけることができます。L/R それぞれのチャンネル独立で、ゼロ点をクロスしたときにミュート・アンミュートします。ミュートおよびアンミュートのステップは 0.25dB/Fs です。

なお、非常に低い周波数信号を入れた場合など、ゼロクロスの回数が少なく、2,048/Fs 以内にミュート・アンミュートがすべて完了しなかった場合は、1/Fs ごとにミュート・アンミュートします。

本ミュート機能は、L/R 独立、かつ、タイムアウト付のゼロクロスとなっているために、ミュート移行時のクリック音は少なくなりますが、ミュート時間が不確定となります。お客様のシステム上不具合のある場合は、ファームウェアにて所望のミュート特性を実現してください。

## 5.3 バックエンド異常時停止要求入力機能

バックエンドの IC に異常が起きた際に、PWM\_ERRb 端子を Low にする、もしくは、ファームウェアの設定によって、PWM モジュレータを高速に停止させることができます。ただし、ポップノイズは避けられません。要求の受付・解除には、CLK 端子の供給クロック 8 クロックを必要とします。解除時の挙動は、PWM\_STBYb を Low から High にトグルさせた場合と同じです。

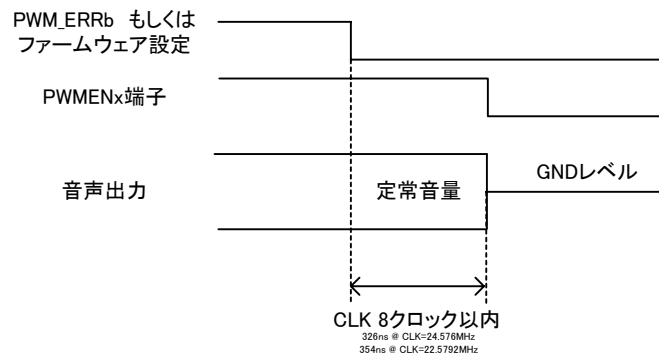


図 12 PWM リセット要求入力と PWMEN, PWM 出力の関係

## 5.4 BPZ 出力延長機能 (BPZ = バイポーラゼロ)

デフォルトでは PWMEN0/1 端子が GND レベルのとき、PWM 出力端子は GND レベルになります。これは、直接 Class-D パワードライバを接続して、BTL で駆動する場合に起動時のポップノイズを低減することを考慮しています。

しかしながら、事前に BPZ 信号が必要な場合のために、ファームウェアから BPZ 出力延長機能を有効にすることにより、PWMEN0/1 端子の立ち上がりより前に BPZ 出力を開始し、立ち下がりから一定期間 BPZ 出力できます。この機能を有効にした場合の PWM\_DISb、PWMEN、音声出力の関係を図 14 に示します。PWM 出力のトグルが停止すること自体が都合が悪い場合は PWM モジュレータを常時イネーブルにしてご使用ください。

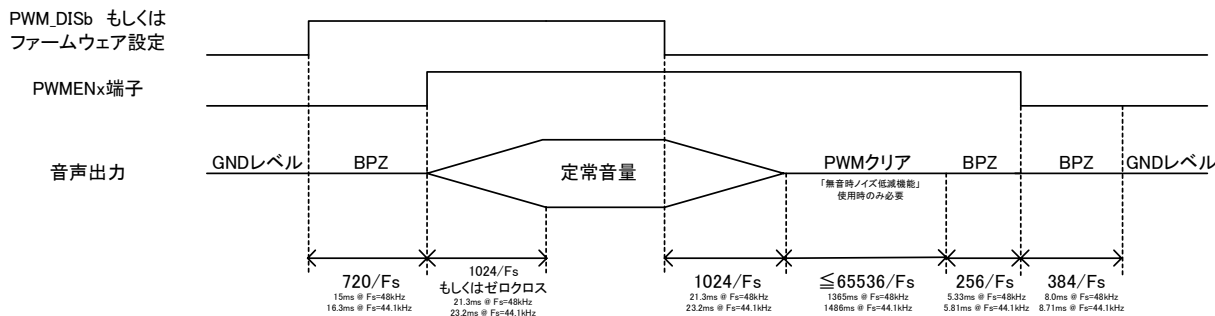


図 13 BPZ 出力延長機能使用時のスタンバイ機能と PWMEN, PWM 出力の関係

$F_s=48kHz$  は  $CLK=24.576MHz$  時、 $F_s=44.1kHz$  は  $CLK=22.5792MHz$  時

## 5.5 PWM 出力端子のシリアルオーディオ出力への切り替え機能

BPZ 出力延長機能を PWM1 ブロックに対して指示した場合、PWM1 ブロックの出力端子のうち、OUTLN1 端子をシリアルオーディオ出力 0 (PWM0 ブロックへ送られている音声信号と同じ) に、OUTRN1 端子をシリアルオーディオ出力 1 (PWM1 ブロックへ送られている音声信号と同じ) に自動的に切り替わります。起動時デフォルトは PWM 出力端子になっています。

## 5.6 無音時ノイズ低減機能

NJU26060 の PWM モジュレータは ON になっており、PWM モジュレータは無音時にのみ  $\Delta \Sigma$  モジュレータ内部のアイドルノイズを低減させる機能を持っています。

この機能は、デフォルトでは ON になっており、PWM モジュレータブロックへの音声入力が、完全に『ゼロ』になったとき、 $65,536/F_s$  以内に PWM モジュレータ内部のクリアを行い、アイドルノイズを低減します。有効な音声入力が与えられた場合には、内部の郡遅延以内で解除動作を行い、機能解除が次の音声出力に影響することはありません。

注意点として、PWM 出力への音声入力は、完全に『ゼロ』である必要があります。PWM モジュレータ側に搭載されているミュート機能でミュートをかけた場合は問題ありませんが、ファームウェア側でミュートをかけたときにファームウェアから PWM モジュレータに受け渡される信号が完全にゼロにならない場合は、この機能が動きません。

## 5.7 ショートパルス制限機能

NJU26060 の PWM 出力は最短で約 20nsec 幅の 'Low' レベルのパルスを出すことがあります。Class-D アンプとして使用する場合に、接続するパワードライバによっては、'Low' レベルの最小パルス幅を制限している場合があります。ドライバ選択の幅を広げるために、NJU26060 では 4 段階のパルス幅制限をかけることができます。必要に応じてファームウェアから設定してください。

表 14 に設定できる項目を示します。なお、この数値は PWM モジュレータ内部での制限値であり、PWM 出力端子における立ち上がり・立ち下がり時間は含まれていません。

設定レベル	最小"L"レベル幅制限値	
	CLK 端子周波数(内部処理 Fs)	
	22.5792MHz (Fs=44.1kHz)	24.576MHz (Fs=48kHz)
0 (デフォルト)	0 ns (リミットなし)	0 ns (リミットなし)
1	22.1ns	20.3ns
2	44.3ns	40.7ns
3	66.4ns	61.0ns

表 14 ショートパルス制限機能 設定値

# NJU26060 シリーズ

## 5.8 PWM モジュレータ諸特性

表15 PWMモジュレータ部諸特性

(記載無きは, CLK=24.576MHz(Fso=48kHz),LRI=48kHz,BCKI=3.072MHz, VDD=VDDPWM=3.3V,Ta=25°C)

項目	Min	Typ	Max	単位
THD+N (1kHz, 0dBFS)	-	-85	-75	dB
S/N 比 (1kHz, 無音時ノイズ低減機能 On, A-Weight)	90	100	-	dB
ダイナミックレンジ(1kHz, -60dBFS, A-Weight)	85	90	-	dB
チャンネルセパレーション(1kHz BPF)	90	100	-	dB

これらの特性は、図 14 に示す構成で、2 次のローパスフィルタ(カットオフ周波数 50kHz)を通した後に、測定器の AES17 フィルタにて帯域幅を 20kHz までに制限し測定しています。

これらの特性は、サンプリングレートコンバータを 1:1 の変換比(48kHz→48kHz)で動作させ、DSP 部分ではサンプリングレートコンバータの出力を PWM モジュレータに処理せずスルーで受け渡す処理のみを行わせた状態で測定しています。

PWM 波形には電源及び内部動作に伴うノイズが重畳されます。差動入力にて使用する場合は、コモンモードノイズとしてこのノイズは除去できますが、シングルエンドで使用した場合には、これを除去することができないため特性が劣化します。

サンプリングレートコンバータ動作時は、非同期回路が動作するため、入力サンプリング周波数によっては、特性が劣化する可能性があります。

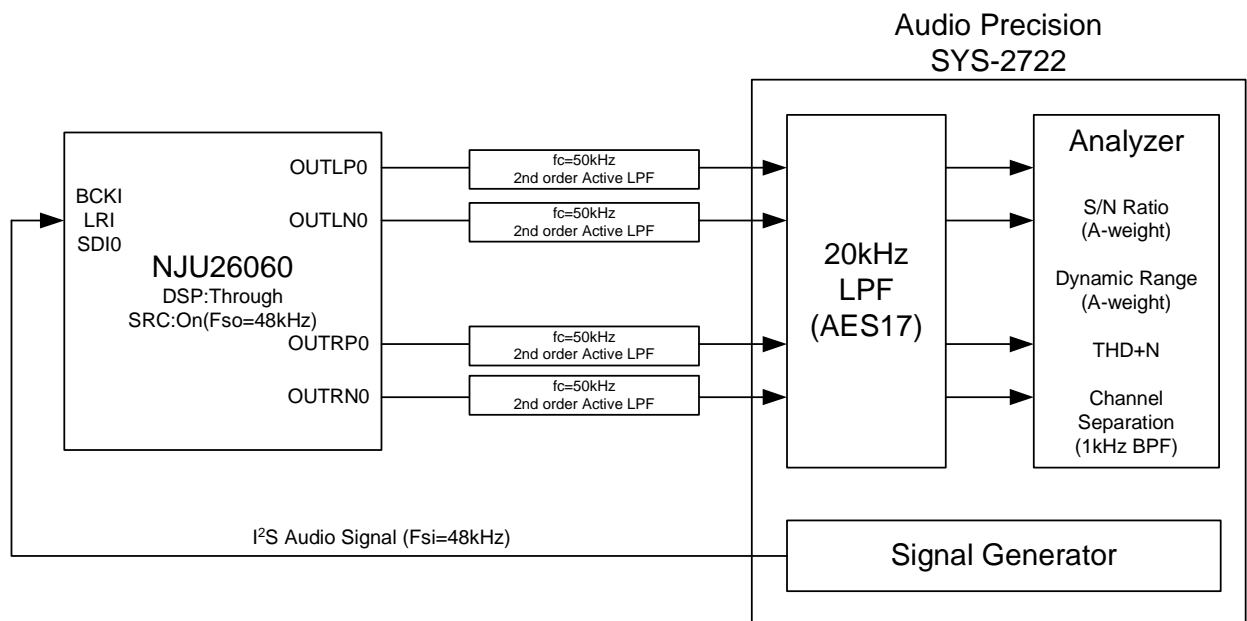


図 14 PWM モジュレータ測定回路  
(OUTLP1/LN1/RP1/RN1 も同様)



## 6. デジタルインターフェーストランスミッタ(DIT)

NJU26060 は、デジタルインターフェーストランスミッタを搭載しており、AES3, IEC60958, S/PDIF および EIAJ CP1201 民生規格に準拠したバイフェーズ形式でオーディオ出力を行うことができます。DSP 内部で処理しているサンプリング周波数(CLK 周波数の 1/512)に対応したバイフェーズ出力を行うことができます。デジタルインターフェーストランスミッタからのバイフェーズ出力は SDO 端子(41pin)から出力することができます。ただし、デフォルトではシリアルオーディオ出力端子となっているため、使用する場合はファームウェアによって端子機能を切り替える必要があります。

また、GPIO[1]端子(39pin)を汎用入出力端子として使用しない場合は、この端子からの入力を 41pin にパススルーするようにファームウェアより切り替えることができます。ただし、GPIO[1]端子は通常のヒステリシス・プルダウン付入出力端子ですので、レベルを合わせて入力してください。

NJU26060 のデジタルインターフェーストランスミッタのチャンネルステータス項目を表 16 に示します。同軸出力としたい場合は、外付けバッファを使用しての接続を推奨します。

**表 16 チャンネルステータス項目**

チャンネルステータス項目			固定/可変	リセット時 デフォルト
CS0	民生/プロフェッショナル	0: 民生モード	固定	0
CS1	データタイプ	0: オーディオデータ, 1: デジタルデータ	可変	0
CS2	著作権	0: 保護有り, 1: 保護無し	可変	0
CS3	プリエンファシス	[CS3,CS4]=00: 無し	可変	0
CS4		[CS3,CS4]=10: 有り	固定	0
CS5	チャンネル数	0: 2 チャンネル	固定	0
CS6~7	モード	00: モード 0	固定	00
CS8	カテゴリコード	規格書を参照ください  デフォルト値 [CS8:CS15]=0010000 日本における画像付き又は無しの デジタルオーディオ放送受信への適用	可変	0
CS9				0
CS10				1
CS11				0
CS12				0
CS13				0
CS14				0
CS15				0
CS16 ~19	ソース番号	0000: 指定なし	固定	0000
CS20 ~23	チャンネル番号	0000: 指定なし	固定	0000
CS24	サンプリング周波数	[CS24:CS27]=0000 44.1kHz [CS24:CS27]=0100 48kHz [CS24:CS27]=1100 32kHz	可変	0
CS25				1
CS26				0
CS27				0
CS28	クロック精度	[CS28,CS29]=00 標準モード [CS28,CS29]=10 高精度モード	可変	0
CS29				0

## 7. ホストインターフェース

NJU26060 シリーズの制御インターフェースは、I<sup>2</sup>C バスインターフェースです。

ホストインターフェース端子機能は表 17 のとおりです。

データ転送は 8 ビット(1 バイト) 単位です。ホストコントローラからクロック(SCL)に同期してデータが転送されます。

表 17 ホストインターフェース端子機能

Pin No.	端子名	I <sup>2</sup> C バスインターフェース 選択時
5	SCL	I <sup>2</sup> C シリアルクロック
4	SDA	I <sup>2</sup> C シリアルデータ入出力 (オープンドレイン入出力)

**注意:** SDA 端子は、オープンドレイン出力となり、適切なプルアップ抵抗を接続する必要があります。

### 7.1 I<sup>2</sup>C バスインターフェース

I<sup>2</sup>C バスインターフェースは、データを SDA 端子に、クロックを SCL 端子に転送します。SDA 端子はオープンドレイン構造で、外部にプルアップ抵抗が必要です。

I<sup>2</sup>C バススレーブアドレスは、搭載するファームウェアによって設定されます。リセット解除後、ファームウェアの初期化が終了すると、設定した I<sup>2</sup>C バススレーブアドレスで通信が可能です。ファームウェアの初期化時間はファームウェアによって異なります。初期化完了までの間は、NJU26060 はリセット時デフォルトの I<sup>2</sup>C バススレーブアドレスで待機していますが、NJU26060 から正常な返答は得られませんので注意してください。

**注意:** NJU26060 シリーズは、I<sup>2</sup>C バス “Standard-Mode (100kbps)” および “Fast-Mode (400kbps)” をサポートしています。

表 18 I<sup>2</sup>C バススレーブアドレス設定

bit7	bit6	固定値 bit5	bit4	bit3	bit2	bit1	R/W bit0
リセット時デフォルト: 0b0011100 搭載するファームウェアによって自由に設定可能							R/W

データ形式

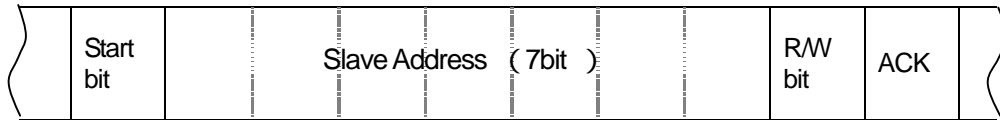


表 19 I<sup>2</sup>C バスインターフェースタイミング

( V<sub>DD</sub>=V<sub>DDPWM</sub>=3.3V, f<sub>OSC</sub>=24.576MHz, Ta=25°C )

項目	記号	Min	Max	単位
SCL クロック周波数	f <sub>SCL</sub>	0	400	kHz
開始条件ホールド時間	t <sub>HD:STA</sub>	0.6	-	μs
SCL "Low" レベルパルス幅	t <sub>LOW</sub>	1.3	-	μs
SCL "High" レベルパルス幅	t <sub>HIGH</sub>	0.6	-	μs
開始条件セットアップ時間	t <sub>SU:STA</sub>	0.6	-	μs
データホールド時間 *1	t <sub>HD:DAT</sub>	0	0.9	μs
データセットアップ時間	t <sub>SU:DAT</sub>	250	-	ns
立ち上がり時間	t <sub>R</sub>	-	1,000	ns
立ち下がり時間	t <sub>F</sub>	-	300	ns
停止条件セットアップ時間	t <sub>SU:STO</sub>	0.6	-	μs
バス解放時間 *2	t <sub>BUF</sub>	1.3	-	μs

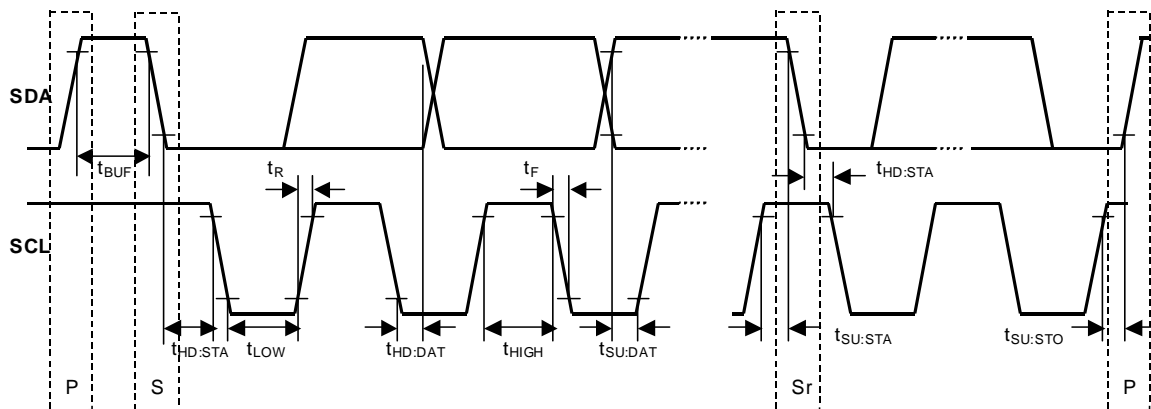


図 15 I<sup>2</sup>C バスタイミング

注意 : \*1 t<sub>HD:DAT</sub>: SCL の立ち下がりエッジでの不確定な状態を回避するために、少なくとも 100nsec 程度のホールド時間を確保するようにしてください。

\*2 本項目はインターフェースとしての仕様を示すものです。  
連続するコマンドの間隔は、個別データシートを参照してください。

# NJU26060 シリーズ

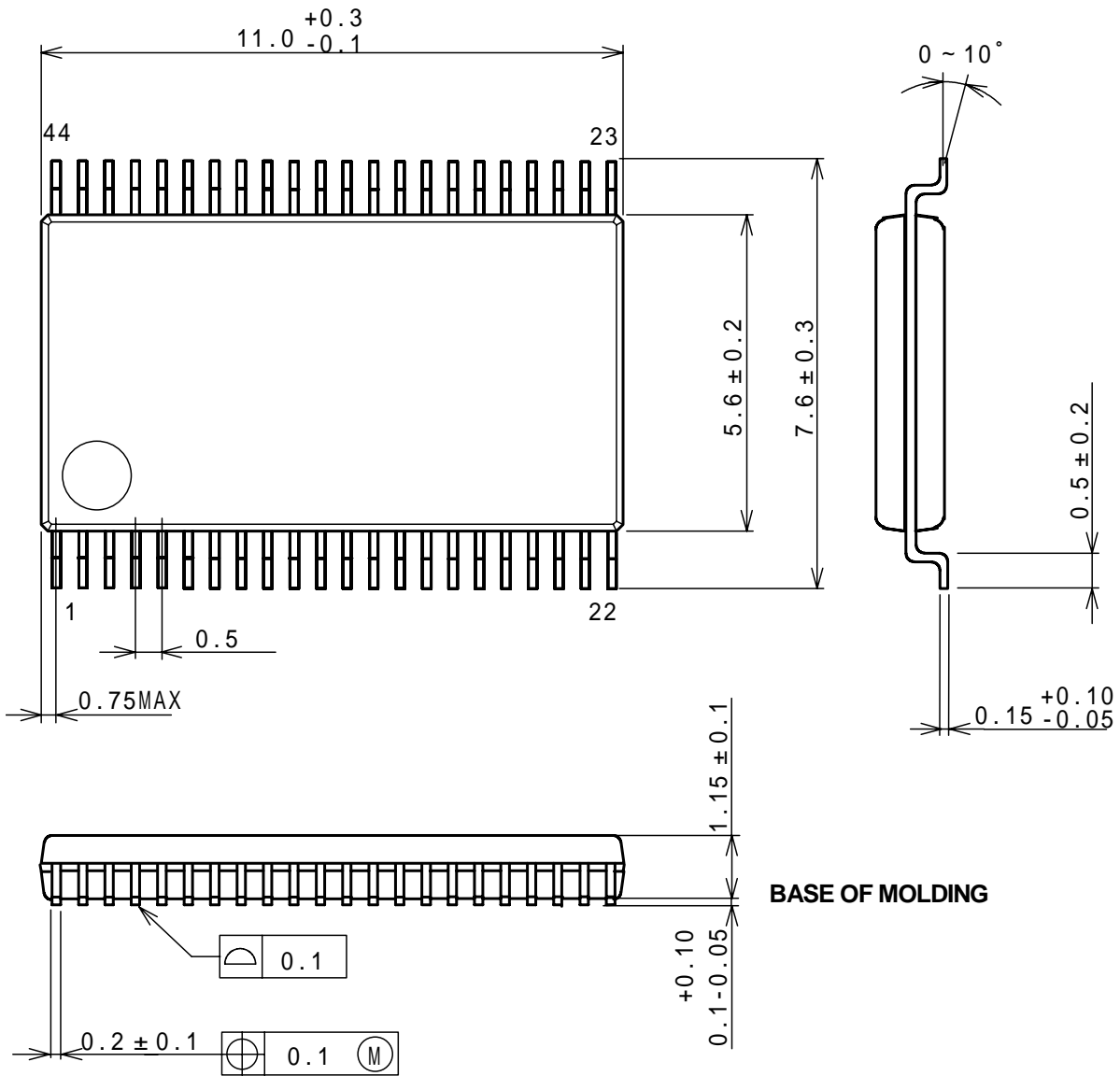
## 8. 汎用入出力端子

NJU26060 シリーズは汎用入出力端子を備えています。GPIO0 端子はテスト機能と共用しているため、起動時の端子状態に制限があります。表 20 に汎用入出力端子の詳細を記します。

表 20 汎用入出力端子と端子処理

Pin No.	端子名	機能
40	GPIO0 (プルダウン付 I/O)	リセット解除時は Low 状態を取るよう to してください。ファームウェア起動後はプログラム設定によりプルダウン付き汎用入出力端子として使用可能。
39	GPIO1 (プルダウン付 I/O)	プログラム設定によりプルダウン付汎用入出力端子、もしくは、デジタルインターフェーストランスミッタ使用時に SDO 端子へのパススルー信号入力端子としても使用可能。
38	GPIO2 (プルアップ付 I/O)	プログラム設定によりプルアップ付汎用入出力端子として使用可能
37	GPIO3 (プルアップ付 I/O)	プログラム設定によりプルアップ付汎用入出力端子として使用可能

## 9. パッケージ寸法 (1) SSOP44、鉛フリー



MOLD MATERIAL : EPOXY RESIN

単位: mm

<注意事項>  
このデータブックの掲載内容の正確さには  
万全を期しておりますが、掲載内容について  
何らかの追加保証を行うものではありません。  
とくに応用回路については、製品の代表的  
な応用例を説明するためのものです。また、  
工業所有権その他の権利の実施権の許諾を伴  
うものではなく、第三者の権利を侵害しない  
ことを保証するものではありません。