

# **NJU26040 アプリケーションノート**

## **ハードウェアマニュアル**

**新日本無線株式会社**

## 目 次

1. 概要.....	2
2. NJU26040 ブロック図.....	2
3. 応用回路例.....	3
3.1 応用回路例1 “DIR、NJU26040、DAC 使用時の回路例 (I <sup>2</sup> C Bus 使用)”.....	3
3.2 応用回路例2 “ADC、NJU26040、DAC 使用時の回路例 (I <sup>2</sup> C Bus 使用)”.....	3
3.3 応用回路例3 “DIR、ADC、NJU26040、DAC 使用時の回路例 (I <sup>2</sup> C Bus 使用)”.....	3
3.4 応用回路例4 “DIR、ADC、NJU26040、DAC 使用時の回路例 (4線シリアルバス使用)”.....	3
4. マスター/スレーブモード.....	4
4.1 マスター/スレーブモードの定義.....	4
4.2 DSP の MCK クロック信号.....	4
4.3 マスター/スレーブモードの使用方法.....	4
5. DIR の MCK クロック.....	4
6. ADC、DAC の MCK クロック.....	5
7. 水晶発振回路.....	5
8. リセット回路.....	6
9. 設計上の諸注意.....	6

### < 注意事項 >

本アプリケーションノートに掲載されている製品の仕様等は、予告なく変更することがあります。  
 ご使用にあたっては、納入仕様書の取り交わしが必要です。  
 このアプリケーションノートの掲載内容の正確さには万全を期しておりますが、掲載内容について何らかの法的な保証を行うものではありません。とくに応用回路・特性例については、製品の代表的な応用例を説明するためのものです。また、工業所有権その他の権利の実施権の許諾を伴うものではなく、第三者の権利を侵害しないことを保証するものではありません。

# NJU26040 アプリケーションノート

## ハードウェアマニュアル

### 1. 概要

このアプリケーションノートは、NJU26040ハードウェアの使用方法について説明します。下記の4種類の応用回路の紹介及び、マスター/スレーブモード、MCKクロック、水晶発振回路、リセット回路、設計上の諸注意、等について説明します。

4種類の応用回路例。

- 1) DIR、NJU26040、DAC使用時の回路例(I<sup>2</sup>C Bus使用)
- 2) ADC、NJU26040、DAC使用時の回路例(I<sup>2</sup>C Bus使用)
- 3) DIR、ADC、NJU26040、DAC使用時の回路例(I<sup>2</sup>C Bus使用)
- 4) DIR、ADC、NJU26040、DAC使用時の回路例(4線シリアルバス使用)

### 2. NJU26040 ブロック図

図1にNJU26040のブロック図を示します。

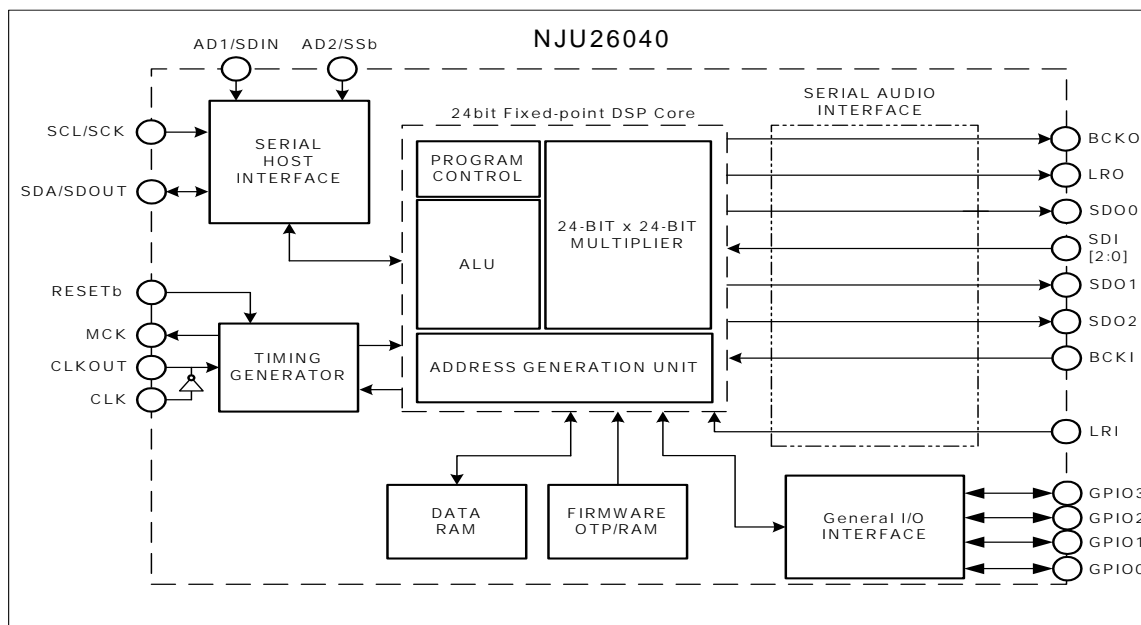


図1 NJU26040 ブロック図

注1) NJU26040 のデジタルオーディオ I/O は、3 系統の入力と 3 系統の出力があります。本回路例では、すべての入力端子を使用していません。入出力を変更する場合は、データシートを参照の上、変更して下さい。

注2) 本資料の他、NJU26040に関し、次の資料が有ります。参考にしてください。  
NJU26040シリーズ共通データシート。

### 3. 応用回路例

次の4種類の応用回路について説明します。

- 1) DIR、NJU26040、DAC使用時の回路例(I<sup>2</sup>C Bus使用)
- 2) ADC、NJU26040、DAC使用時の回路例(I<sup>2</sup>C Bus使用)
- 3) DIR、ADC、NJU26040、DAC使用時の回路例(I<sup>2</sup>C Bus使用)
- 4) DIR、ADC、NJU26040、DAC使用時の回路例(4線シリアルバス使用)

注1) DIR: Digital Interface Receiver、ADC: Analog to Digital Converter、  
DAC: Digital to Analog Converter。

注2) 以下、DSPはNJU26040を表します。

注3) 図3～図6の回路例に於いて、ADC及びDACは、常にスレーブモードで動作します。

注4) NJU26040のマスター/スレーブモードは、コマンドにより設定します。

#### 3.1 応用回路例1 “DIR、NJU26040、DAC 使用時の回路例(I<sup>2</sup>C Bus 使用)”

オーディオ入力が、デジタル(DIR 入力)信号の回路例です。

図3は、DIR、DSP及びDACを使用した回路例です。DSPは、スレーブモードで動作します。  
DIRは、DACへMCKクロックを供給します。

#### 3.2 応用回路例2 “ADC、NJU26040、DAC 使用時の回路例(I<sup>2</sup>C Bus 使用)”

オーディオ入力が、アナログ(ADC 入力)信号の回路例です。

図4は、ADC、DSP及びDACを使用した回路例です。DSPは、マスターモードで動作します。DSPは、ADC及びDACへ、MCKクロックを供給します。

#### 3.3 応用回路例3 “DIR、ADC、NJU26040、DAC 使用時の回路例(I<sup>2</sup>C Bus 使用)”

オーディオ入力が、デジタル(DIR 入力)或いはアナログ(ADC 入力)信号の回路例です。

図5は、DIR、ADC、DSP及びDACを使用した回路例です。DSPを、デジタルオーディオ入力時にスレーブモード、アナログオーディオ入力時にマスターモード、に設定します。ADC及びDACへのMCKクロックは、デジタルオーディオ入力時にDIRから、アナログオーディオ入力時にDSPから、供給します。

注1) デジタルオーディオ入力の時は、DIR、DSP及びDACを使用します。DSPを、スレーブモードに設定します。DIRは、DACへMCKクロックを供給します。その際、S1をDIR側に設定します。

注2) アナログオーディオ入力の時は、ADC、DSP及びDACを使用します。DSPを、マスターモードに設定します。DSPは、ADC及びDACへ、MCKクロックを供給します。その際、S1をDSP側に設定します。

#### 3.4 応用回路例4 “DIR、ADC、NJU26040、DAC 使用時の回路例(4線シリアルバス使用)”

DSPを、4線シリアルバスで制御する時の回路例です。

図6は、DIR、ADC、DSP及びDACを使用した回路例です。この応用回路例は、DSPを4線シリアルバスで制御している他、応用回路例3と同じです。

## 4 マスター/スレーブモード

DSP のマスター/スレーブモードの定義及び、その使用方法について説明します。

### 4.1 マスター/スレーブモードの定義

DSP マスターモードの定義は、次のようになります。マスターモードの DSP は、MCK、LRCK、BCK を周辺 IC に対し出力します。周辺 IC は、これらのクロックに同期して動作します。この時、DSP はマスターモードである、と定義します。

DSP スレーブモードの定義は、次のようになります。スレーブモードの DSP は、外部\*から LRCK、BCK クロックを入力します。DSP は、外部入力 of LRCK、BCK クロックに同期して信号処理を行います。この時、DSP はスレーブモードである、と定義します。

注) 外部とは、DIR や ADC (ADC マスターモード時) 等を示します。

### 4.2 DSP の MCK クロック信号

マスター/スレーブモードにかかわらず、起動時の内部リセット終了後、CLK 入力クロックの3分周したクロックを MCK 端子に出力します。コマンドにより2分周、原発振、停止の出力設定が可能です。表1に MCK クロック設定値を示します。

DSP モード	Fs 換算の周波数 (MCK)	MCK 出力の周波数		
		CLK = 24.576MHz	CLK = 33.8688MHz	CLK = 36.864MHz
マスター/ スレーブ	256fs (CLK の 3 分周) :デフォルト設定	8.192MHz	11.2896MHz	12.288MHz
	384fs (CLK の 2 分周)	12.288MHz	16.9344MHz	18.432MHz
	768fs (CLK 原発振)	24.576MHz	33.8688MHz	36.864MHz
	停止	ローレベルを出力		

表1 MCK クロック設定値

### 4.3 マスター/スレーブモードの使用方法

DSP のマスター/スレーブモード使用方法について説明します。

- 1) デジタルオーディオ入力時は、DSP をスレーブモードに設定します。DIR は MCK クロックを、DAC に供給します。応用回路例1を参照。
- 2) アナログオーディオ入力時は、DSP をマスターモードに設定します。DSP は MCK クロックを、ADC 及び DAC に供給します。応用回路例2を参照。

## 5. DIR の MCK クロック

DIR による MCK クロックの発生方法について説明します。

DIR は、デジタルオーディオ信号から、同期用の MCK クロックを抽出し、DAC 等に供給します。

DIR が、入力信号より MCK を抽出できない時、以下の方法により、DAC 等に MCK クロックを、供給することが出来ます。

DIR による MCK クロック発生方法

- 1) デジタルオーディオ信号入力がない場合、DIR は内蔵の発振器により、同期用信号 (MCK、LRCK、BCK) を出力します。尚、本応用回路例で使用した DIR は、このタイプです。
- 2) 水晶発振機能を有する DIR は、デジタルオーディオ入力信号がない場合、水晶発振による MCK クロックを出力します。

3) 外部 MCK クロック入力可能な DIR は、デジタルオーディオ入力信号がない場合、外部入力の MCK クロックを出力します。

注) DIR を使用する場合は、DSP をスレーブモードに設定します。DIR から出力される MCK クロックを、DAC 等へ供給します。これにより、DSP は DIR のデジタルオーディオ信号を、処理することが出来ます。

## 6. ADC、DAC の MCK クロック

ADC、DAC 及び CODEC の設定について説明します。

入力信号がアナログオーディオの時は、ADC、DAC 及び CODEC を、スレーブモードに設定します。この時、DSP をマスターモードに設定し、DSP が出力する MCK、LRCK、BCK を、ADC 等へ供給します。

水晶発振器を有する ADC 及び DIR 内蔵の CODEC 等を使用する時は、DSP をスレーブモードで使用できます。この時、ADC 等をマスターモードに設定してください。

## 7. 水晶発振回路

水晶発振の発振周波数と発振モードの関係について説明します。

水晶振動子による発振には、基本波による発振と、オーバートーンによる発振があります。これらは、水晶振動子や発信周波数により、使い分けします。一般的に、10MHz ~ 25MHz 帯は、基本波\*により発振させます。25MHz ~ 50MHz 帯は、3次オーバートーンにより発振させます。

注) 基本波発振で、36MHz の発振が出来る振動子もあります。

図3 ~ 図6の応用回路例は、36.864MHz の3次オーバートーン発振回路を使用しています。

図2の水晶発振回路例は、24.576MHz の基本波発振回路です。図3 ~ 図6の発振回路とは、異なります。

使用する水晶振動子により、回路、周波数、発振の余裕度、等は異なります。水晶振動子の回路及びL、C、Rの定数等については、水晶振動子メーカーに、確認が必要です。

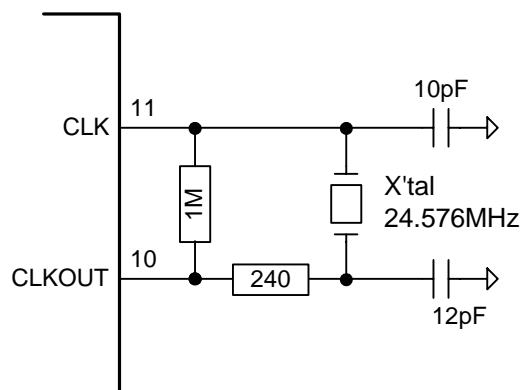


図2 基本波による発振回路

## 8. リセット回路

リセット回路の設計上の注意点について説明します。

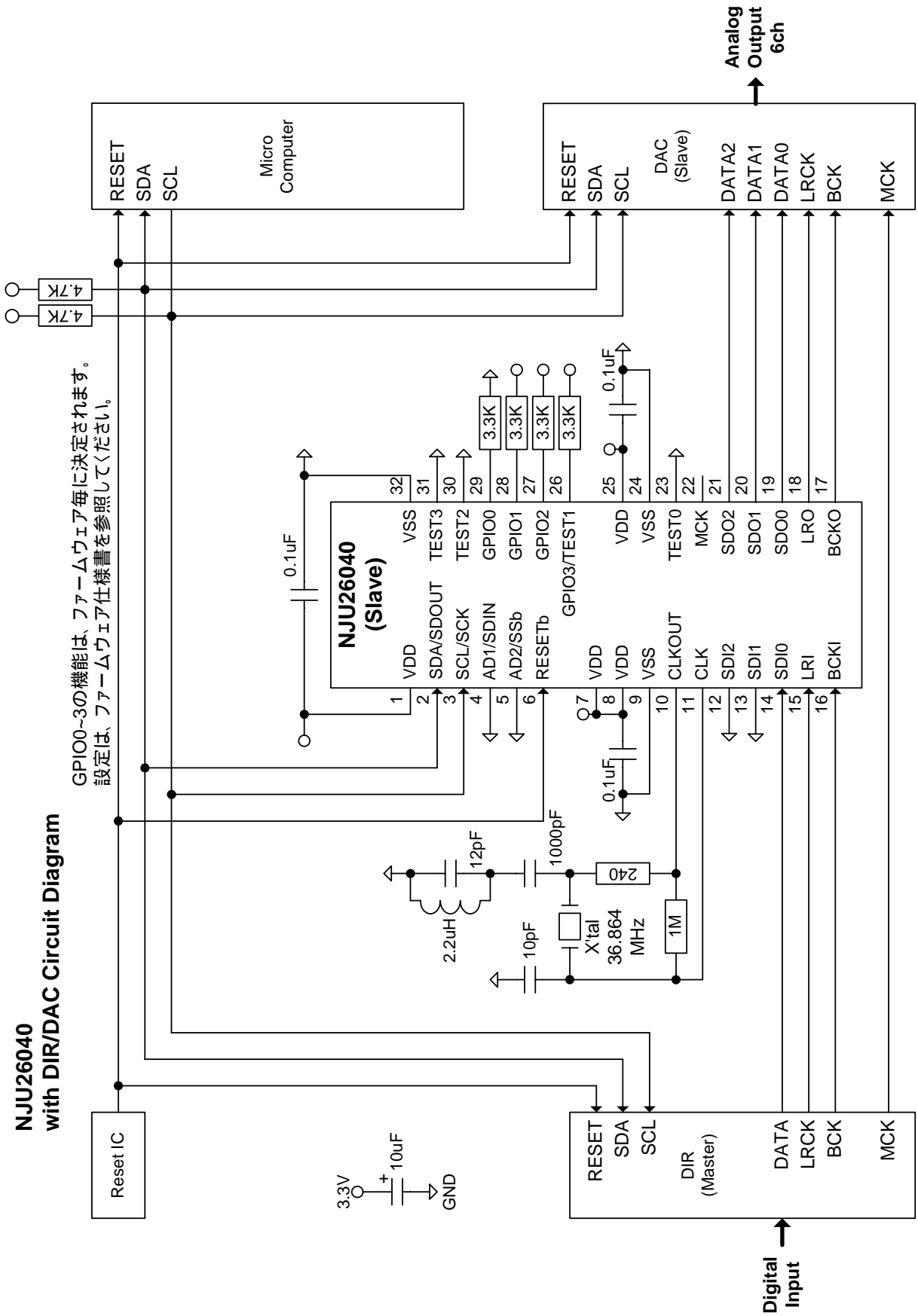
- 1) リセット信号線は、出来るだけ短く配線し、ノイズ等の影響を受けにくくします。その他、次の対策を行うと効果的です。
  - ・リセット信号線の近くに、ノイズの発生源となる部品やパターンを、近づけない様にします。
  - ・リセット信号線を、グランド等でガードします。
  - ・信号線の電流ループの空間は、出来るだけ小さくします。
- 2) リセット信号線が長い時は、次の対策を行うと効果的です。
  - ・リセット信号線に、数10オームの直列抵抗を入れます。
  - ・リセット端子と電源間に、数kオームのプルアップ抵抗を入れます。
  - ・リセット端子とグランド間に、数10～100pF程度のコンデンサを入れます。

## 9. 設計上の諸注意

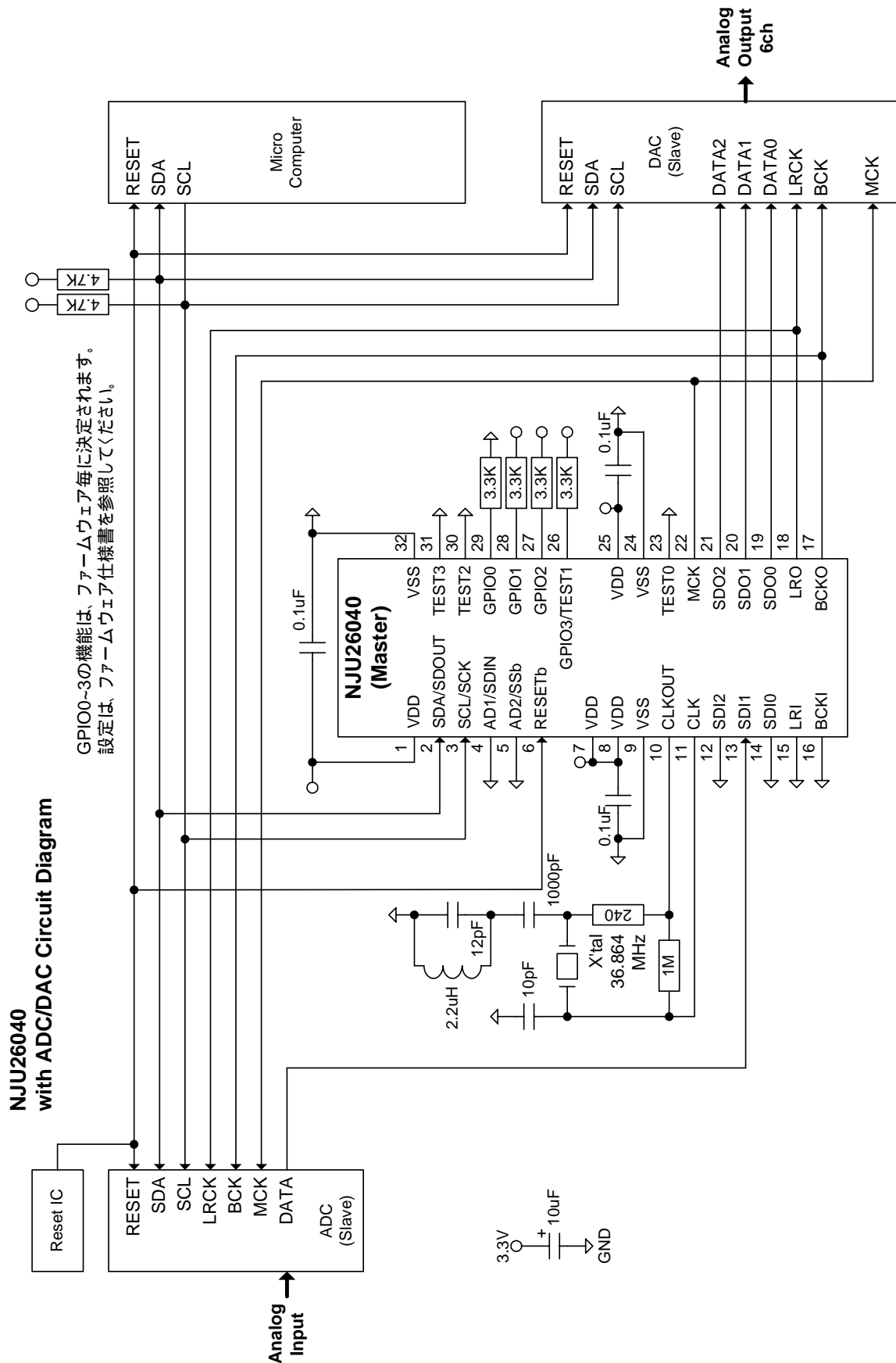
本項では、DSPの回路設計上の注意点について述べます。

- 1) DSPの電源電圧は3.3Vです。規定の電圧が供給されている場合に限り、入力端子は、5Vトレラントです。図3～図6に於いて、周辺ICの電源電圧は、3.3Vを想定しています。その為、DSPと周辺IC間は、直接配線しています。
- 2) DSP及び周辺ICの各電源端子とグランド間に、0.1uFのセラミック等のコンデンサを入れます。別途、DSPの電源とグランド間に、10uF程度のコンデンサも必要です。
- 3) アナログ系へのノイズの影響を少なくする為、アナログ系(ADC及びDAC)とデジタル系のグランドを、分離して配線します。適切な箇所を一点アースをし、フレームグランド等に落とします。
- 4) プリント基板上で、デジタル信号線の引き回しが長いと、外部からノイズを受け易くなります。また、外部に対しても、ノイズの放出が増加します。特にデジタル信号線(MCK、BCKO、LRO、DATA、RESET等)は、グランド等でガードします。これらの対策として、「太く、短く、配線する」を基本とします。
- 5) EMIノイズは、デジタル信号が通る部品及び、配線で囲まれた電流ループの面積と配線長に、依存します。この為、「配線は、ループ面積を小さく、短く、グランドでガードする」が基本となります。
- 6) EMIノイズは、主にデジタルのクロック信号から発生します。各ICのデジタル信号の出力端子に、数10オームのダンピング抵抗を直列に入れると、ノイズは小さくなります。ただし、次段のICの入力仕様を、満たすようにして下さい。

\* このアプリケーションノートに記述されている対策の効果は、使用する基板の実装条件により異なります。


 図 3 応用回路例 1 “DIR、NJU26040、DAC 等の回路例 (I<sup>2</sup>C Bus 使用)”




 図 4 応用回路例 2 “ADC、NJU26040、DAC 等の回路例 (I<sup>2</sup>C Bus 使用)”

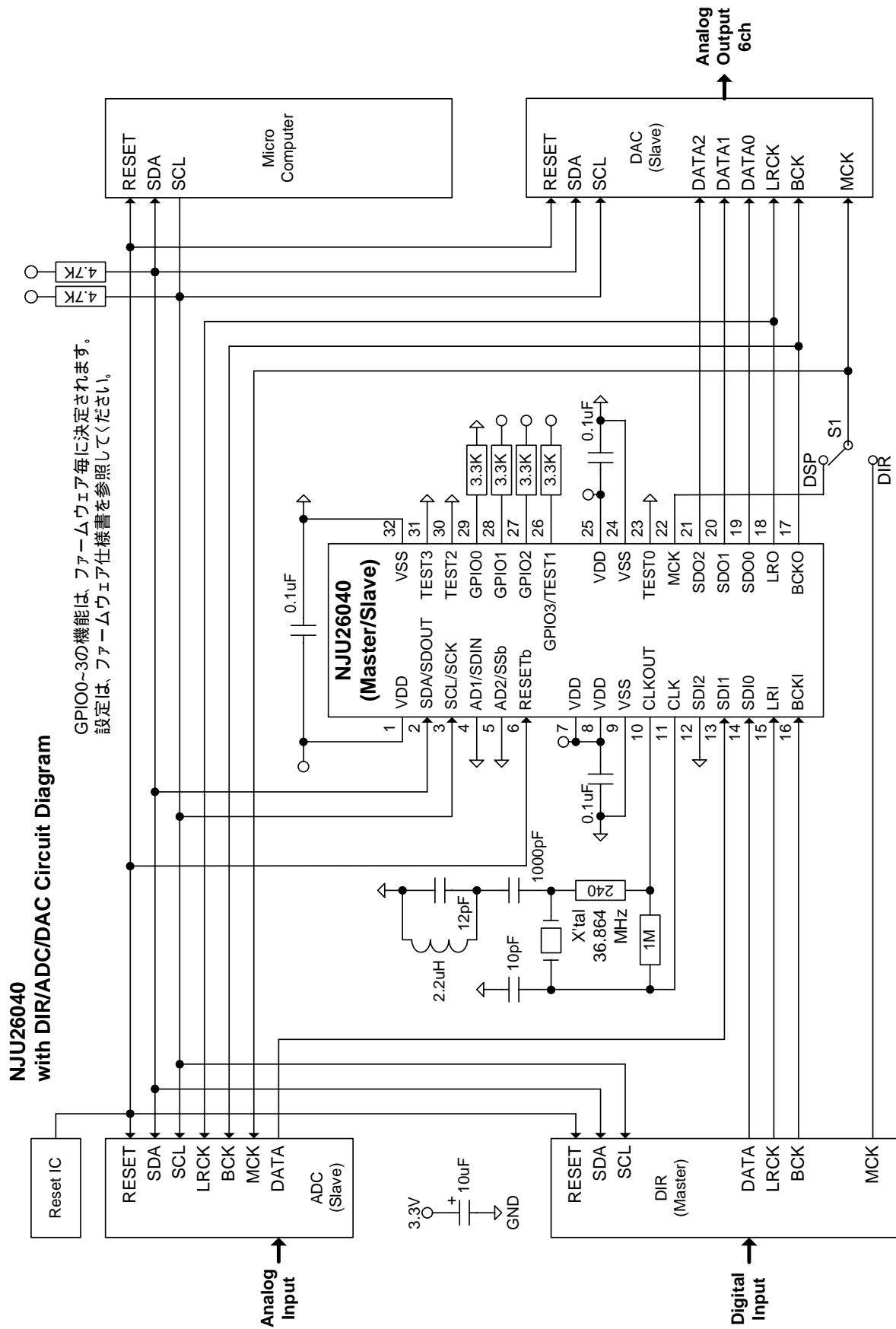


図5 応用回路例3 “DIR、ADC、NJU26040、DAC等の回路例(I<sup>2</sup>C Bus使用)”

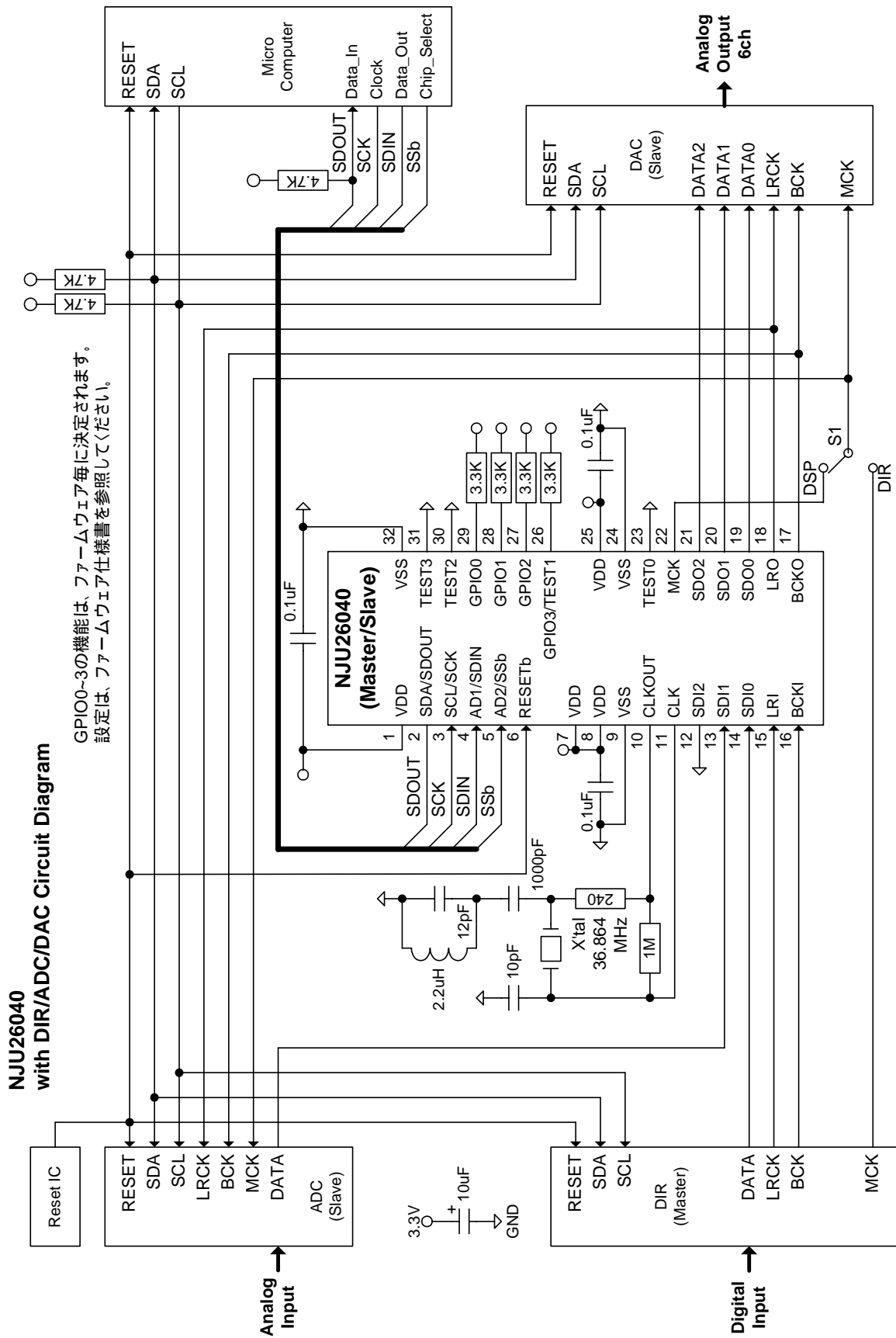


図 6 応用回路例 4 “DIR、ADC、NJU26040、DAC 等の回路例 (4 線シリアルバス使用)”