

電子調整用 8bit 8ch D/A コンバータ

概要

外形

NJW5211 は、電子調整用の 8bit 8ch D/A コンバータです。
 3 線式シリアルインターフェースで、8ch の調整用出力電圧を独立に制御することが可能です。低電圧動作(2.7V~)であり、電源電圧に依存せずフルスイング出力が可能です。

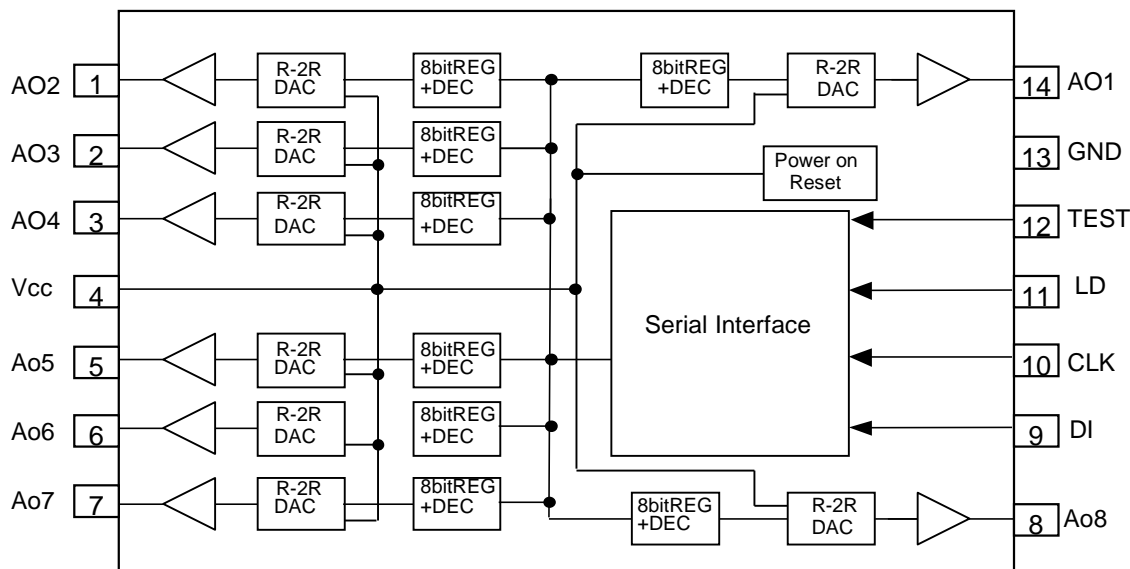


NJW5211V

特徴

- 低電圧動作 2.7 ~ 5.5V
- R-2R 方式 8bit 8ch D/A コンバータ内蔵
- 3 線式シリアルインターフェース
- パワーオンリセット回路内蔵
- Bi-CMOS 構造
- 外形 SSOP14

ブロック図及びピン配置



Pin No.	Pin Name	IN/OUT	Description
1	AO2	OUT	アナログ出力端子
2	AO3	OUT	アナログ出力端子
3	AO4	OUT	アナログ出力端子
4	Vcc	-	電源端子
5	AO5	OUT	アナログ出力端子
6	AO6	OUT	アナログ出力端子
7	AO7	OUT	アナログ出力端子
8	AO8	OUT	アナログ出力端子
9	D1	IN	シリアルデータ入力端子
10	CLK	IN	シリアルクロック入力端子
11	LD	IN	シリアルデータロード端子
12	TEST	-	テスト端子
13	GND	-	GND 端子
14	AO1	OUT	アナログ出力端子

NJW5211

■ 絶対最大定格 (Ta=25°C)

項目	記号	定格	単位
電源電圧	Vcc	-0.3 ~ 7.0	V
端子電圧	Vin	-0.3 ~ Vcc	V
消費電力	P _D	300	mW
動作温度	Topr	-40 ~ +85	°C
保存温度	Tstg	-40 ~ +150	°C

■ 推奨動作条件 (Ta=25°C)

項目	記号	条件	最小	標準	最大	単位
動作電圧	Vopr		2.7	-	5.5	V
アナログ出力電流	IOL		-	-	1.0	mA
アナログ出力電流	IOH		-	-	1.0	mA
シリアルクロック周波数	FSCLK		-	2.0	-	MHz
限界負荷容量	CL		-	-	0.1	μF

■ 電気的特性 (Vcc=3.0V, Ta=25°C)

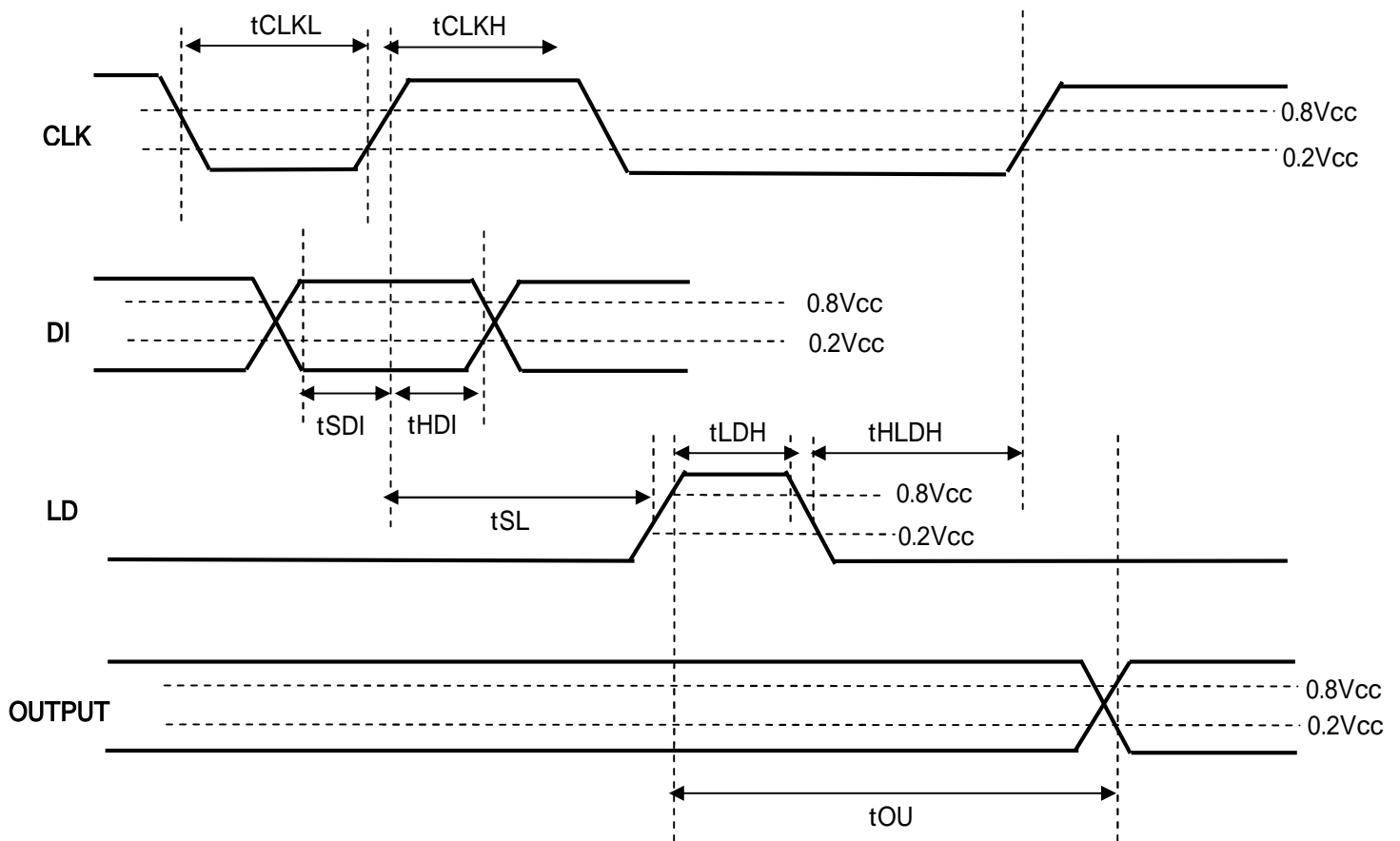
項目	記号	条件	最小	標準	最大	単位
消費電流	I _{CC}	CLK=1MHz 80H set	-	0.75	1.5	mA
<ロジックインターフェース>						
Low 入力電圧	VIL		0	-	0.3	V
High 入力電圧	VIH		1.8	-	Vcc	V
Low 入力電流	IIL		-	-	10	μA
High 入力電流	IIH		-	-	10	μA
<バッファアンプ>						
出力ゼロフルスケール電圧	ZS1	00H set IOH=0.0mA	0	-	0.1	V
	ZS2	00H set IOH=0.5mA	0	-	0.2	
	ZS3	00H set IOH=1.0mA	0	-	0.3	
出力フルスケール電圧	FS1	FFH set IOL=0.0mA	Vcc-0.1	-	Vcc	V
	FS2	FFH set IOL=0.5mA	Vcc-0.2	-	Vcc	
	FS3	FFH set IOL=1.0mA	Vcc-0.3	-	Vcc	
<DAC 精度>						
分解能	RES		-	8	-	bit
微分直線性誤差	DNL	Input code 02H to FDH	-1.0	-	1.0	LSB
積分直線性誤差	INL	Input code 02H to FDH	-1.5	-	1.5	LSB

■ パワーオンリセット

項目	記号	条件	最小	標準	最大	単位
Vcc 電源電圧立ち上がり時間	trVcc	Vcc=0→2.7V	100	-	-	μs
パワーオンリセット解除電圧	VPOR		-	1.9	-	V

■ タイミング特性

項目	記号	条件	最小	標準	最大	単位
CLK L レベル時間	tCLKL		200	-	-	ns
CLK H レベル時間	tCLKH		200	-	-	ns
DI セットアップ時間	tSDI		30	-	-	ns
DI ホールド時間	tHDI		60	-	-	ns
LD セットアップ時間	tSLD		200	-	-	ns
LD ホールド時間	tHLD		100	-	-	ns
LD “H” レベル時間	tLDH		100	-	-	ns
DA 出力セトリング時間	tOUT	CL=50pF, RL=10kΩ	-	-	300	μs



*判定レベルは V_{CC} の 80%、20%とする。

NJW5211

■ コマンド送信

制御コマンドは 3 線式 10 ビットシリアル入力形式 (MSB ファースト)。データは CLK の立ち上がりエッジで取り込まれ、LD HIGH 区間で出力データが決定。LD LOW 区間ではデータが保持。

LSB(LAST)

MSB(FIRST)

Data set								Channel select		
D0	D1	D2	D3	D4	D5	D6	D7	D8	D9	D10

Data Set

D0	D1	D2	D3	D4	D5	D6	D7	Analog output voltage level
0	0	0	0	0	0	0	0	GND
1	0	0	0	0	0	0	0	(Vcc-GND)/256x1
0	1	0	0	0	0	0	0	(Vcc-GND)/256x2
1	1	0	0	0	0	0	0	(Vcc-GND)/256x3
0	0	1	0	0	0	0	0	(Vcc-GND)/256x4
:	:	:	:	:	:	:	:	:
0	1	1	1	1	1	1	1	(Vcc-GND)/256x254
1	1	1	1	1	1	1	1	(Vcc-GND)/256x255

Channel select

D8	D9	D10	Address select
0	0	0	AO1
1	0	0	AO2
0	1	0	AO3
1	1	0	AO4
0	0	1	AO5
1	0	1	AO6
0	1	1	AO7
1	1	1	AO8

< 注意事項 >

このデータブックの掲載内容の正確さには万全を期しておりますが、掲載内容について何らかの法的な保証を行うものではありません。とくに応用回路については、製品の代表的な応用例を説明するためのものです。また、工業所有権その他の権利の実施権の許諾を伴うものではなく、第三者の権利を侵害しないことを保証するものでもありません。