

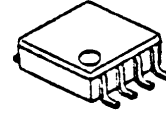
## 高速スイッチング ゲートドライバ

### ■概要

NJW4840 は、出力ピーク電流 4A の電流を供給できるゲート・スイッチングドライバです。特長として、24V 耐圧で幅広い動作電圧 (8V から 20V) や、高速スイッチング (負荷容量 4700pF を 27.5ns (typ) で駆動) が可能です。

サーマルシャットダウン機能を搭載しており、PDP 維持ドライブ、モータ駆動、スイッチング電源などに最適なゲートスイッチング・ドライバです。

### ■外形

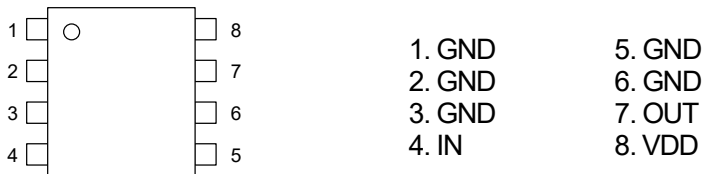


NJW4840R

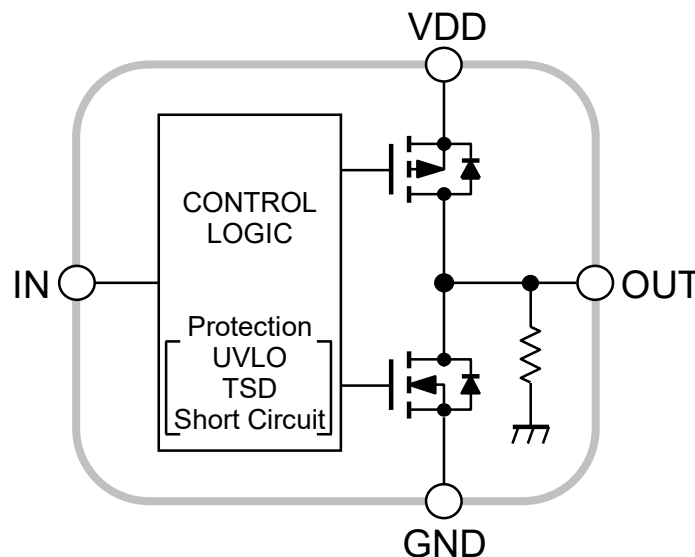
### ■特長

- 出力ピーク電流                    ±4A (peak)
- 動作電圧範囲                    8V to 20V
- 高速スイッチング                27.5ns (typ.) at  $C_L=4700\text{pF}$
- サーマルシャットダウン
- 低電圧誤動作防止回路
- 天絡・地絡保護回路
- パッケージ                        VSP8

### ■端子配列



### ■ブロック図



# NJW4840

## ■絶対最大定格

(Ta=25°C)

項目	記号	定格	単位	備考
電源電圧	V <sub>DD</sub>	+24	V	VDD-GND端子
入力電圧	V <sub>IN</sub>	-0.3 to +6	V	IN-GND端子
入力電圧(パルス印加)	V <sub>IN-puls</sub>	-0.3 to +7	V	
消費電力	P <sub>D</sub>	720 (*1) 1100 (*2)	mW	-
接合部温度範囲	T <sub>J</sub>	-40 to +150	°C	-
動作温度範囲	T <sub>opr</sub>	-40 to +105	°C	-
保存温度範囲	T <sub>stg</sub>	-50 to +150	°C	-

(\*1): 基板実装時 76.2×114.3×1.6mm(2層 FR-4)でEIA/JEDEC 準拠による

(\*2): 基板実装時 76.2×114.3×1.6mm(4層 FR-4)でEIA/JEDEC 準拠による (4層基板内箔: 74.2×74.2mm)

## ■推奨動作条件

(Ta=25°C)

項目	記号	最小	標準	最大	単位	備考
動作電源電圧	V <sub>DD</sub>	8.0	-	20	V	VDD-GND 端子
入力電圧	V <sub>IN</sub>	0	-	5.5	V	IN-GND 端子

## ■電気的特性

(特記事項なき場合、 $V_{DD}=16V$ ,  $T_a=25^\circ C$ )

項 目	記 号	条 件	最小	標準	最大	単位
全体						
電源電流	$I_{Q1}$	$V_{IN}=5V$	–	0.93	1.6	mA
	$I_{Q2}$	$V_{IN}=0V$	–	0.7	1.4	mA

### 出力部

出力ピーク電流	$I_{PK1}$	$PW \leq 400ns, V_{OUT}=0V$	–	4	–	A
	$I_{PK2}$	$PW \leq 400ns, V_{OUT}=16V$	–	4	–	A
出力オン抵抗	$R_{DSH}$	$I_{O-SOURCE}=100mA$	–	0.8	1.5	$\Omega$
	$R_{DSL}$	$I_{O-SINK}=100mA$	–	0.8	1.5	$\Omega$
プルダウン抵抗	$R_{PD}$		60	100	140	k $\Omega$

### 入力回路部

IN端子 High電圧	$V_{IHIN}$		3.0	–	5.5	V
IN端子 Low電圧	$V_{ILIN}$		0	–	1.5	V
IN端子 流入電流	$I_{IIN}$	$V_{IN}=5.5V$	–	–	1	$\mu A$
IN端子 ヒステリシス電圧幅	$\Delta V_{in}$	$V_{IHIN} - V_{ILIN}$	–	0.3	–	V

### 低電圧誤動作防止(UVLO) 回路

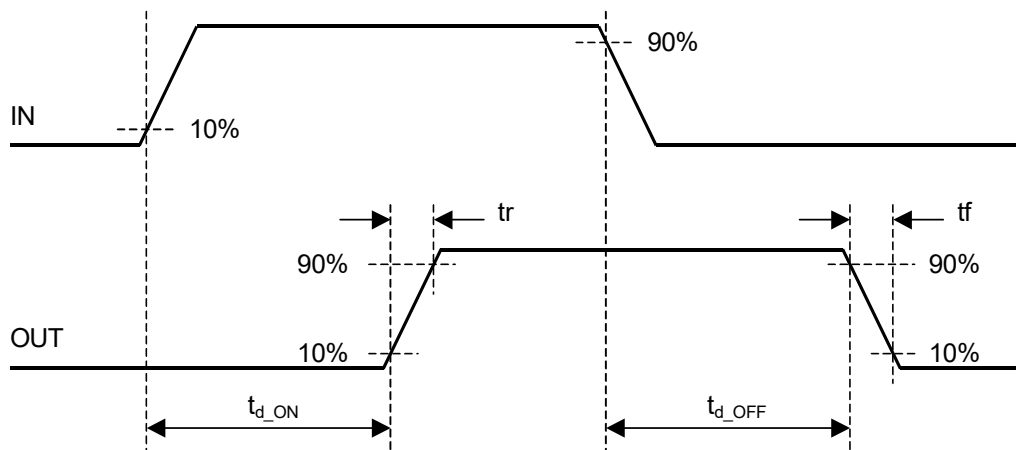
UVLO 解除電圧	$V_{UVLO2}$		6.3	7	7.7	V
UVLO 動作電圧	$V_{UVLO1}$		6	6.7	7.4	V
UVLO ヒステリシス電圧幅	$\Delta V_{UVLO}$	$V_{UVLO2} - V_{UVLO1}$	–	0.3	–	V

## ■出力立ち上がり/立ち下がり特性

( $V_{DD}=16V$ ,  $T_a=25^\circ C$ , 設計保証値)

項 目	記 号	条 件	最小	標準	最大	単位
出力立ち上がり時間	tr	$C_L=4700pF, V_{IN}=0$ to 5V	15.0	27.5	40.0	ns
出力立ち下がり時間	tf	$C_L=4700pF, V_{IN}=5$ to 0V	15.0	27.5	40.0	ns
立ち上がり遅延時間	$t_{d\_ON}$	$C_L=4700pF, V_{IN}=0$ to 5V	17.5	30.0	42.5	ns
立ち下がり遅延時間	$t_{d\_OFF}$	$C_L=4700pF, V_{IN}=5$ to 0V	25.0	37.5	50.0	ns

## ■ タイミングチャート



## ■ 保護回路動作

### ● 低電圧誤動作防止(UVLO)

電源電圧端子には低電圧時の誤動作防止回路が内蔵されています。

電源電圧が UVLO 動作電圧以下へ低下した場合、出力は OFF 状態となります。

電源電圧が UVLO 解除電圧を超えると、通常動作になります。

### ● サーマルシャットダウン(TSD)

IC 内部の接合部温度が約 180°C を超えた場合、出力は OFF 状態となります。

IC 内部の接合部温度が約 170°C まで低下すると、通常動作になります。

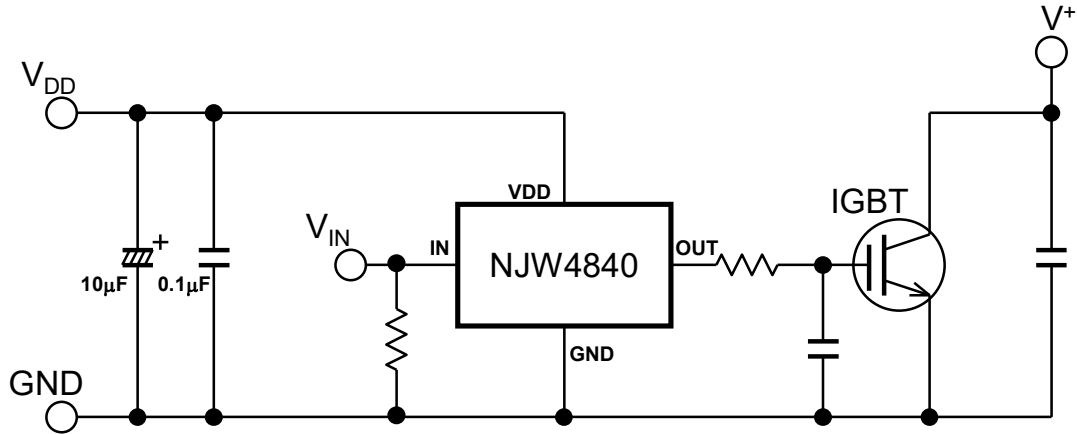
### ● 天絡・地絡保護(Short Circuit Protection)

出力端子には天絡や地絡時の保護のために電流検出回路が内蔵されています。

IC 内部の電流検出閾値(約 1.4A)を超える出力電流が約 500ns 以上流れ続けた場合、出力は OFF 状態となりこれを保持します。

この保護状態は、電源再投入か入力信号が切り替わると通常動作に復帰します。

## ■応用回路例

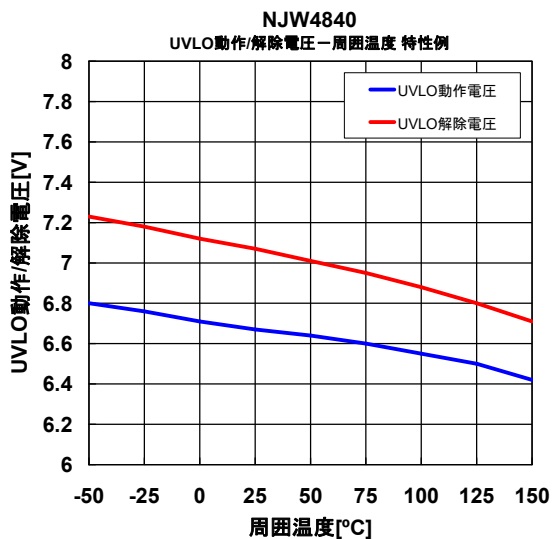
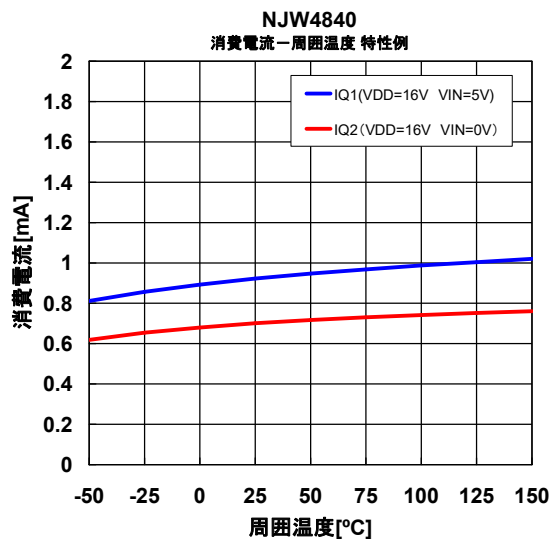
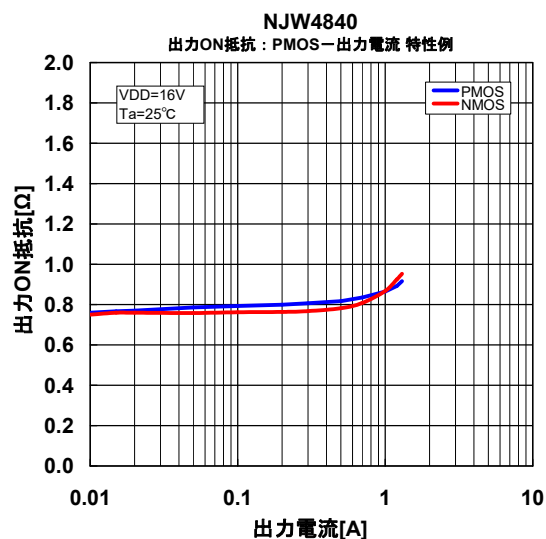
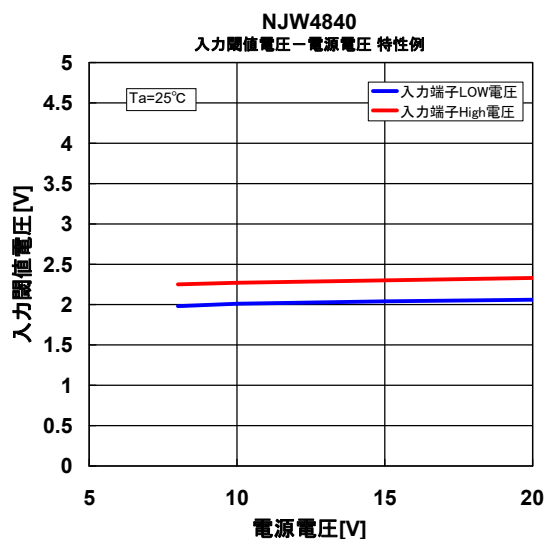
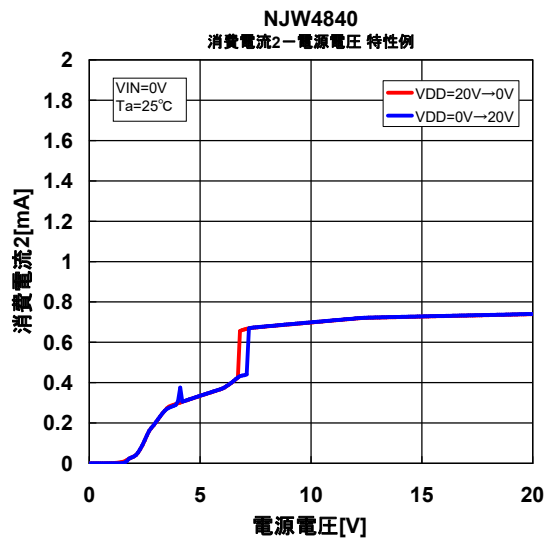
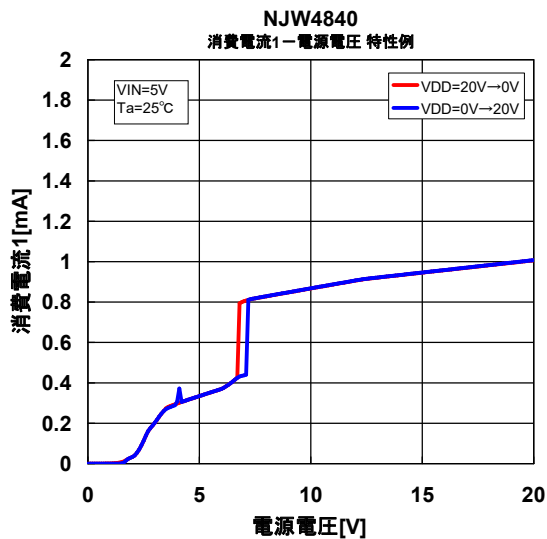


大電流、高速スイッチングを行う NJW4840 のアプリケーションは、出力の立ち上り/立ち下りに応じて電流が流れるため基板レイアウトが重要な項目です。

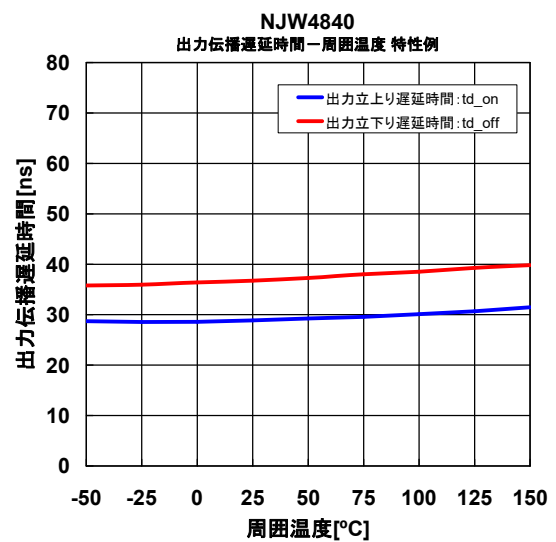
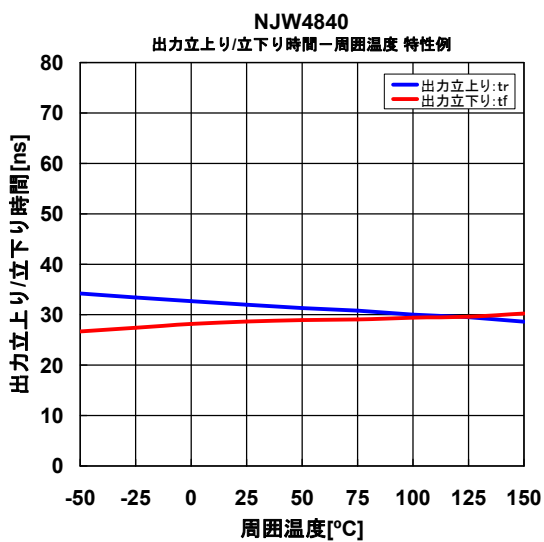
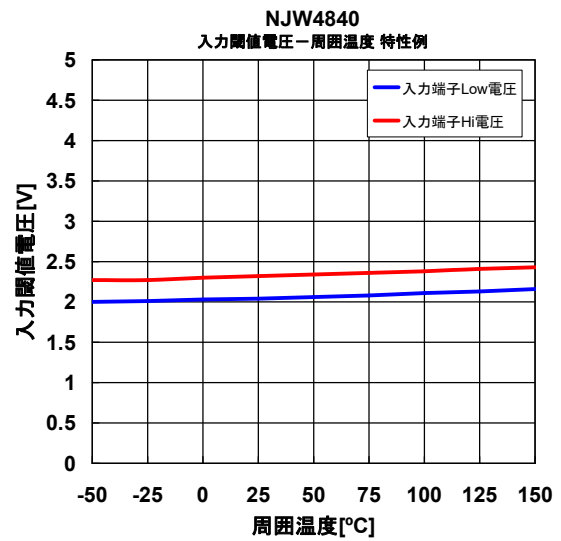
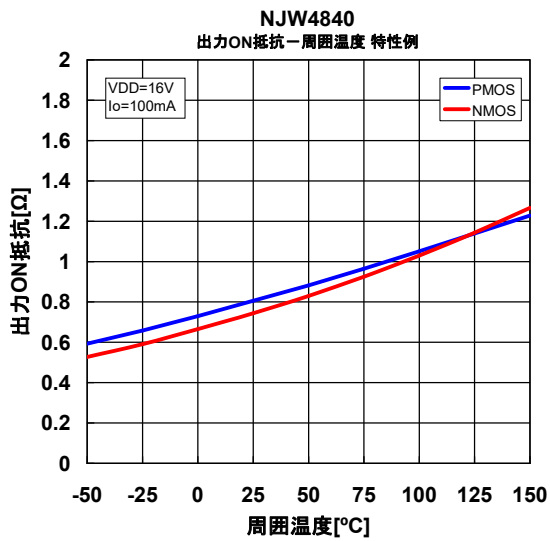
NJW4840 は、スイッチング時の損失を抑えるためにゲートを高速駆動しています。ハイサイド、ローサイド SW に流れる高速の電流変化が、配線の寄生インダクタンスによって過渡電圧を発生させるため、大電流の流れるラインは太く、短くし、電流ループ面積を最小限にすることで過渡電圧の低減を図ってください。あわせて、過渡電圧発生による誤動作・最大定格の超過を防ぐために、電源ライン(VDD 端子)–GND 間にはバイパスコンデンサを挿入してください。バイパスコンデンサには高周波特性の優れた 0.1µF 以上のセラミックコンデンサを推奨します。

エネルギー吸収用のバイパスコンデンサとして、10µF の電解コンデンサを標準としていますが、負荷の特性やアプリケーション環境に応じてこれ以上の容量を確保してください。これらのバイパスコンデンサは、VDD 端子の近傍に接続する必要があります。

## ■特性例



## ■ 特性例



### <注意事項>

このデータシートの掲載内容の正確さには万全を期しておりますが、掲載内容について何らかの法的な保証を行うものではありません。とくに応用回路については、製品の代表的な応用例を説明するためのものです。また、工業所有権その他の権利の実施権の許諾を伴うものではなく、第三者の権利を侵害しないことを保証するものでもありません。