

## シリアル入力8チャンネルシンクドライバ

### ■特長

- ・シリアル入力 8 チャンネルパラレル出力
- ・カスケード接続対応
- ・電源電圧範囲  $V_{DD}=3.0$  to  $5.5V$
- ・出力端子電圧  $V_{DS}=\text{up to } 40V$  (耐圧=45V)
- ・出力電流 300mA(Peak) / ch.
- ・ノイズフィルタ内蔵(CLRb 端子)
- ・過電流保護(OCP)、過熱保護(TSD)機能
- ・出力スルーレート調整機能
- ・動作温度範囲  $T_{op}=-40$  to  $+125^{\circ}C$
- ・パッケージ HTSSOP24-P1

### ■概要

NJW4829 は、300mA 出力の 8 チャンネルシンクドライバです。

入力部は 8bit のシリアルデータ通信に対応し、カスケード接続も可能です。

CLRb 入力はノイズ耐性を考慮し、フィルタを内蔵しています。

電源電圧と入力電圧は 5V ロジックに対応し、出力部の耐圧は 45V です。

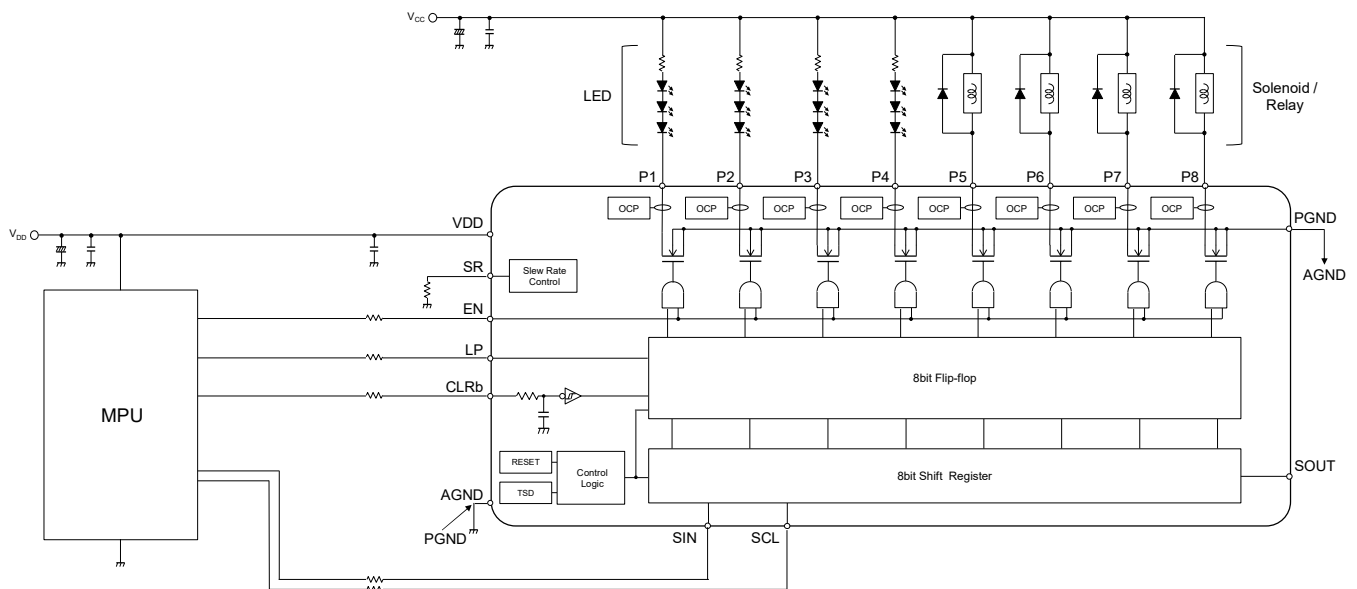
保護回路は、過電流保護回路、過熱保護回路を内蔵しています。

また、出力スルーレート調整機能を内蔵している為、EMI 対策としての応用も可能です。

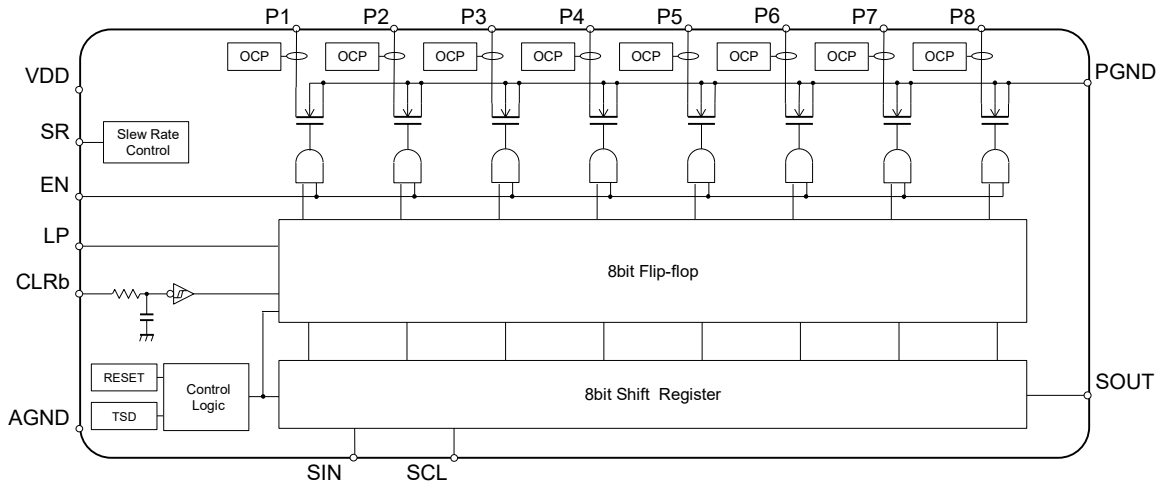
### ■アプリケーション

アミューズ機器、産業機器、家電機器などの  
LED、リレー、ソレノイド駆動回路

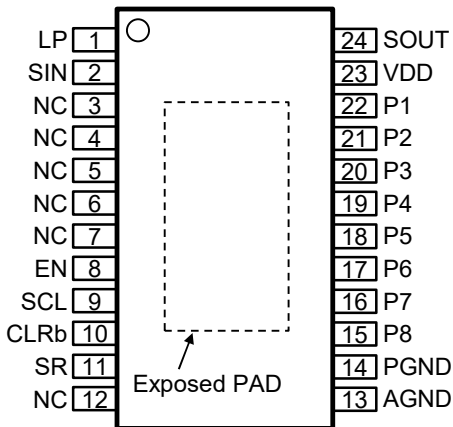
### ■標準回路例



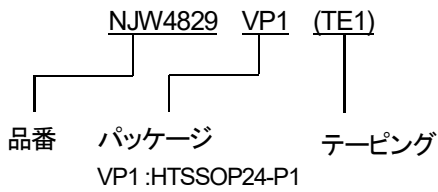
## ■ブロック図



## ■端子配置図



端子番号	端子名	I/O	機能			
1	LP	I	ラッチ信号入力端子			
2	SIN	I	シリアルデータ入力端子			
3	NC	-	内部回路とは未接続			
4						
5						
6						
7						
8				EN	I	出カインーブル信号入力端子
9				SCL	I	シフトクロック入力端子
10	CLRb	I	クリア信号入力端子			
11	SR	-	出カスルーレート調整端子			
12	NC	-	内部回路とは未接続			
13	AGND	-	制御回路部 GND 端子			
14	PGND	-	出力部 GND 端子			
15	P8	O	パラレル出力端子			
16	P7	O				
17	P6	O				
18	P5	O				
19	P4	O				
20	P3	O				
21	P2	O				
22	P1	O				
23	VDD	-	電源端子			
24	SOUT	O	シリアルデータ出力端子			
-	Exposed PAD	-	裏面放熱 PAD AGND へ接続、またはオープンにします			

**■製品名構成**

**■オーダーインフォメーション**

製品名	パッケージ	RoHS	Halogen-Free	めっき組成	マーキング	製品重量 (mg)	最低発注数量 (pcs)
NJW4829VP1(TE1)	HTSSOP24-P1	○	○	Ni/Pd/Au	4829	83	2500

**■絶対最大定格**

項目	記号	定格	単位	備考
電源電圧	$V_{DD}$	-0.3 to +7	V	VDD 端子
出力端子電圧 1	$V_{DS}$	-0.3 to +45	V	P1 to P8 端子
出力端子電圧 2	$V_O$	-0.3 to $V_{DD}$	V	SOUT 端子
入力端子電圧	$V_{IN}$	-0.3 to $V_{DD}$	V	SIN, EN, SCL, LP, CLRb 端子
出力電流	$I_{DS}$	300	mA	P1 to P8 端子
消費電力 (Ta=25°C) HTSSOP24-P1	$P_D$	1200 <sup>(1)</sup>	mW	
		1600 <sup>(2)</sup>		
		3200 <sup>(3)</sup>		
接合部温度	$T_j$	-40 to +150	°C	
動作温度	$T_{opr}$	-40 to +125	°C	
保存温度	$T_{stg}$	-50 to +150	°C	

(1): 基板実装時 101.5×114.5×1.6mm (2層 FR-4)で EIA/JEDEC 規格サイズ (Exposed PAD 実装有)

(2): 基板実装時 101.5×114.5×1.6mm (4層 FR-4)で EIA/JEDEC 規格サイズ

(4層基板内径: 99.5×99.5mm、Exposed PAD 実装無)

(3): 基板実装時 101.5×114.5×1.6mm (4層 FR-4)で EIA/JEDEC 規格サイズ

(4層基板内径: 99.5×99.5mm、Exposed PAD 実装有、JEDEC 規格 JESD51-5 に基づき、基板にサーマルビアホールを適用)

**■推奨動作条件**

項目	記号	値	単位
電源電圧	$V_{DD}$	3.0 to 5.5	V
出力端子電圧	$V_{DS}$	0 to 40	V
出力電流 <sup>(4)</sup>	$I_{DS}$	0 to 300	mA

(4): P1 to P8の消費電力の総計がパッケージの許容損失を超えない範囲で使用する

**■電気的特性 (DC 特性)**

 (指定なき場合には  $V_{DD}=5V$ ,  $R_{SR}=500k\Omega$ ,  $T_a=25^\circ C$ )

項目	記号	条件	最小	標準	最大	単位
消費電流 1	$I_{Q1}$	全出力 OFF	-	1.4	2.8	mA
消費電流 2	$I_{Q2}$	全出力 ON	-	1.6	3.2	mA
Hレベル入力電圧 1	$V_{IH1}$	SIN, EN, SCL, LP, CLRb 端子	$0.7V_{DD}$	-	$V_{DD}$	V
Hレベル入力電圧 2	$V_{IH2}$	$V_{DD}=3V$ , SIN, EN, SCL, LP, CLRb 端子	$0.7V_{DD}$	-	$V_{DD}$	V
Lレベル入力電圧 1	$V_{IL1}$	SIN, EN, SCL, LP, CLRb 端子	0	-	$0.3V_{DD}$	V
Lレベル入力電圧 2	$V_{IL2}$	$V_{DD}=3V$ , SIN, EN, SCL, LP, CLRb 端子	0	-	$0.3V_{DD}$	V
Hレベル入力電流	$I_{IH}$	$V_{DD}=5.5V$ , $V_{IN}=5.5V$ , SIN, EN, SCL, LP, CLRb 端子	-	-	1	$\mu A$
Lレベル入力電流	$I_{IL}$	$V_{DD}=5.5V$ , $V_{IN}=0V$ , SIN, EN, SCL, LP, CLRb 端子	-	-	1	$\mu A$
出力 ON 抵抗 1	$R_{ON1\_P}$	$V_{SR}=0V$ , $I_{DS}=100mA$ , P1 to P8 端子	-	0.9	2.7	$\Omega$
出力 ON 抵抗 2	$R_{ON2\_P}$	$V_{DD}=3V$ , $V_{SR}=0V$ , $I_{DS}=100mA$ , P1 to P8 端子	-	1	3	$\Omega$
最大出力電流	$I_{DMAX\_P}$	$V_{SR}=0V$ , P1 to P8 端子	300	-	-	mA
出力リーク電流	$I_{LEAK\_P}$	$V_{DS}=40V$ , P1 to P8 端子	-	-	1	$\mu A$
過熱保護動作温度	$T_{TSD\_DET}$		-	170	-	$^\circ C$
過熱保護解除温度	$T_{TSD\_REV}$		-	150	-	$^\circ C$
SOUT 端子"L"出力電圧	$V_{OL\_SOUT}$	$I_{SOUT}=4mA$	-	0.2	0.4	V
SOUT 端子"H"出力電圧	$V_{OH\_SOUT}$	$I_{SOUT}=-4mA$	4.6	4.8	-	V

■電气的特性 (スイッチング特性) (指定なき場合には  $V_{DD}=5V$ ,  $V_{CC}=24V$ ,  $CL=30pF$ (P-PGND),  $R_L=240\Omega$ (P- $V_{CC}$ ),  $T_a=25^\circ C$ )

項目	記号	条件	最小	標準	最大	単位
出力"H-L"遷移時間	$t_{THL}$	$R_{SR}=500k\Omega$	-	2.5	-	$\mu s$
出力"L-H"遷移時間	$t_{TLH}$	$R_{SR}=500k\Omega$	-	1.8	-	$\mu s$
出力"H-L"伝搬遅延時間 (LP-P)	$t_{pdHL\_LP}$	$V_{SR}=0V$	-	0.2	-	$\mu s$
出力"L-H"伝搬遅延時間 (LP-P)	$t_{pdLH\_LP}$	$V_{SR}=0V$	-	0.9	-	$\mu s$
LP "H"パルス幅	$t_{W\_LP}$		90	-	-	ns
CLRb "L"パルス幅	$t_{W\_CLRb}$		5	-	-	$\mu s$
SCL に対する SIN セットアップ時間	$t_{SU\_SIN}$		40	-	-	ns
SCL に対する SIN ホールド時間	$t_{HD\_SIN}$		40	-	-	ns
SCL "H"パルス幅	$t_{W\_SCL}$		50	-	-	ns
SCL 最大動作周波数	$f_{MAX\_SCL}$		10	-	-	MHz
LP に対する SCL セットアップ時間	$t_{SU\_SCL}$		30	-	-	ns
SCL に対する LP セットアップ時間	$t_{SU\_LP}$		30	-	-	ns
SOUT 出力遅延時間 (SCL-SOUT)	$t_{pd\_SOUT}$		-	-	50	ns
出力"H-L"伝搬遅延時間 (EN-P)	$t_{pdHL\_EN}$	$V_{SR}=0V$	-	0.2	-	$\mu s$
出力"L-H"伝搬遅延時間 (EN-P)	$t_{pdLH\_EN}$	$V_{SR}=0V$	-	0.9	-	$\mu s$

## ■熱特性

項目	記号	値	単位
接合部 - 周囲雰囲気間	θja	103 <sup>(5)</sup>	°CW
		78 <sup>(6)</sup>	
		39 <sup>(7)</sup>	
接合部 - ケース表面間	ψjt	13 <sup>(5)</sup>	°CW
		13 <sup>(6)</sup>	
		6 <sup>(7)</sup>	

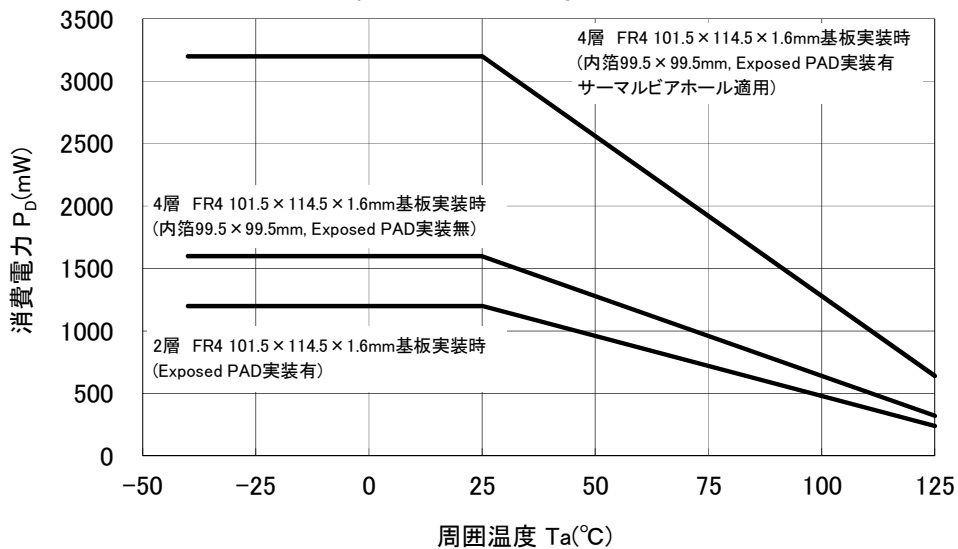
(5): 基板実装時 101.5×114.5×1.6mm (2層 FR-4)で EIA/JEDEC 規格サイズ (Exposed PAD 実装有)

(6): 基板実装時 101.5×114.5×1.6mm (4層 FR-4)で EIA/JEDEC 規格サイズ  
(4層基板内箔: 99.5×99.5mm、Exposed PAD 実装無)

(7): 基板実装時 101.5×114.5×1.6mm (4層 FR-4)で EIA/JEDEC 規格サイズ  
(4層基板内箔: 99.5×99.5mm、Exposed PAD 実装有、JEDEC 規格 JESD51-5 に基づき、基板にサーマルビアホールを適用)

## ■ディレーティングカーブ

NJW4829VP1 ディレーティングカーブ  
(Topr=-40 to +125°C, Tj=150°C)



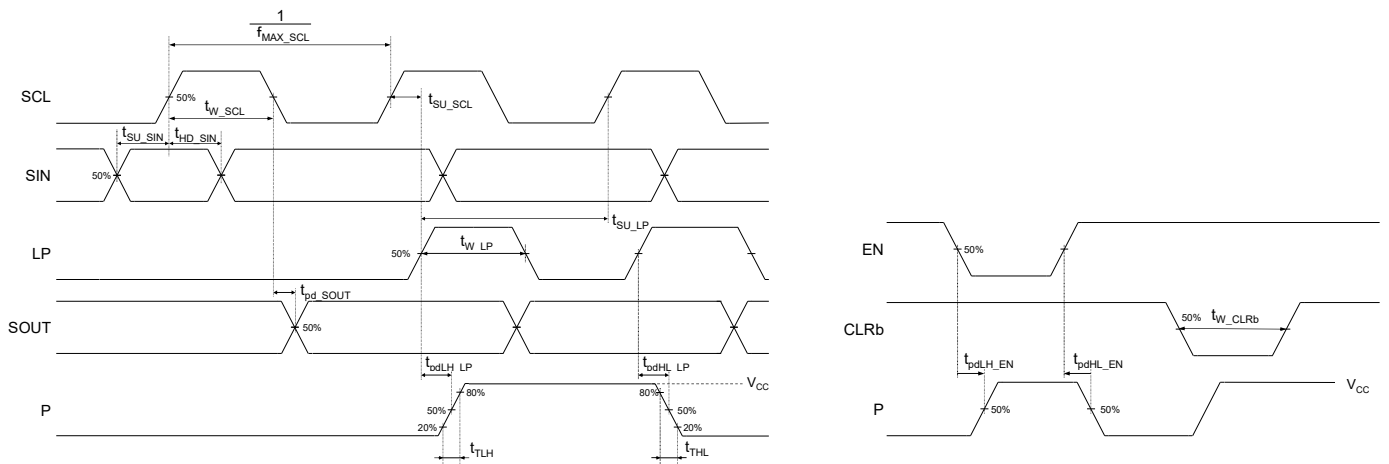
## ■アプリケーションノート・用語説明

### ・真理値表

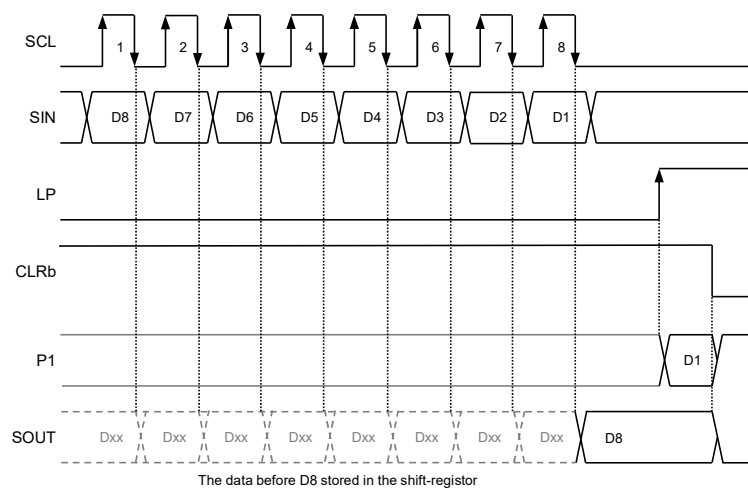
INPUT				P OUTPUT (プルアップ抵抗接続時)	動作
CLRb	EN	SCL	LP		
L	X	X	X	All OFF (H)	ラッチ回路と保護回路を全てリセットし、P OUTPUT はすべて OFF になります。シフトレジスタのデータは変化しません。
X	L	X	X	All OFF (H)	P OUTPUT はすべて OFF になります。シフトレジスタとラッチ回路のデータは変化しません。
H	H	↑	X	P0	SIN 端子の論理状態をシフトレジスタに取り込みます。ラッチ回路のデータと P OUTPUT は変化しません。
		X	↑	P	シフトレジスタのデータ P を一括してラッチ回路に転送し、P OUTPUT に反映します。
		↓	X	P0	変化しません。
		X	↓		

↑ : "L"から"H"への変化      H : ハイレベル      X : どちらでもよい  
 ↓ : "H"から"L"への変化      L : ローレベル  
 P0 : 表中の入力条件直前の P 出力レベル

### ・タイミングチャート・タイミング定義



### ・シリアルデータ出カタイミグ



### ・シリアルデータ入力(SIN 端子)

シフトクロックの立ち上がりごとに SIN 端子の論理状態を MSB ファーストで 8bit のシフトレジスタに取り込みます。尚、IC 内部のシフトレジスタとラッチ回路のデータ D1(LSB)~D8(MSB)は、それぞれ P1~P8 の出力論理に対応しています。

### ・シフトクロック入力(SCL 端子)

シフトクロックの立ち上がりで SIN 端子の論理状態をシフトレジスタに取り込みます。シフトクロックの立ち下がりではシフトレジスタに格納されている MSB データを SOUT から出力します。ラッチ回路のデータと P 出力は変化しません。

### ・ラッチ信号入力(LP 端子)

LP 端子の立ち上がりでシフトレジスタのデータを一括してラッチ回路に転送し、各 P 出力に反映します。

### ・クリア信号入力(CLRb 端子)

CLRb 端子を“L”にすることでラッチ回路と保護回路を全てリセットし、P 出力はすべて OFF になります。シフトレジスタのデータは変化しません。

### ・出力イネーブル信号入力(EN 端子)

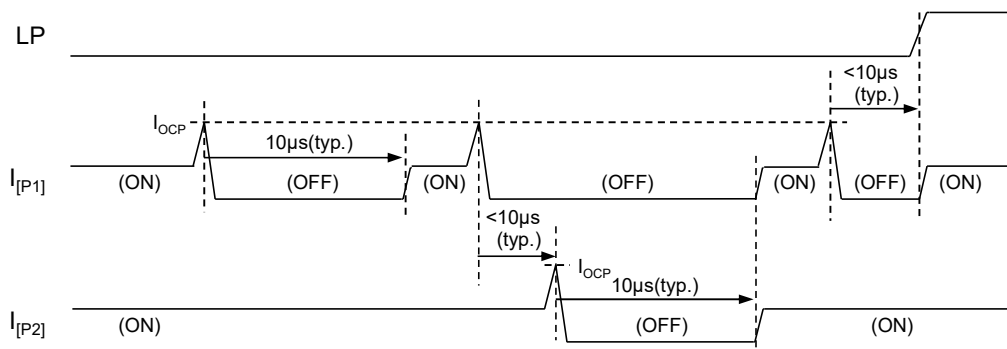
EN 端子を“L”にすることで P 出力はすべて OFF になります。シフトレジスタとラッチ回路のデータは変化しません。PWM 信号を入力することで、ON 状態の P 出力を直接 PWM 制御することも可能です。

### ・シリアルデータ出力(SOUT 端子)

カスケード接続時に使用します。SOUT 端子からは CLRb、EN、LP 端子に関係なく、シフトレジスタに格納されているシリアルデータをシフトクロックの立ち下がりと同期して出力します。

### ・過電流保護(OCP)

過電流検出は P1 - P8 出力毎に動作します。過電流を検出すると該当の P 出力を OFF にします。過電流検出後は、内部の OCP タイマが動作し 10 $\mu$ s (typ.) 経過するか、データを再セットすることで通常動作に復帰します。尚、P 出力が過電流検出され OFF している状態に、別の P 出力が過電流検出される場合は、内部の OCP タイマがリスタートします。そのため、該当の P 出力の復帰タイミングはすべて引き継がれる動作となります。



### ・過熱保護回路(TSD)

過熱保護回路は、IC 内部のジャンクション温度が上昇し  $T_{TSD\_DET}$  を超えると全 P 出力を OFF にします。IC 内部のジャンクション温度が  $T_{TSD\_REV}$  以下まで低下すると、通常動作状態に復帰します。尚、過熱保護回路が動作している場合でも、各入力信号の受付とシリアルデータ出力は行われます。但し、LP でデータを更新しても、出力への反映は通常動作状態への復帰時になります。



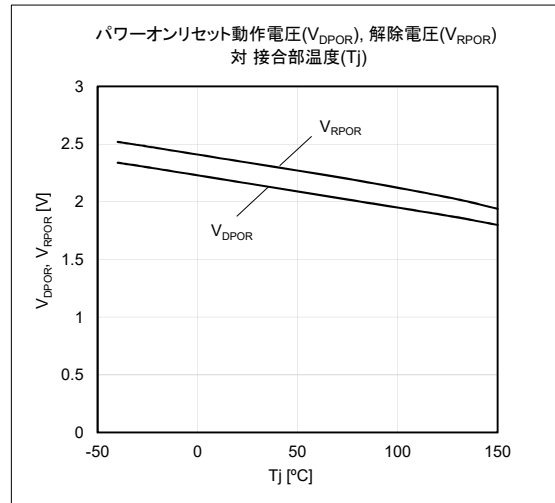
## ・パワーオンリセット機能

電源電圧端子にはパワーオンリセット機能が内蔵されています。

$V_{DD}$  電圧が  $V_{DPOR}(typ.)$  以下の状態では、すべての出力を OFF かつ内部状態(シフトレジスタ、ラッチ回路、保護回路)はすべて初期化されます。

従い、電源投入後など POR 解除後のシフトレジスタ、ラッチ回路に格納されているデータ(D1~D8)は、全て L レベルとなります。

$V_{DD}$  電圧が  $V_{RPOR}(typ.)$  以上になると正常動作となりますが、推奨動作電圧範囲( $V_{DD}=3.0V$  to  $5.5V$ )でご使用ください。

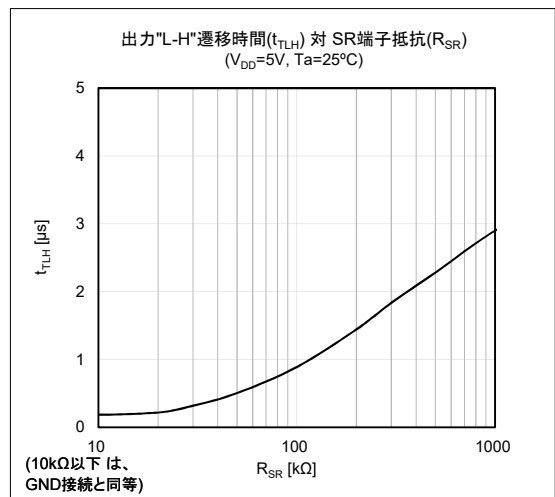
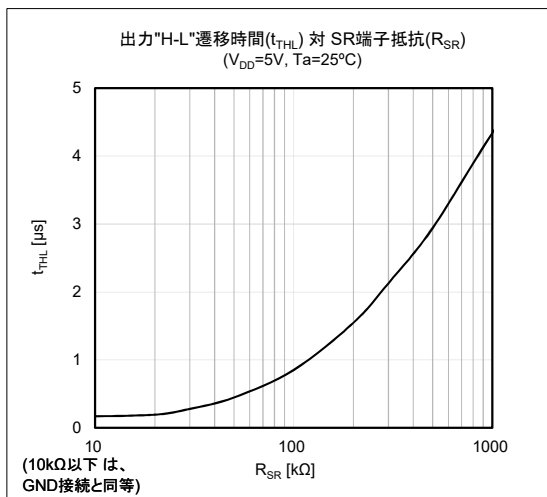


## ・出力スルーレート調整機能(SR 端子)

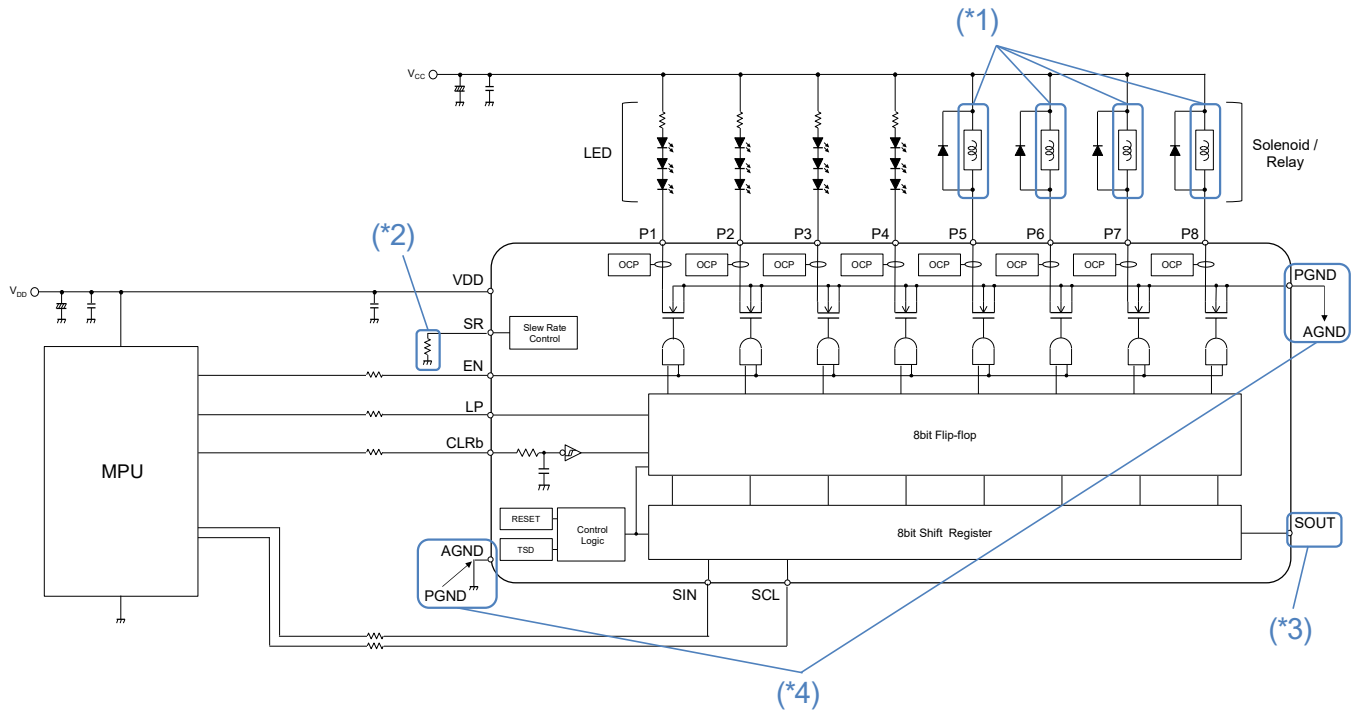
プルダウン抵抗を接続することで、接続した抵抗に流れる電流により出力FETのゲート電圧の立ち上がり/立ち下がり時間を調整できます。

プルダウン抵抗値は  $0\Omega$  (AGNDとショート) ~  $1M\Omega$  の間を推奨します。オープンにはしないでください。

使用しない場合は、SR 端子を AGND と接続してください。

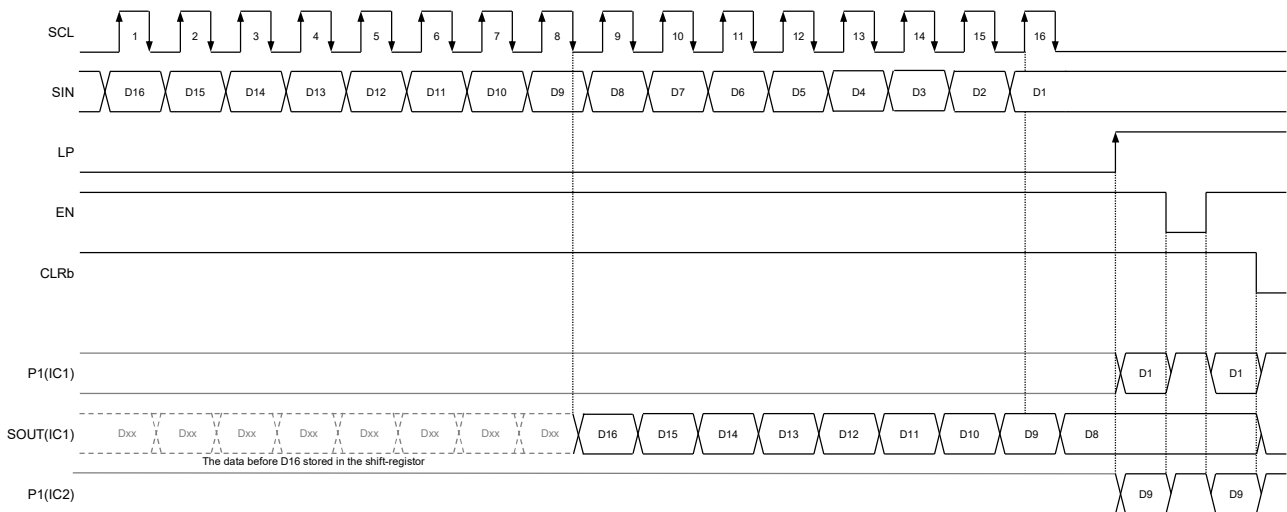
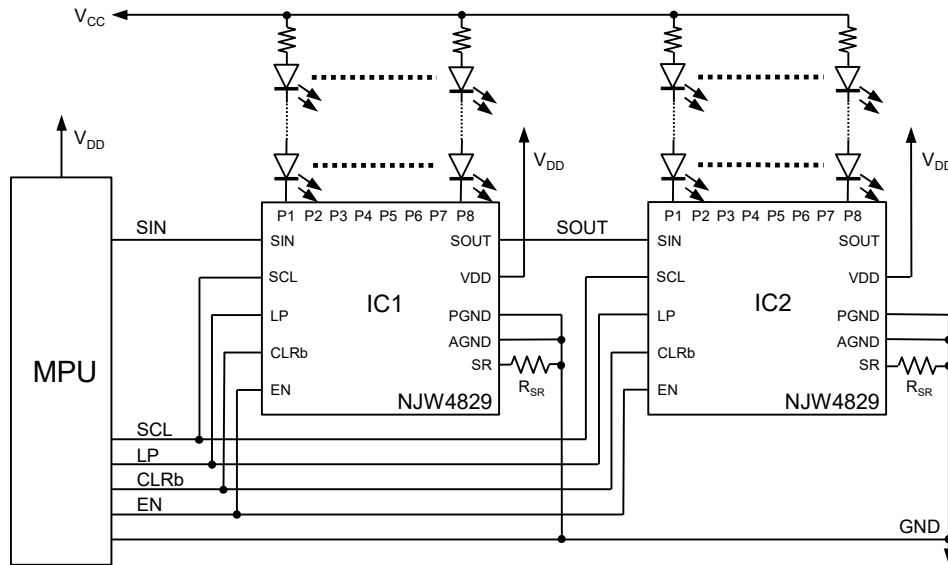


## ■ 応用回路例 1

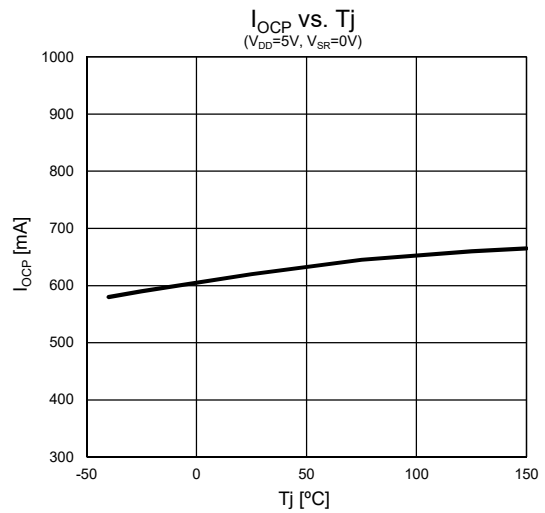
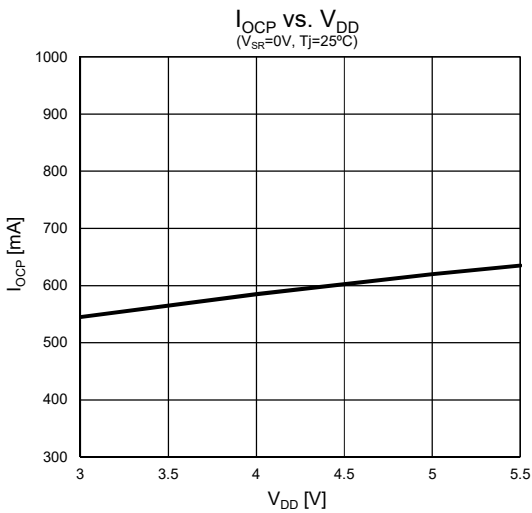
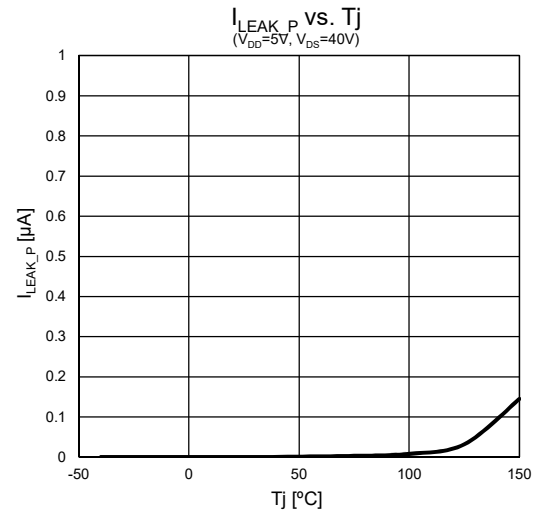
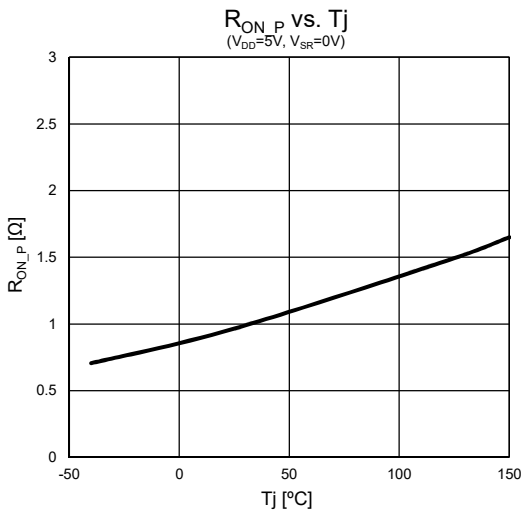
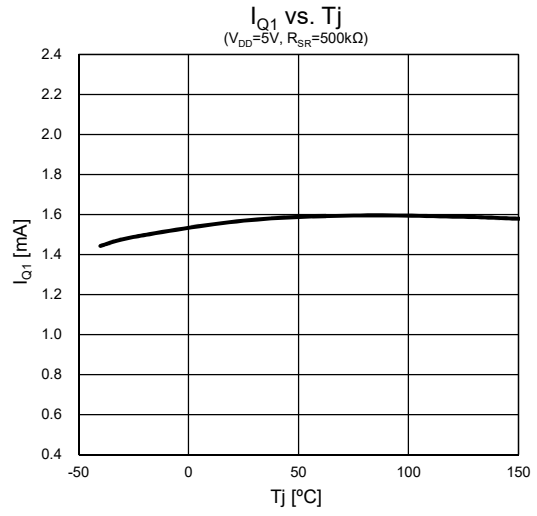
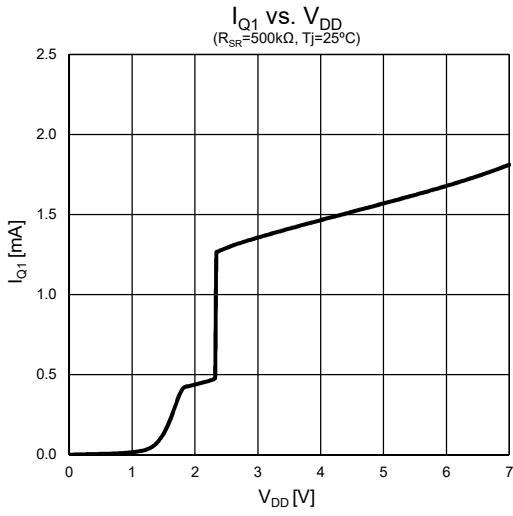


- (\*1): 出力端子はクランプ回路を内蔵していませんので、ソレノイドやリレーなど誘導性負荷を駆動する場合は、外部にダイオードを接続しターンオフ時の電流回生経路を確保してください。
- (\*2): SR 端子を使用しない場合は、AGND へ接続しオープンにはしないでください。
- (\*3): SOUT 端子を使用しない場合は、オープン、または高抵抗で AGND か VDD へ接続してください。
- (\*4): AGND と PGND は、各々に電位差が生じないように接続してください。

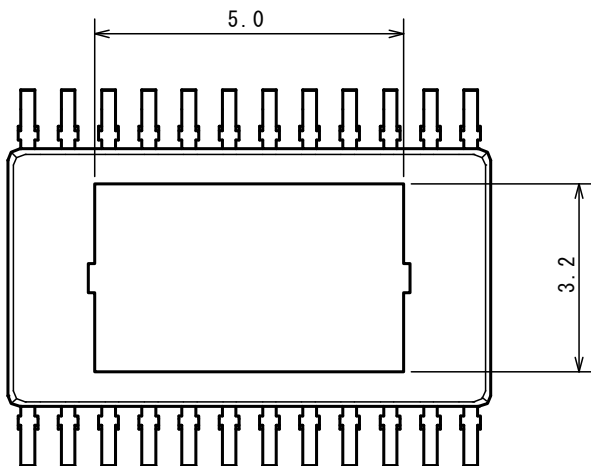
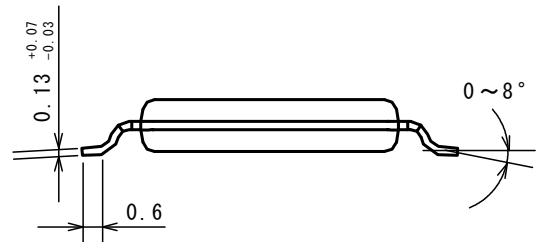
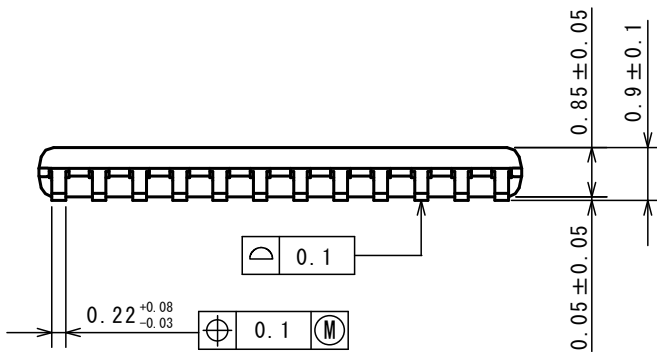
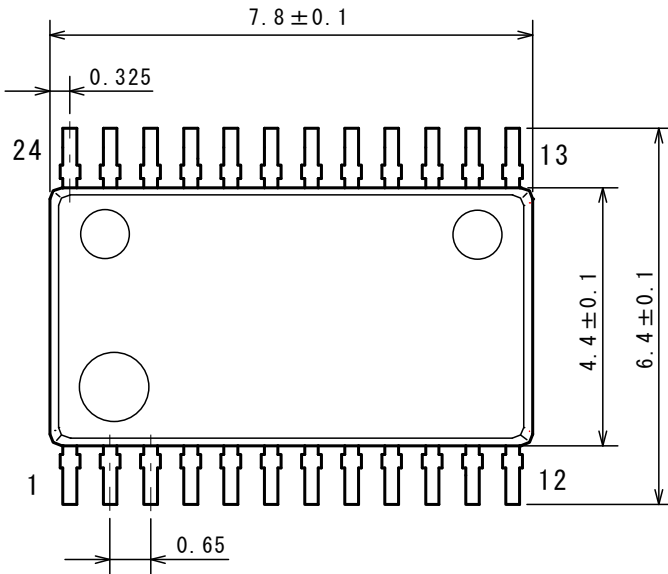
## ■ 応用回路例 2 (カスケード接続する場合)



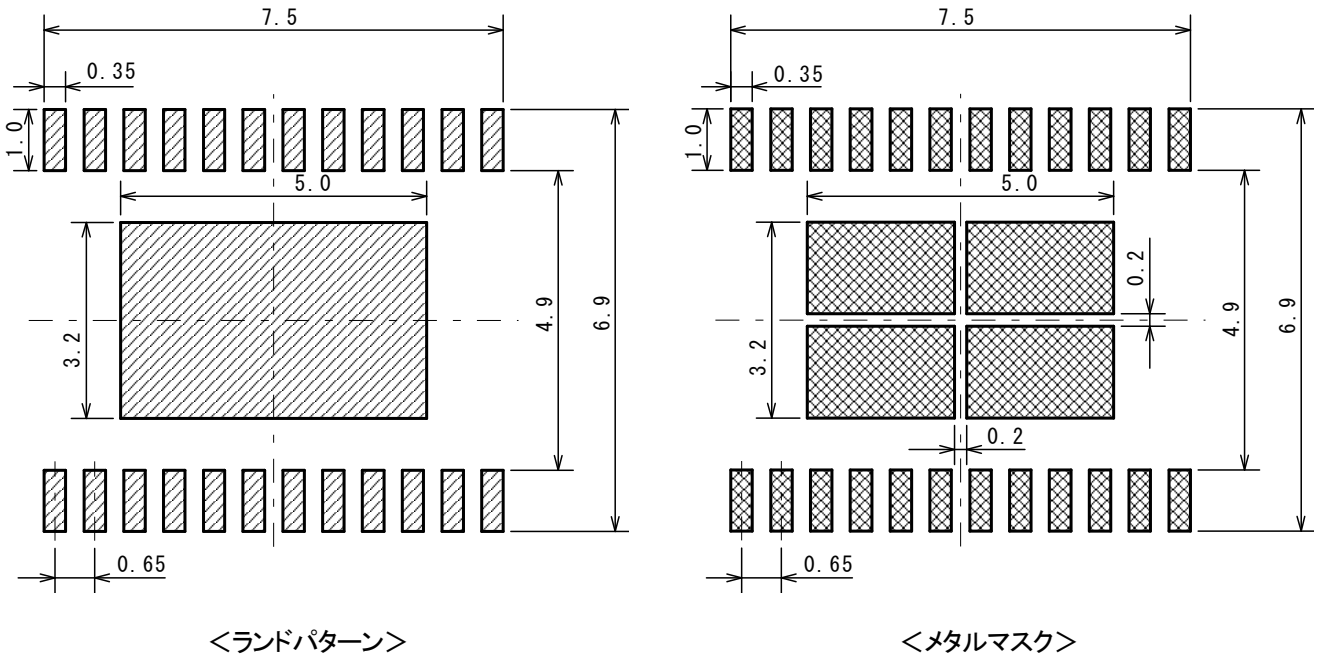
## ■ 特性例



■外形寸法図



### ■フットパターン



### <実装上の注意>

HTSSOP24-P1 パッケージの裏面電極がある為、実装の際には以下の点に注意していただきますようお願い致します。

(1) リード部と裏面電極のリフロー温度プロファイル

リード部と裏面電極部のリフロー温度プロファイルが、共に設定した温度以上であることが必要です。実装時にリード部と裏面電極部に温度差があり、はんだ熔融温度(ぬれ温度)より低い場合、実装不良が発生する可能性があります。

(2) フットパターン/メタルマスクのデザイン

はんだパターン印刷用のメタルマスク厚が“0.13mm”以上必要です。

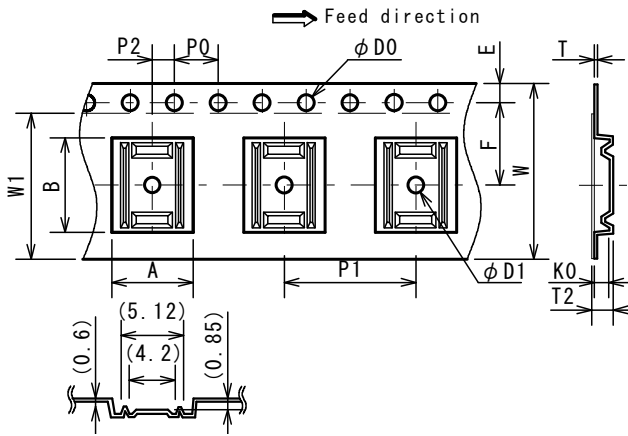
(3) はんだペースト

フットパターン/メタルマスクおよび以下のはんだペーストを用い実装評価を行っております。はんだ組成が同じでもメーカーや型番によって実装性が大きく異なる場合がありますので、ご使用のフットパターン/メタルマスク及びはんだペーストを用い実装性について事前評価することを強く推奨致します。

はんだペースト組成	Sn3Ag0.5Cu(千住金属工業製:M705-GRN350-32-11)
-----------	---------------------------------------

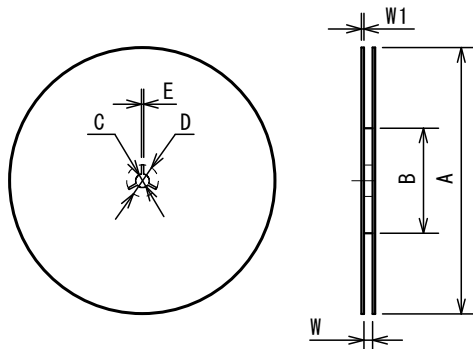
### ■包装仕様

#### テーピング寸法



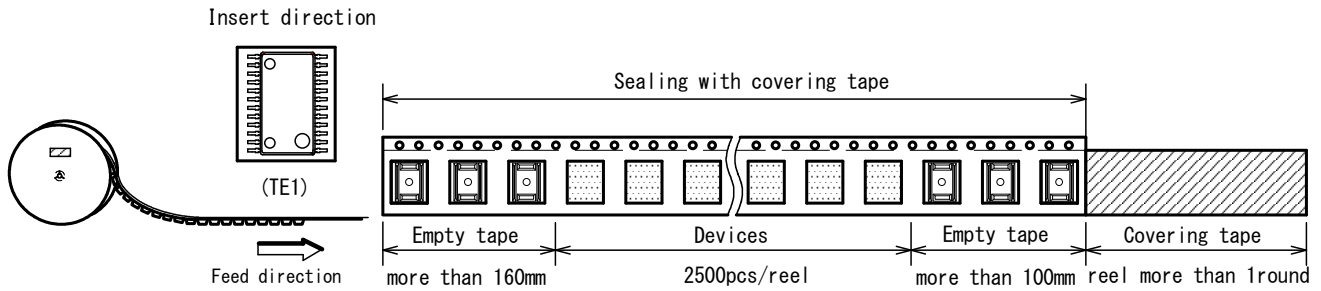
SYMBOL	DIMENSION	REMARKS
A	7.45±0.2	
B	8.60±0.1	
D0	1.5 <sup>+0.1</sup> <sub>0</sub>	
D1	1.5 <sup>+0.1</sup> <sub>0</sub>	
E	1.75±0.1	
F	7.5±0.1	
P0	4.0±0.1	
P1	12.0±0.1	
P2	2.0±0.1	
T	0.3±0.05	
T2	1.85	
K0	1.45±0.3	
W	16.0±0.3	
W1	13.3	THICKNESS 0.1max

#### リール寸法

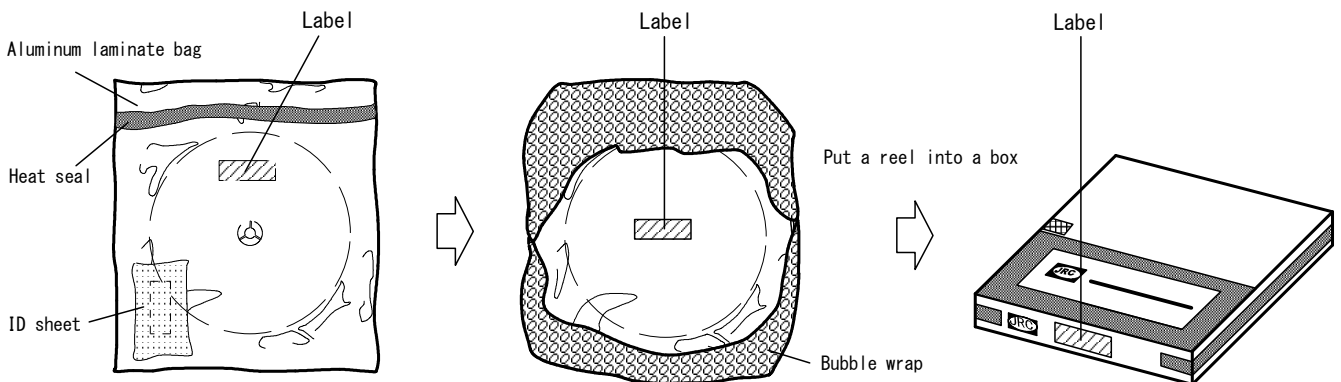


SYMBOL	DIMENSION
A	φ 330±2
B	φ 100±1
C	φ 13±0.2
D	φ 21±0.8
E	2±0.5
W	17.4±1
W1	2

#### テーピング状態



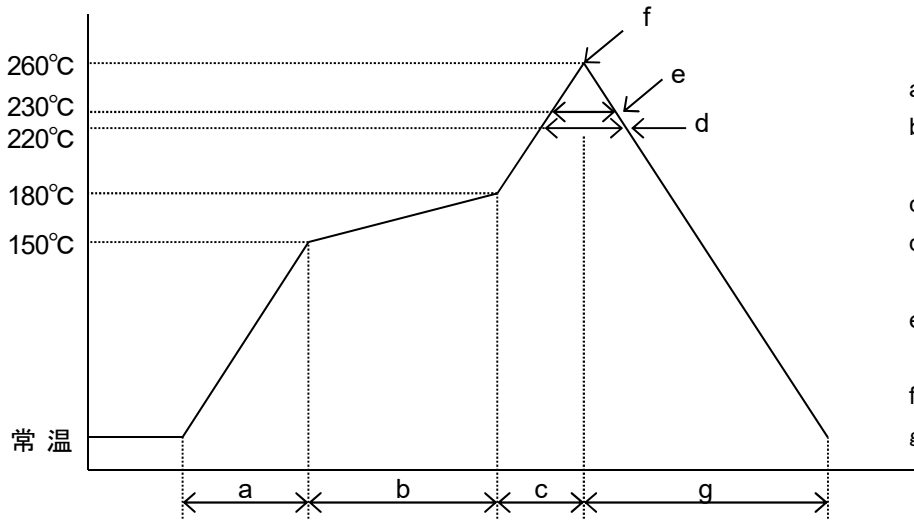
#### 梱包状態



## ■推奨実装方法

### ・リフローはんだ法

\* リフロー温度プロファイル



- a: 温度上昇勾配 : 1~4°C/s
- b: 予備加熱温度 : 150~180°C  
時間 : 60~120s
- c: 温度上昇勾配 : 1~4°C/s
- d: 実装領域 A 温度 : 220°C  
時間 : 60s 以内
- e: 実装領域 B 温度 : 230°C  
時間 : 40s 以内
- f: ピーク温度 : 260°C 以下
- g: 冷却温度勾配 : 1~6°C/s

温度測定点 : パッケージ表面



## ■改定履歴

日付	改訂	変更内容
2018.07.13	Ver.1.0	新規リリース

## ■注意事項

1. 当社は、製品の品質、信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生することがありますので、当社半導体製品の故障により結果として、人身事故、火災事故、社会的な損害等を生じさせることのないように、お客様の責任においてフェールセーフ設計、冗長設計、延焼対策設計、誤動作防止設計等の安全設計を行い、機器の安全性の確保に十分留意されますようお願いいたします。
2. このデータシートの掲載内容の正確さには万全を期しておりますが、掲載内容について何らかの法的な保証を行うものではありません。とくに応用回路については、製品の代表的な応用例を説明するためのものです。また、工業所有権その他の権利の実施権の許諾を伴うものではなく、第三者の権利を侵害しないことを保証するものでもありません。  
このデータシートに記載されている商標は、各社に帰属します。
3. このデータシートに掲載されている製品を、特に高度の信頼性が要求される下記の機器にご使用になる場合は、必ず事前に当社営業窓口までご相談願います。
  - ・ 航空宇宙機器
  - ・ 海底機器
  - ・ 発電制御機器 (原子力、火力、水力等)
  - ・ 生命維持に関する医療装置
  - ・ 防災/ 防犯装置
  - ・ 輸送機器 (飛行機、鉄道、船舶等)
  - ・ 各種安全装置
4. このデータシートに掲載されている製品の仕様を逸脱した条件でご使用になりますと、製品の劣化、破壊等を招くことがありますので、なさないように願います。仕様を逸脱した条件でご使用になられた結果、人身事故、火災事故、社会的な損害等を生じた場合、当社は一切その責任を負いません。
5. ガリウムヒ素(GaAs)の安全性について  
対象製品: GaAs MMIC、フォトリフレクタ  
ガリウムヒ素(GaAs)製品取り扱い上の注意事項  
この製品は、法令で指定された有害物のガリウムヒ素(GaAs)を使用しております。危険防止のため、製品を焼いたり、砕いたり、化学処理を行い気体や粉末にしないでください。廃棄する場合は関連法規に従い、一般産業廃棄物や家庭ゴミとは混ぜないでください。
6. このデータシートに掲載されている製品の仕様等は、予告なく変更することがあります。ご使用にあたっては、納入仕様書の取り交わしが必要です。

