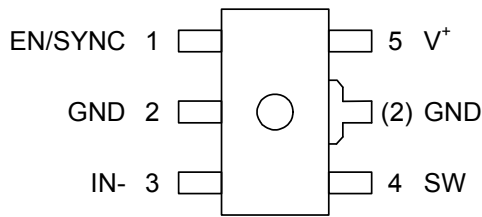
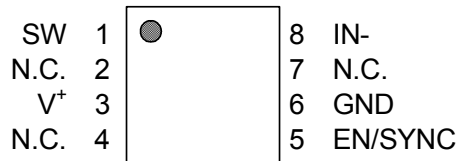


NJW4170

■端子配列

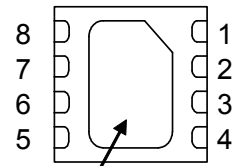


NJW4170U2



(Top View)

NJW4170KV1



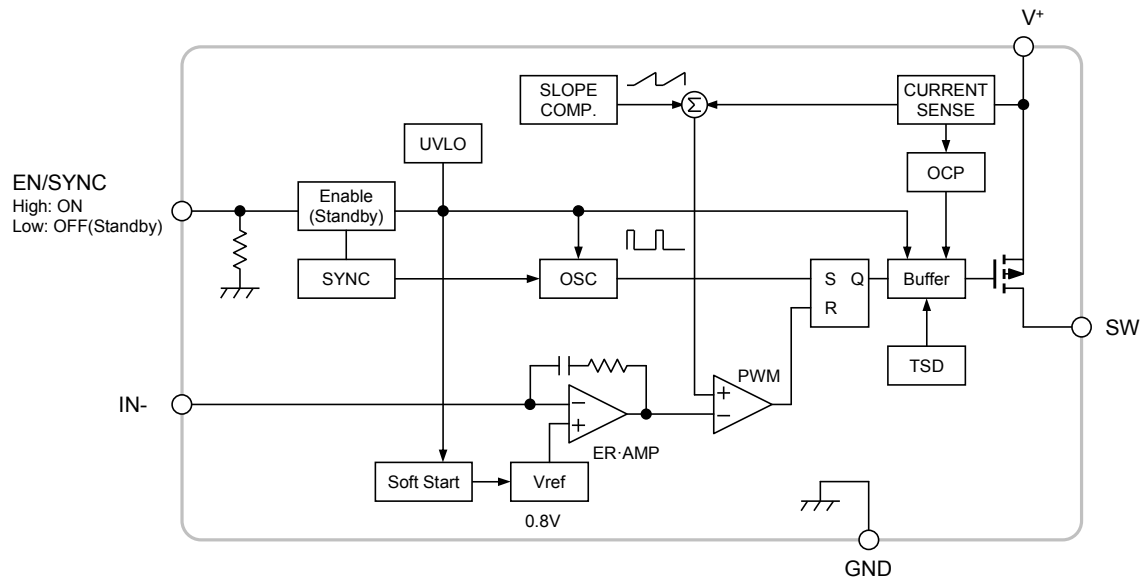
Exposed PAD on backside connect to GND.

(Bottom View)

■端子説明

端子名称	端子番号		機能
	SOT-89-5	ESON8	
EN/SYNC	1	5	NJW4170 の動作・停止を制御する端子です。 内部は 100kΩ でプルダウンされています。High レベルで動作、Low レベルまたはオープンでスタンバイモードとなります。 またクロック信号を入力することで、信号に同期した発振周波数で動作します。
GND	2	6	接地
IN-	3	8	出力電圧を検出する端子です。IN-端子電圧が基準電圧 0.8V typ.となるように出力電圧を抵抗分割して入力します。
SW	4	1	パワー-MOSFET のスイッチ出力端子です。
V ⁺	5	3	IC への電源供給端子です。電源供給のインピーダンスを下げるため、IC の近傍に入力コンデンサを接続してください。
N.C.	-	2, 4, 7	未接続
Exposed PAD	-	-	GND 端子に接続されています。 (ESON8 パッケージのみ)

■ブロック図



NJW4170

■絶対最大定格 (Ta=25°C)

項目	記号	定格	単位
入力電圧	V ⁺	-0.3~+45	V
V ⁺ -SW 端子電圧	V _{V-SW}	+45	V
EN/SYNC 端子電圧	V _{EN/SYNC}	-0.3~+45	V
IN-端子電圧	V _{IN-}	-0.3~+6	V
消費電力	P _D	SOT-89-5 625 (*1) 2,400 (*2) ESON8-V1 600 (*3) 1,800 (*4)	mW
接合部温度範囲	T _J	-40~+150	°C
動作温度範囲	T _{opr}	-40~+125	°C
保存温度範囲	T _{stg}	-50~+150	°C

(*1): 基板実装時 76.2×114.3×1.6mm(2層 FR-4)で EIA/JEDEC 規格サイズ、且つ銅箔面積 100mm²

(*2): 基板実装時 76.2×114.3×1.6mm(4層 FR-4)で EIA/JEDEC 準拠による

(4層基板内箔: 74.2×74.2mm、JEDEC 規格 JESD51-5 に基づき、基板にサーマルビアホールを適用)

(*3): 基板実装時 101.5×114.5×1.6mm(2層 FR-4)で EIA/JEDEC 規格サイズ、且つ Exposed Pad 使用

(*4): 基板実装時 101.5×114.5×1.6mm(4層 FR-4)で EIA/JEDEC 規格サイズ、且つ Exposed Pad 使用

(4層基板内箔: 99.5×99.5mm、JEDEC 規格 JESD51-5 に基づき、基板にサーマルビアホールを適用)

■推奨動作条件

項目	記号	最小	標準	最大	単位
電源電圧	V ⁺	4.5	-	40	V
外部クロック入力範囲					
Aバージョン	f _{SYNC}	2.3	-	2.8	MHz
Bバージョン		2.0	-	2.5	

■電気的特性 ($V^+=V_{EN\text{SYNC}}=12\text{V}$, $T_a=25^\circ\text{C}$)

項 目	記 号	条 件	最 小	標 準	最 大	単 位
-----	-----	-----	-----	-----	-----	-----

低電圧誤動作防止回路部

ON スレッシュホールド電圧	V_{T_ON}	$V^+=L \rightarrow H$	4.2	4.35	4.5	V
OFF スレッシュホールド電圧	V_{T_OFF}	$V^+=H \rightarrow L$	4.11	4.26	4.41	V
ヒステリシス幅	V_{HYS}		70	90	–	mV

ソフトスタート部

ソフトスタート時間	t_{SS}	$V_B=0.75\text{V}$	2.5	4	8	ms
-----------	----------	--------------------	-----	---	---	----

発振器部

発振周波数	f_{OSC}	A バージョン, $V_{IN}=0.7\text{V}$	2.2	2.4	2.6	MHz
		B バージョン, $V_{IN}=0.7\text{V}$	1.9	2.1	2.3	MHz
発振周波数 (低発振周波数コントロール時)	f_{OSC_LOW}	A バージョン, $V_{IN}=0.2\text{V}$	–	340	–	kHz
		B バージョン, $V_{IN}=0.2\text{V}$	–	290	–	kHz
周波数電源電圧変動	f_{DV}	$V^+=4.5\text{V}\sim 40\text{V}$	–	1	–	%
周波数温度変動	f_{DT}	$T_a=-40^\circ\text{C}\sim +85^\circ\text{C}$	–	5	–	%

誤差増幅器部

基準電圧	V_B		-1.0%	0.8	+1.0%	V
入力バイアス電流	I_B		-0.1	–	0.1	μA

PWM 比較器部

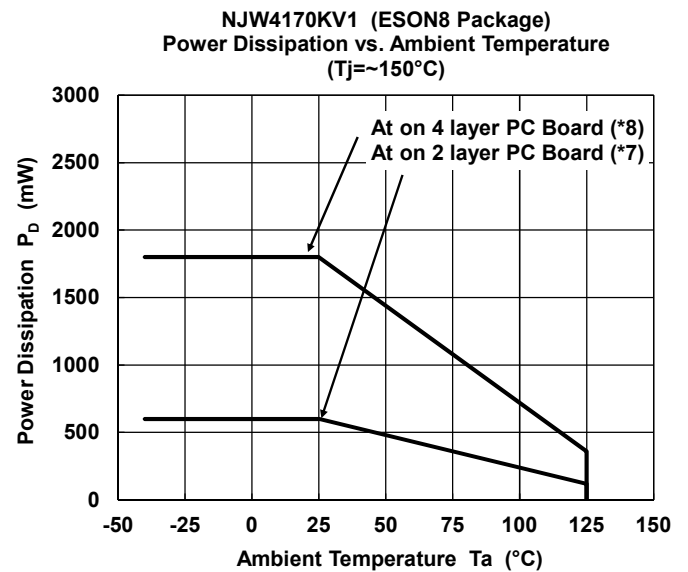
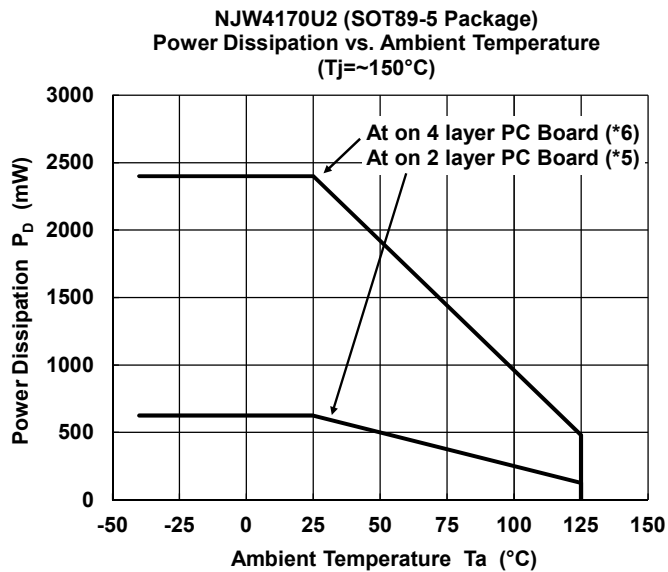
最大デューティサイクル	M_{AXDUTY}	A, B バージョン, $V_{IN}=0.7\text{V}$	77.5	82	–	%
最小 ON 時間 1 (内蔵発振時)	$t_{ON\text{-min}1}$	A バージョン	–	80	115	ns
		B バージョン	–	85	120	ns
最小 ON 時間 2 (外部同期時)	$t_{ON\text{-min}2}$	A バージョン $f_{SYNC}=2.6\text{MHz}$	–	80	115	ns
		B バージョン $f_{SYNC}=2.3\text{MHz}$	–	85	120	ns

NJW4170

■電気的特性 ($V^+=V_{\text{EN/SYNC}}=12\text{V}$, $T_a=25^\circ\text{C}$)

項 目	記 号	条 件	最小	標準	最大	単位
過電流保護回路部						
COOL DOWN 時間	t_{COOL}		–	75	–	ms
出力部						
出力 ON 抵抗	R_{ON}	$I_{\text{SW}}=1\text{A}$	–	0.4	0.65	Ω
スイッチング電流制限	I_{LIM}		1.4	1.9	2.4	A
SW リーク電流	I_{LEAK}	$V_{\text{EN/SYNC}}=0\text{V}$, $V^+=40\text{V}$, $V_{\text{SW}}=0\text{V}$	–	–	1	μA
スタンバイ制御部/同期入力部						
EN/SYNC 端子 High スレッシュホールド電圧	$V_{\text{THH_EN/SYNC}}$	$V_{\text{EN/SYNC}}=L \rightarrow H$	1.6	–	V^+	V
EN/SYNC 端子 Low スレッシュホールド電圧	$V_{\text{THL_EN/SYNC}}$	$V_{\text{EN/SYNC}}=H \rightarrow L$	0	–	0.5	V
入力バイアス電流 (EN/SYNC 端子)	I_{EN}	$V_{\text{EN/SYNC}}=12\text{V}$	–	270	390	μA
総合特性						
消費電流	I_{DD}	A, B バージョン, R_L =無負荷, $V_{\text{IN}}=0.9\text{V}$	–	2.0	2.4	mA
スタンバイ時消費電流	$I_{\text{DD_STB}}$	$V_{\text{EN/SYNC}}=0\text{V}$	–	–	1	μA

消費電力—周囲温度特性例



(*5): 基板実装時 76.2×114.3×1.6mm(2層 FR-4)で EIA/JEDEC 規格サイズ、且つ銅箔面積 100mm²

(*6): 基板実装時 76.2×114.3×1.6mm(4層 FR-4)で EIA/JEDEC 準拠による

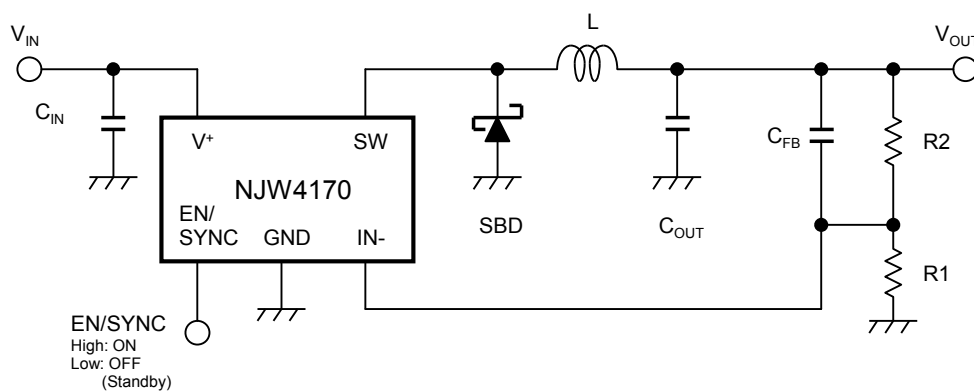
(4層基板内箔 : 74.2×74.2mm、JEDEC 規格 JESD51-5 に基づき、基板にサーマルビアホールを適用)

(*7): 基板実装時 101.5×114.5×1.6mm(2層 FR-4)で EIA/JEDEC 規格サイズ、且つ Exposed Pad 使用

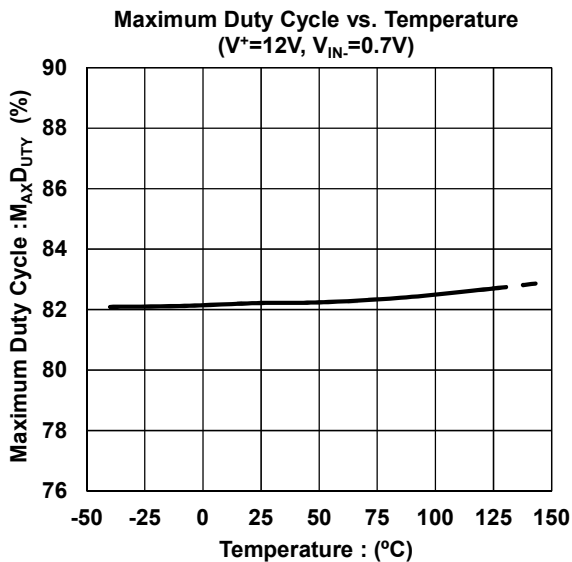
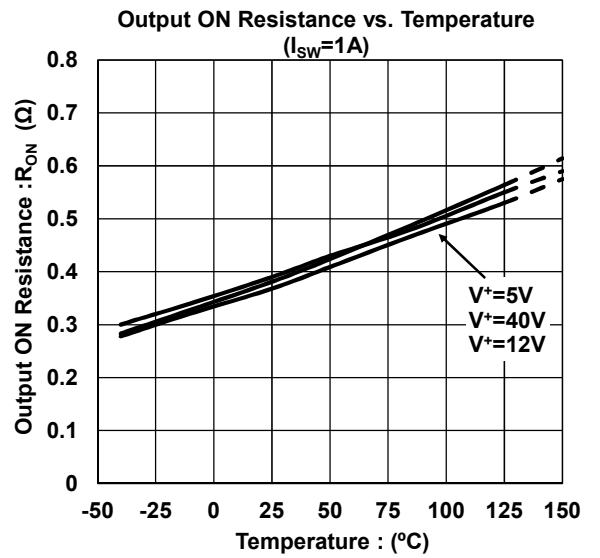
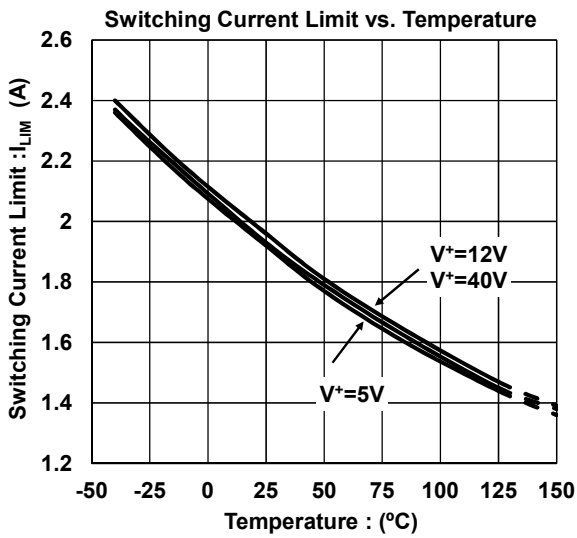
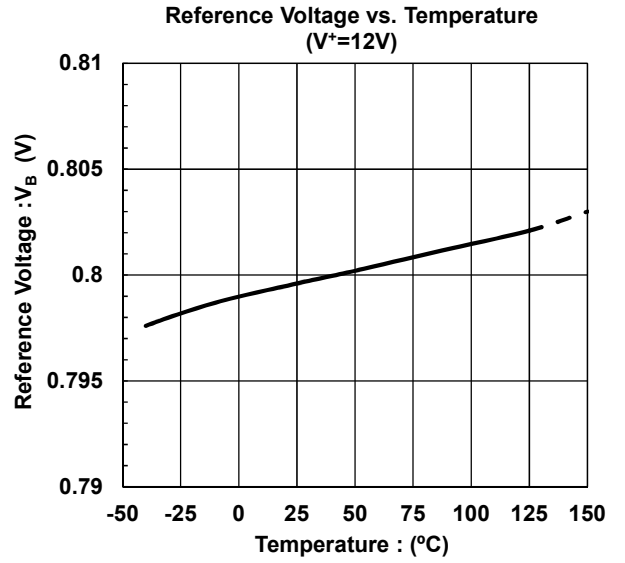
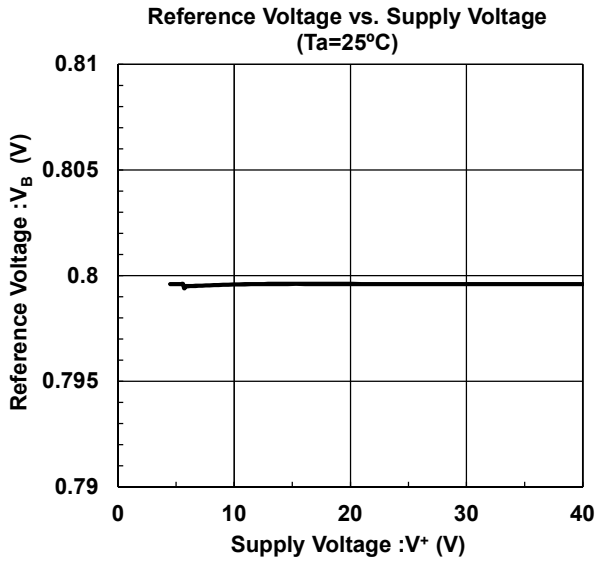
(*8): 基板実装時 101.5×114.5×1.6mm(4層 FR-4)で EIA/JEDEC 規格サイズ、且つ Exposed Pad 使用

(4層基板内箔 : 99.5×99.5mm、JEDEC 規格 JESD51-5 に基づき、基板にサーマルビアホールを適用)

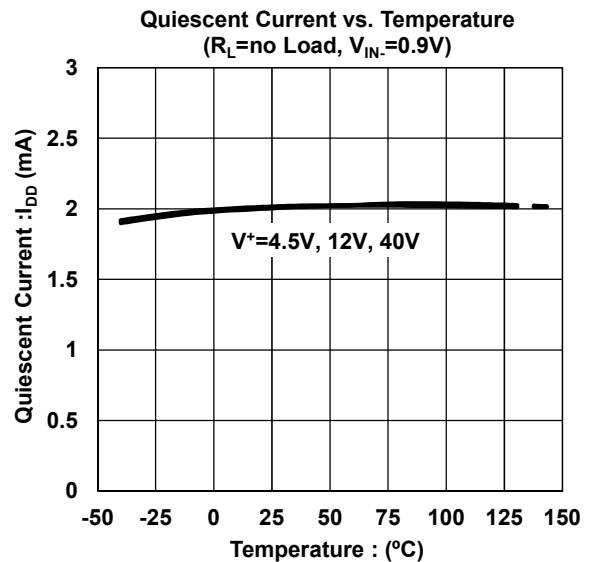
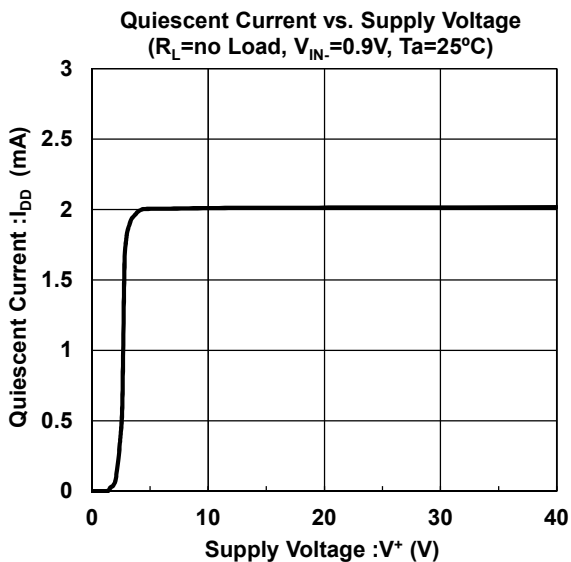
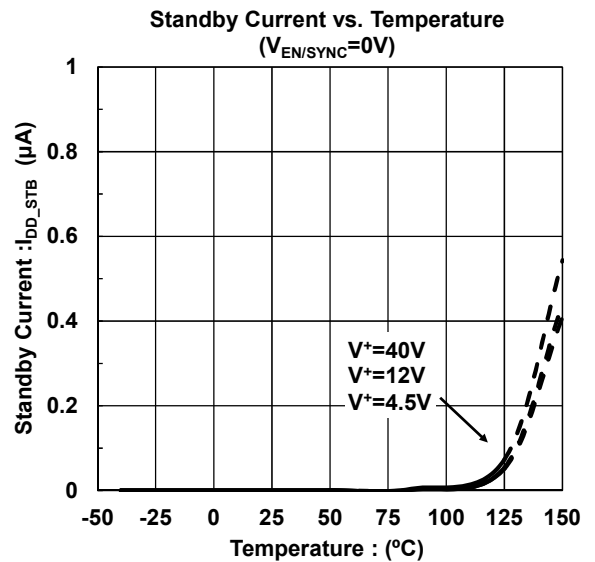
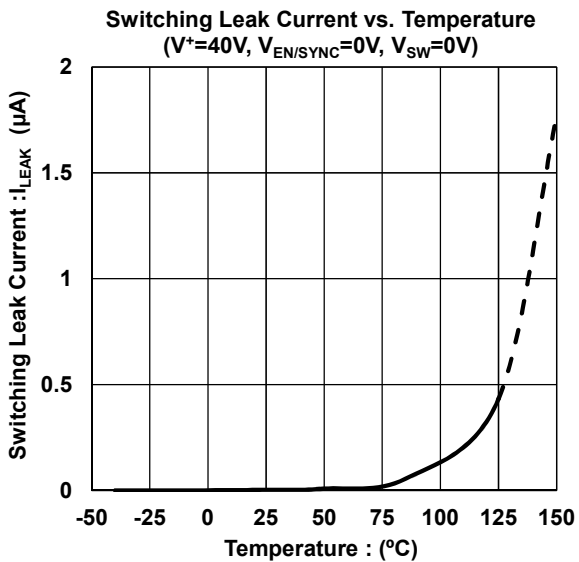
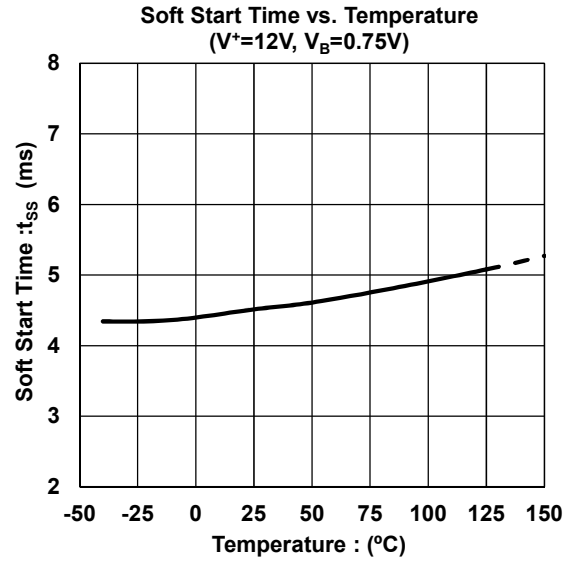
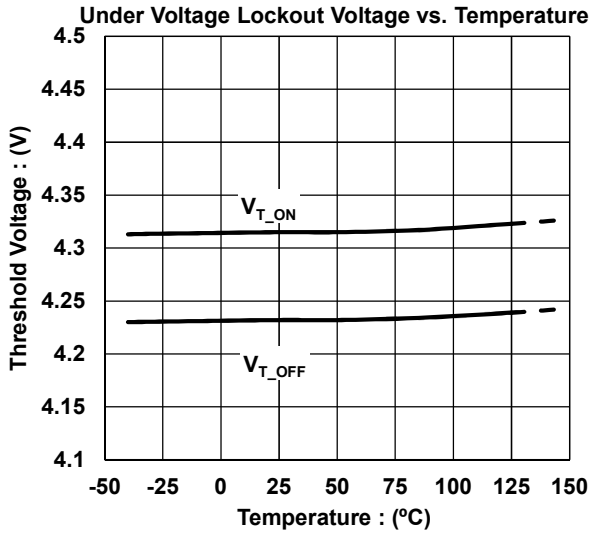
アプリケーション回路例



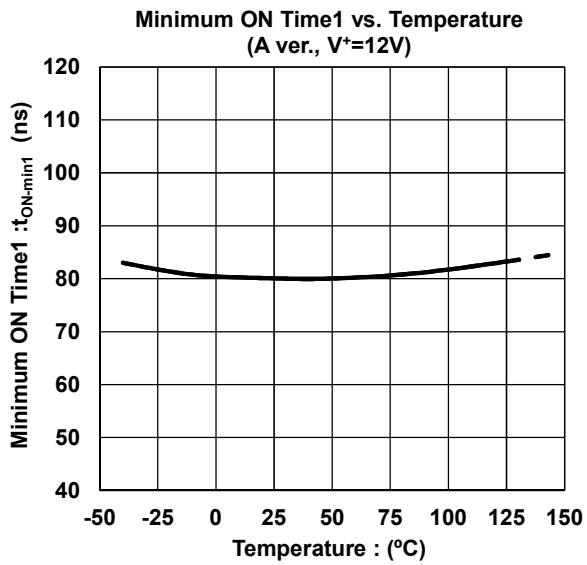
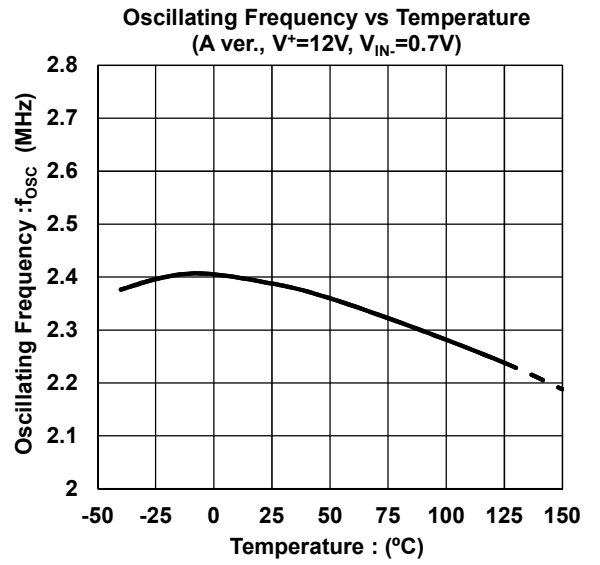
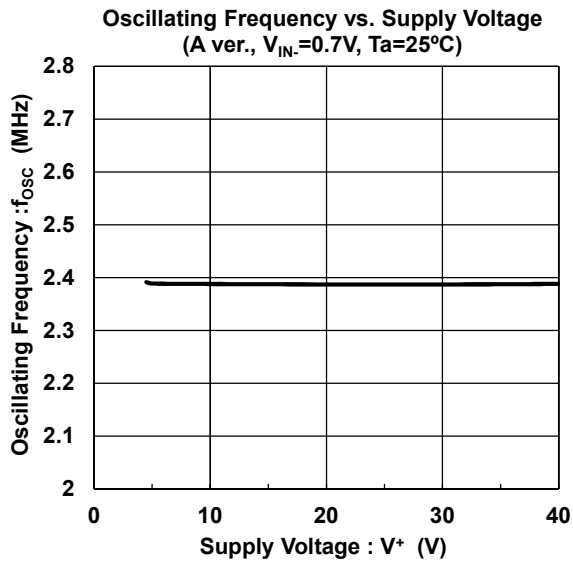
■特性例 (A, B version)



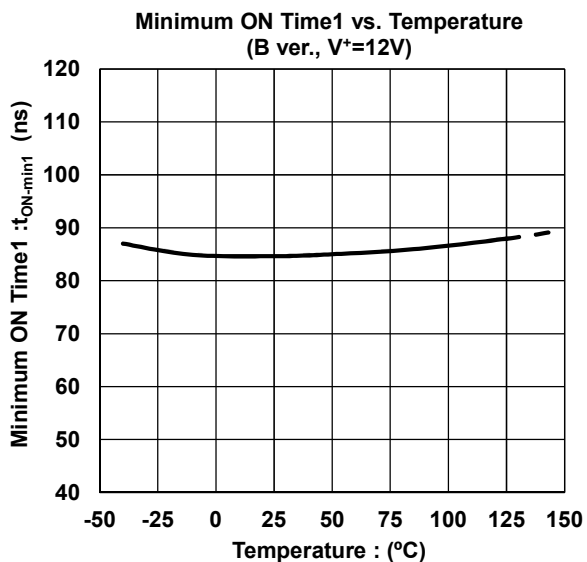
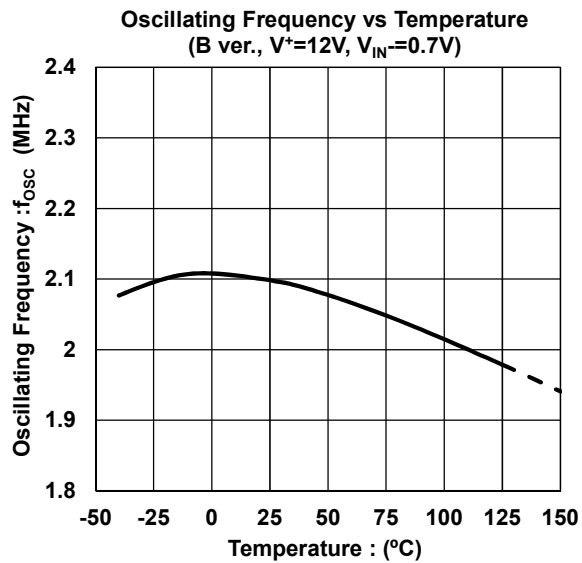
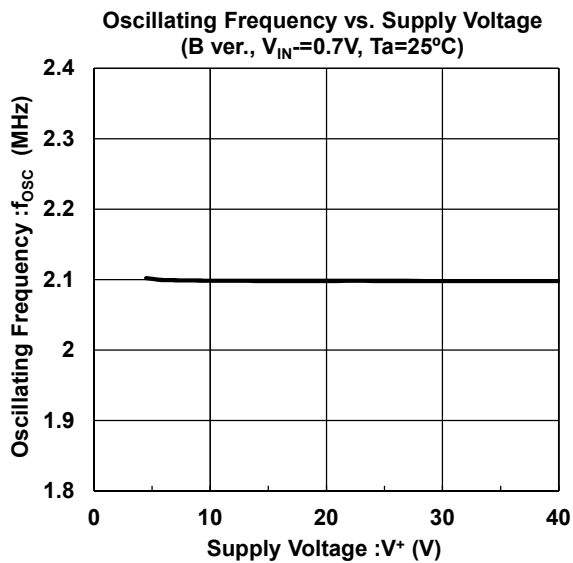
■特性例 (A,B version)



■特性例 (A version)



■特性例 (B version)



■各ブロックの機能説明

スイッチングレギュレータ基本機能

●エラーアンプ部 (ER-AMP)

エラーアンプ部の非反転入力は、 $0.8V \pm 1\%$ の高精度基準電圧が接続されています。

アンプの反転入力(IN-端子)にコンバータの出力を入力することで、出力電圧 $0.8V$ からのアプリケーション設計を容易にできます。出力電圧を $0.8V$ 以上にする場合は、出力電圧を抵抗分割することで設定します。

アンプ部では、最適なフィードバックが内蔵されているため、最小限の外付け部品でアプリケーション回路を構成できます。

●PWM 比較器部 (PWM)、発振回路部 (OSC)

NJW4170 は、固定周波数のカレントモード制御方式で動作します。

発振回路は、Aバージョン： $2.4MHz$ typ.、Bバージョン： $2.1MHz$ に設定されています。

PWM 比較器部では、出力電圧とスロープ補償されたスイッチング電流のフィードバックにより、PWM 信号を出力します。最大デューティー比は、 82% typ. です。

NJW4170 の最小 ON 時間 t_{ON-min} は、Aバージョン： $80ns$ typ.、Bバージョン： $85ns$ typ. に制限されています。

降圧回路の ON 時間は、下記式によって決まります。

$$t_{on} = \frac{V_{OUT}}{V_{IN} \times f_{OSC}} [s]$$

V_{IN} は入力電圧、 V_{OUT} は出力電圧を表します。ON 時間が t_{ON-min} 以下となる場合は、出力電圧を安定状態に保つためにデューティーの変動やパルススキップ動作を行う可能性があります。

●パワーMOSFET

内蔵されたパワーMOSFET のスイッチ動作によって、インダクタへ電力を供給します。過電流保護機能によって、パワーMOSFET に流せる電流は、 $I_{LM} = 1.4A$ min. に制限されます。降圧回路では、パワーMOSFET の OFF 時にインダクタ電流が外付けの再生ダイオードに流れて、順方向バイアス電圧を発生します。SW 端子は、 V^+ -SW 端子間電圧で $45V$ まで許容されますが、ショットキーダイオードの順方向飽和電圧が十分に低いものを使用してください。

●電源、GND 端子 (V^+ , GND)

スイッチング動作に伴い、周波数に応じた電流が IC に流れます。電源ラインのインピーダンスが高いと電源供給が不安定になり、IC の性能を十分に引き出せません。 V^+ 端子-GND 端子間の近傍にバイパスコンデンサを挿入し、高周波インピーダンスを下げてください。

2. 保護機能、付加機能

●低電圧誤動作防止(UVLO)回路

電源電圧が低い場合、UVLO 回路によって動作を停止し、電源電圧 4.35V typ.以上で UVLO 回路が解除されて IC の動作が開始します。電源電圧の立ち上がり立ち下がりに 90mV typ.のヒステリシス電圧幅を持たせています。これにより、UVLO の解除と動作のばたつきを防止し、NJW4170 を安定して動作させます。

●ソフトスタート機能

ソフトスタート機能によって、コンバータの出力電圧は設定値まで緩やかに電圧を上昇します。ソフトスタート時間は 4ms typ.であり、エラーアンプの基準電圧が 0~0.75V になるまでの時間で定義されます。(図 1) ソフトスタート回路は、UVLO 解除、サーマルシャットダウンからの復帰後に動作します。IN-端子が約 0.4V になるまで、低発振周波数にコントロールされ、発振周波数は A バージョンで 340kHz typ.、B バージョンで 290kHz typ.で動作します。

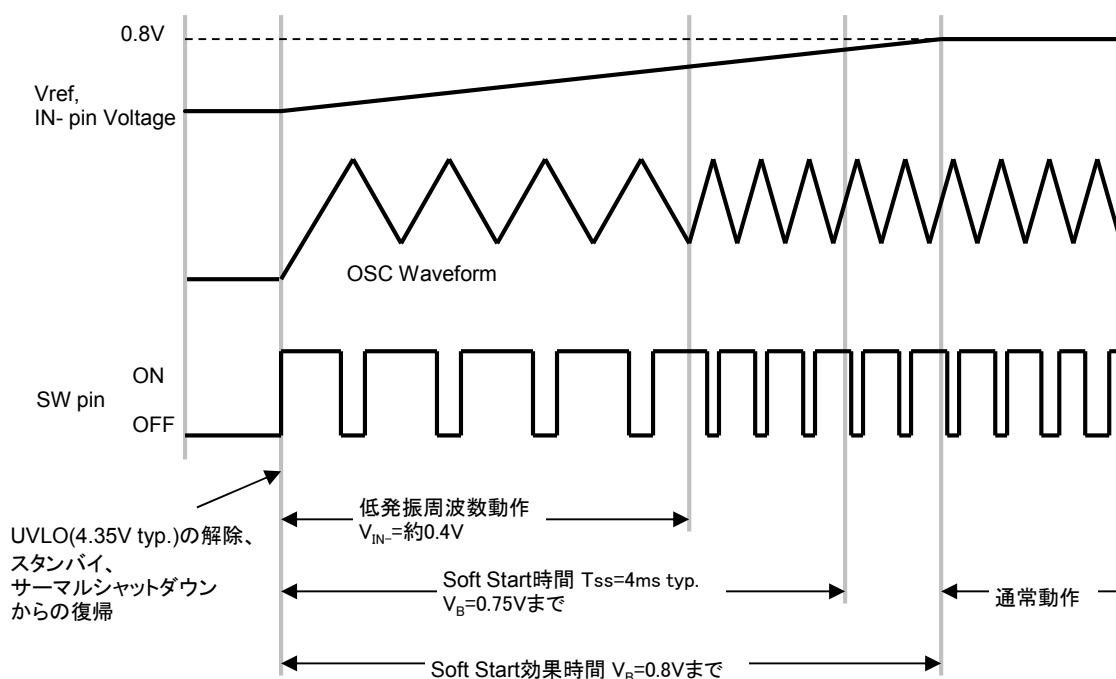


図 1 ソフトスタートのタイミングチャート

■各ブロックの機能説明 (続き)

●過電流保護機能 (OCP)

NJW4170にはヒカッパ(Hiccup)方式の過電流保護機能を内蔵しており、過負荷時の発熱を低減するとともに、過電流の異常状態から回復にともない、スイッチングレギュレータの出力電圧を自動的に復帰させることができます。

内蔵のパワー-MOSFETに I_{LIM} 以上の電流が流れると、過電流保護機能によってパワー-MOSFETをOFFにし、次の周期でスイッチング動作を復帰します。

IN-端子電圧が0.3V以下になると、低発振周波数にコントロールされ、発振周波数をAバージョンで340kHz typ.、Bバージョンで290kHz typ.で動作します。

同時にパルスカウンタを開始し、過電流検出を128パルス継続するとスイッチング動作を停止します。

停止後は、クールダウン時間75ms typ.経過後、ソフトスタートによる再起動を行います。

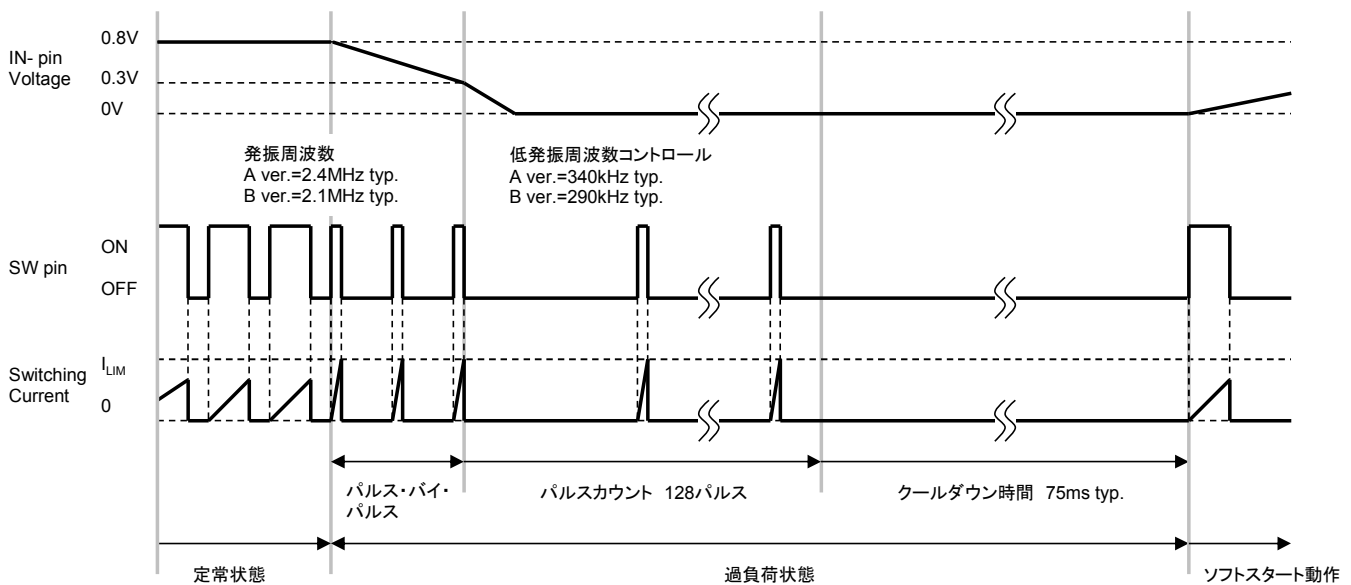


図2 過電流保護動作時のタイミングチャート

●サーマルシャットダウン機能 (TSD)

サーマルシャットダウン機能は、NJW4170のチップ温度が165°C*を超えるとSW動作を停止します。

チップ温度が150°C*以下になると、ソフトスタートによるSW動作が開始されます。

なおサーマルシャットダウン機能は、高温時におけるICの熱暴走を防止するための予備回路であり、不適切な熱設計を補うためでは有りません。ICのジャンクション温度(〜+150°C)範囲内で動作させるように、十分な余裕を満たすことをお奨めします。(*参考値)

●スタンバイ機能

EN/SYNC端子を0.5V max.以下にすることでNJW4170の機能を停止させスタンバイ状態にします。

内部は100kΩでプルダウンされており、端子オープン時はスタンバイモードに移行します。

スタンバイ機能を使用しない場合は、EN/SYNC端子をV⁺に接続してください。

■各ブロックの機能説明（続き）

●外部同期機能

EN/SYNC 端子に方形波を入力することで、NJW4170 の発振器を外部周波数に同期させることができます。方形波は、表 1 の仕様を満たす必要があります。

表 1 EN/SYNC 端子に入力する方形波

	Aバージョン ($f_{OSC} = 2.4\text{MHz}$)	Bバージョン ($f_{OSC} = 2.1\text{MHz}$)
入力周波数	2.3MHz~2.8MHz	2.0MHz~2.5MHz
デューティ サイクル	40%~60%	
電圧振幅	1.6V 以上 (High レベル) 0.5V 以下 (Low レベル)	

外部同期時のスイッチング動作は、入力信号の立ち上がりエッジに対してトリガを行います。またスタンバイ状態や非同期動作と外部同期動作の切り替わりでは、誤動作を防止するために約 5~10 μs の遅延時間を設けています。(図 3)

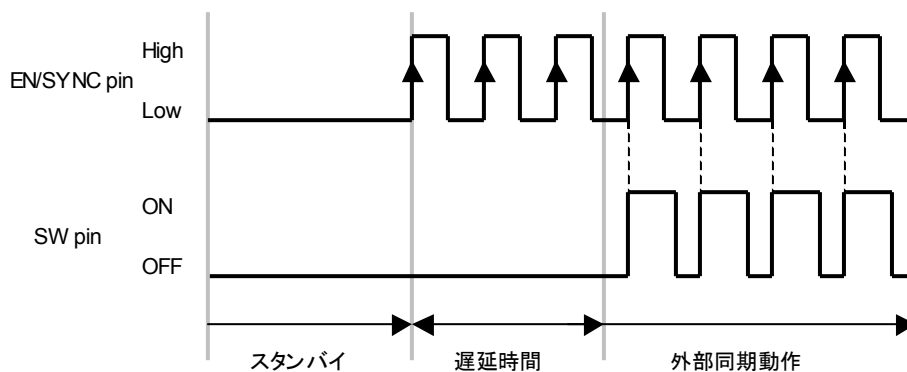


図 3 外部同期信号によるスイッチング動作

■アプリケーション情報

●インダクタ

インダクタには大電流が流れるため、飽和しない電流能力を持たせる必要があります。NJW4170 では、位相補償が内蔵されており、最適なL値は、入力電圧と出力電圧によって決まります。

L値が小さくなると、出力電流に対するピーク電流が大きくなり、変換効率が低下しやすくなります。(図4) また過電流リミットに掛かりやすくなるため、出力電流が制限される点に注意しなければいけません。ピーク電流は、下記式によって求められます。

$$\Delta I_L = \frac{(V_{IN} - V_{OUT}) \times V_{OUT}}{L \times V_{IN} \times f_{OSC}} [A]$$

$$I_{pk} = I_{OUT} + \frac{\Delta I_L}{2} [A]$$

アプリケーションの仕様、部品等によって最適な値は異なりますので、最終的には実機で微調整を行ってください。

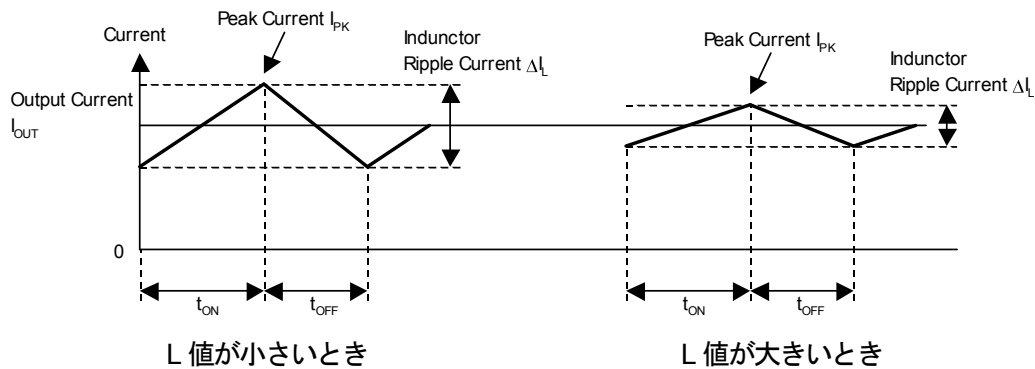


図4 インダクタ電流の状態（電流連続モード動作時）

■アプリケーション情報（続き）

●入力コンデンサ

スイッチングレギュレータの入力部には、周波数に応じた過渡的な電流が流れます。電源回路に供給される電源インピーダンスが大きいと入力電圧の変動につながり、NJW4170 の性能を十分に引き出せません。よって入力コンデンサは、できる限り IC の近くに挿入してください。

NJW4170 の入力コンデンサには、セラミックコンデンサが適しており、リップル電流を容易に満たすことができます。入力実効電流は、下記計算式で表せます。

$$I_{\text{RMS}} = I_{\text{OUT}} \times \frac{\sqrt{V_{\text{OUT}} \times (V_{\text{IN}} - V_{\text{OUT}})}}{V_{\text{IN}}} \text{ [A]}$$

上記計算式は、 $V_{\text{IN}}=2 \times V_{\text{OUT}}$ 時が最大になり、その時の結果は、 $I_{\text{RMS}}=I_{\text{OUT(MAX)}} \div 2$ です。

入力コンデンサの選定は、アプリケーションで評価の上、十分なマージンを持った物をご使用ください。

●出力コンデンサ

出力コンデンサは、インダクタンスからの電力を蓄え、出力への供給電圧を安定させる役割をします。

NJW4170 は、低 ESR の出力コンデンサが使用できるように位相補償を設定しており、セラミックコンデンサが最適です。

セラミックコンデンサは、DC 電圧印加や温度変化によって容量が低下するため、スペックシート等で特性を確認してください。

出力コンデンサの選定には、ESR(等価直列抵抗 : Equivalent Series Resistance)の特性、リップル電流、耐圧を考慮に入れる必要が有ります。

低 ESR タイプのコンデンサであれば、リップル電圧を下げるすることができます。

出力リップル電圧は、下記計算式で表せます。

$$V_{\text{ripple(p-p)}} = \Delta I_L \times \left(\text{ESR} + \frac{1}{8 \times f_{\text{OSC}} \times C_{\text{OUT}}} \right) \text{ [V]}$$

コンデンサに流れるリップル電流の実効値(I_{rms})は、下記計算式で表せます。

$$I_{\text{rms}} = \frac{\Delta I_L}{2\sqrt{3}} \text{ [Arms]}$$

■アプリケーション情報（続き）

●キャッチ・ダイオード

パワーMOSFETがOFFサイクルの時は、インダクタに蓄えられた電力がキャッチ・ダイオードを經由して出力コンデンサに流れます。そのためダイオードにはサイクル毎に、負荷電流に応じた電流が流れます。ダイオードの順方向飽和電圧と電流の積が電力損失となるため、順方向飽和電圧の低いSBD (Schottky Barrier Diode)が最適です。

また SBD は、逆回復時間が短い特徴を併せて持っています。逆回復時間が長くなると、スイッチングトランジスタがOFFからONサイクルに移行した時、貫通電流が流れてしまいます。この電流によって効率の低下、ノイズの発生等に影響を及ぼす可能性が有ります。

●出力電圧設定抵抗、補償用コンデンサ

出力電圧 V_{OUT} は、R1, R2の抵抗比で決まります。R1, R2に流れる電流は、Error AMPに流れるバイアス電流を無視できるような値とします。

$$V_{OUT} = \left(\frac{R2}{R1} + 1 \right) \times V_B \text{ [V]}$$

R2と C_{FB} によって、ゼロ点(f_{z1})が形成され、スイッチングレギュレータの位相を補償します。

ゼロ点は、下記計算式で表せます。

$$f_{z1} = \frac{1}{2 \times \pi \times R2 \times C_{FB}} \text{ [Hz]}$$

f_{z1} は、60k~80kHz程度を目安に設定してください。

■アプリケーション情報 (続き)

●基板レイアウト

スイッチングレギュレータは、インダクタの充放電によって出力へ電力供給を行います。発振周波数に応じて電流が流れるため、基板のレイアウトは重要な項目です。大電流の流れるラインは太く、短くし、ループ面積を最小限にしてください。図5に降圧回路における電流ループを示します。

特にスイッチングにおける高速な電流変化を伴う C_{IN} —SW—SBD 間は、最優先でループを構成します。寄生インダクタによって発生するスパイクノイズを低減するのに効果的です。

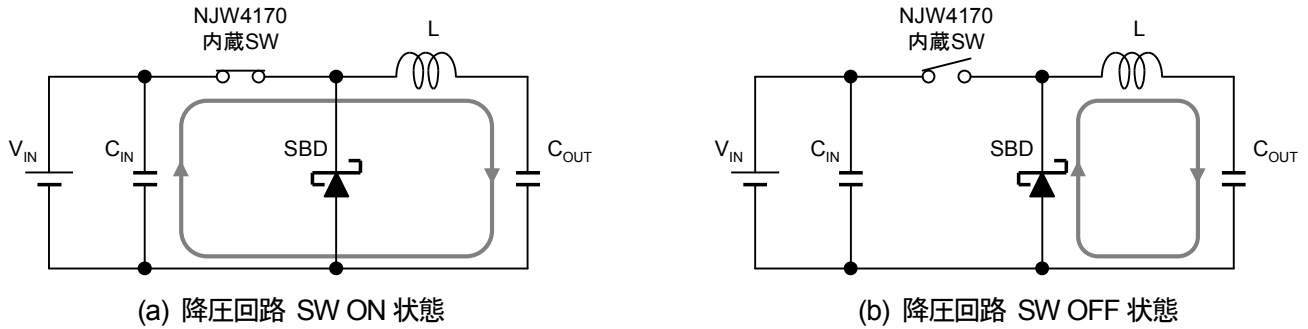


図5 降圧回路における電流ループ

GNDラインは、パワー系と信号系を分離した上で1点アースをとるのが望ましい接続です。

また電圧検出のフィードバックラインは、できるだけインダクタンスから離します。本ラインはインピーダンスが高いため、インダクタンスからの漏れ磁束でノイズの影響を避けるように配線します。

図6に降圧回路での配線例、図7にレイアウト例を示します。

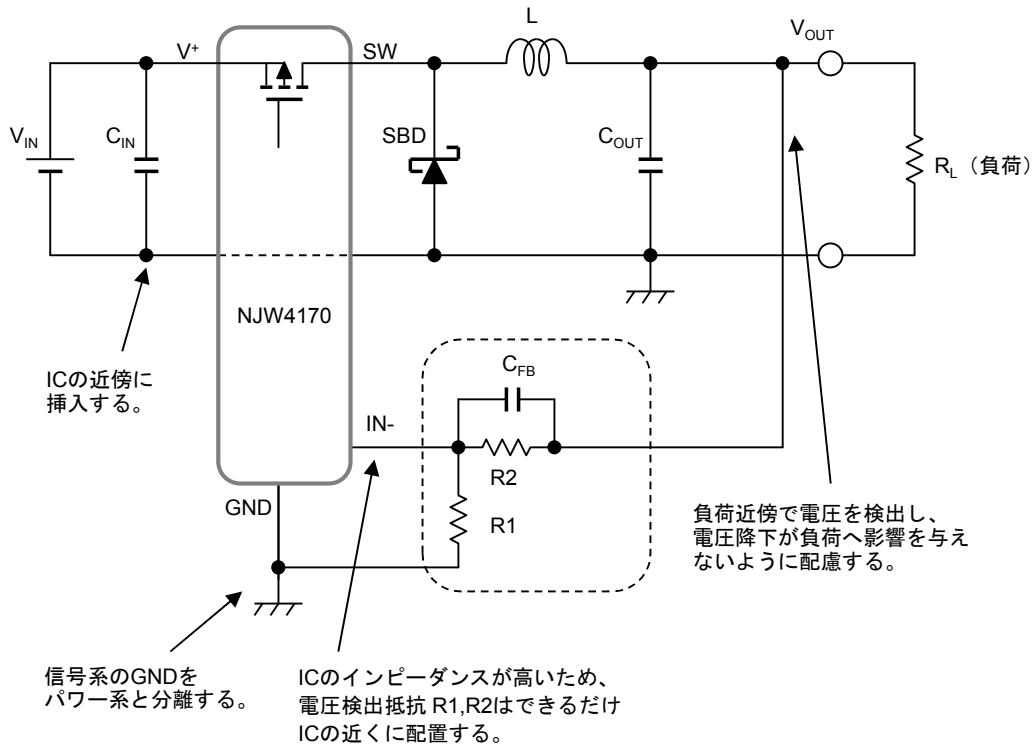
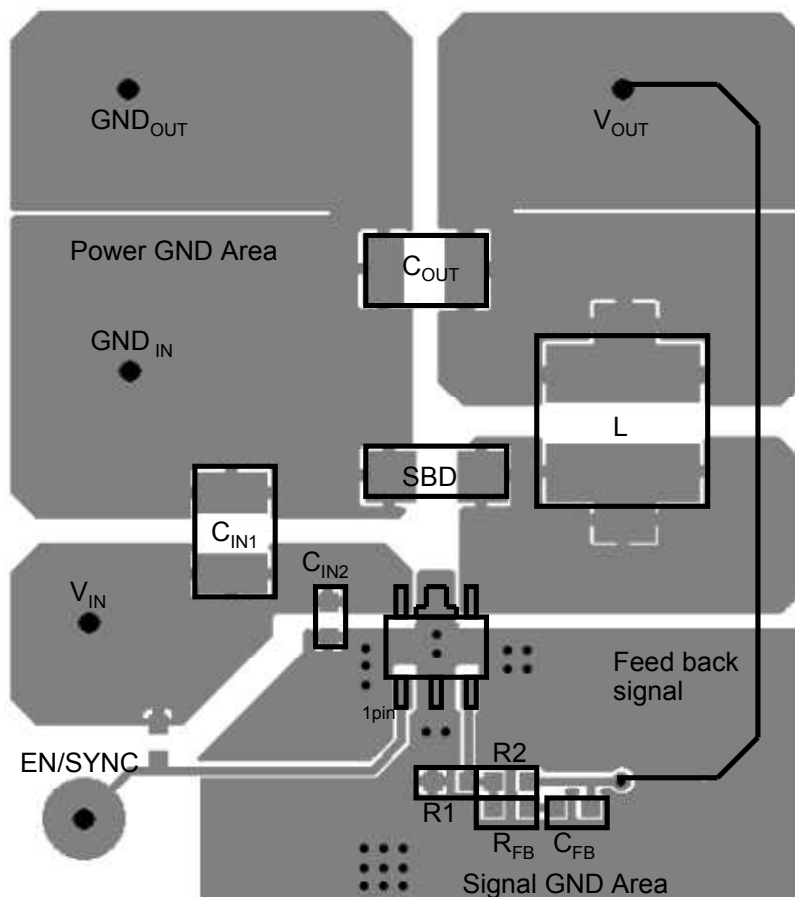


図6 降圧回路での配線例

■アプリケーション情報 (続き)



裏面にてパワー系 GND と信号系 GND を接続

図7 レイアウト例 (上面パターン)

■パッケージパワーの計算

降圧回路の損失の多くは、スイッチ動作を行う NJW4170 のパワーMOSFET によって発生します。そのため下記式を目安に NJW4170 の損失として考えます。

$$\begin{aligned} \text{入力電力} & : P_{\text{IN}} = V_{\text{IN}} \times I_{\text{IN}} \quad [\text{W}] \\ \text{出力電力} & : P_{\text{OUT}} = V_{\text{OUT}} \times I_{\text{OUT}} \quad [\text{W}] \\ \text{ダイオードの損失} & : P_{\text{DIODE}} = V_{\text{F}} \times I_{\text{L(avg)}} \times \text{OFF duty} \quad [\text{W}] \\ \text{NJW4170 の消費電力} & : P_{\text{LOSS}} = P_{\text{IN}} - P_{\text{OUT}} - P_{\text{DIODE}} \quad [\text{W}] \end{aligned}$$

ただし、

V_{IN}	: コンバータの入力電圧	I_{IN}	: コンバータの入力電流
V_{OUT}	: コンバータの出力電圧	I_{OUT}	: コンバータの出力電流
V_{F}	: ダイオードの順方向飽和電圧	$I_{\text{L(avg)}}$: インダクタ平均電流
OFF duty	: スイッチ OFF デューティ		

変換効率 η は、下記式によって求められます。

$$\eta = (P_{\text{OUT}} \div P_{\text{IN}}) \times 100 \quad [\%]$$

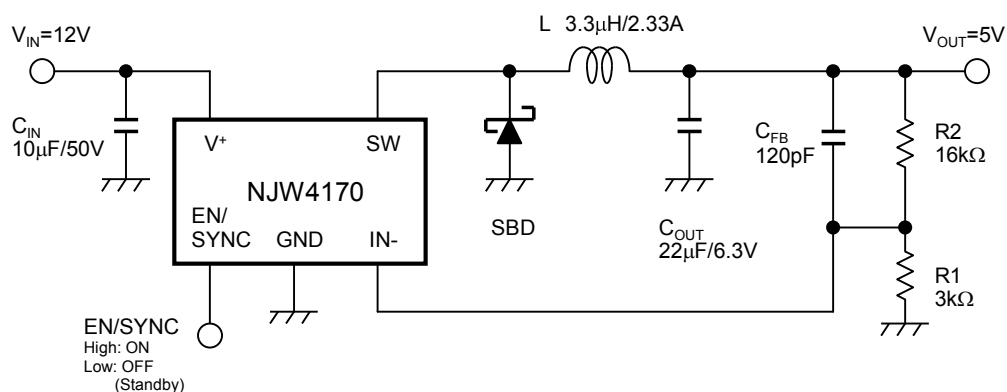
求めた消費電力 P_{D} に対して温度ディレーティングを考慮します。

「Power Dissipation vs. Ambient Temperature」特性例を参考に、定格内に収まるか確認してください。

■アプリケーション設計例

●降圧アプリケーション仕様

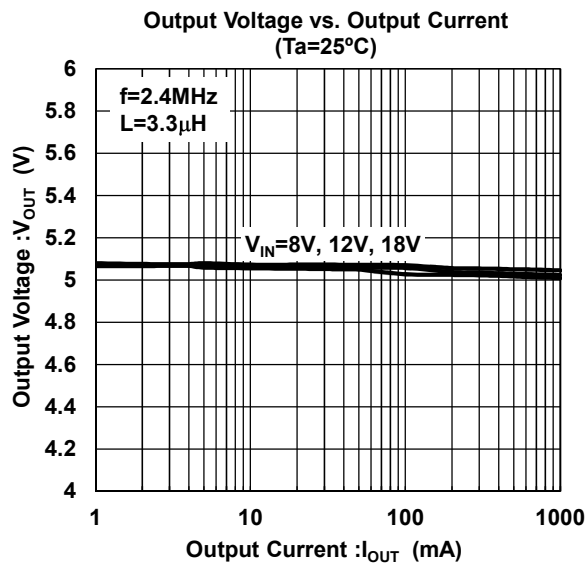
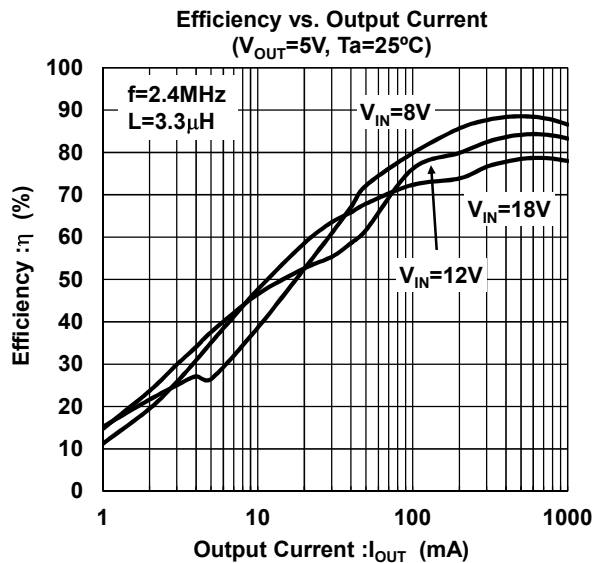
IC : NJW4170U2
 入力電圧 : $V_{IN}=12V$
 出力電圧 : $V_{OUT}=5V$
 出力電流 : $I_{OUT}=1A$
 発振周波数 : A version $f_{OSC}=2.4MHz$
 : B version $f_{OSC}=2.1MHz$



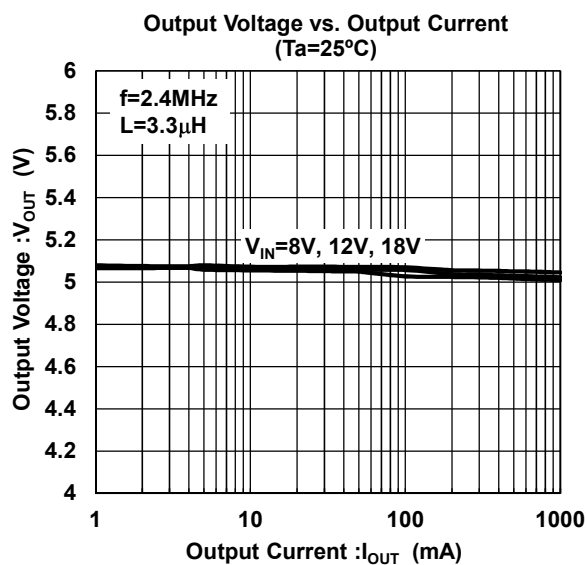
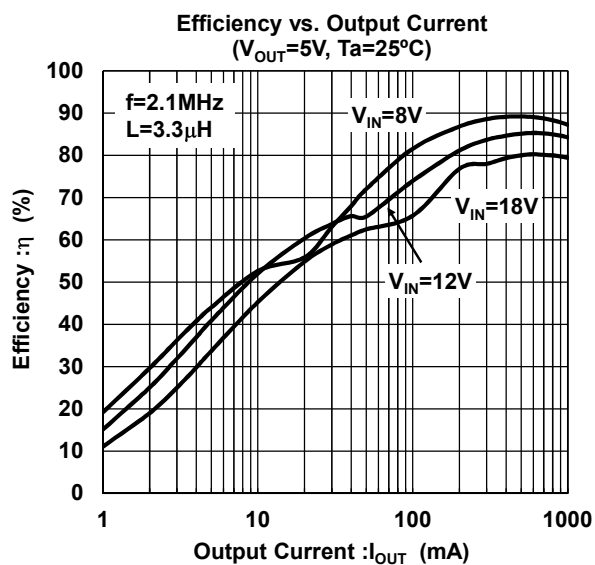
記号	数量	部品番号	概要	メーカー
IC	1	NJW4170U2	1A MOSFET 内蔵 SW.REG. IC	New JRC
L	1	VLF504015MT-3R3M	Inductor 3.3µH, 2.33A	TDK
SBD	1	CMS16	Schottky Diode 40V, 3A	Toshiba
C _{IN}	1	UMK325BJ106MM	Ceramic Capacitor 3225 10µF, 50V, X5R	Taiyo Yuden
C _{OUT}	1	GRM31CB30J226ME18	Ceramic Capacitor 3216 22µF, 6.3V, B	Murata
C _{FB}	1	120pF	Ceramic Capacitor 1608 120pF, 50V, CH	Std.
R1	1	3kΩ	Resistor 1608 3kΩ, ±1%, 0.1W	Std.
R2	1	16kΩ	Resistor 1608 16kΩ, ±1%, 0.1W	Std.

■アプリケーション特性例

●A version



●B version



MEMO

<注意事項>

このデータブックの掲載内容の正確さには万全を期しておりますが、掲載内容について何らかの法的な保証を行うものではありません。とくに応用回路については、製品の代表的な応用例を説明するためのものです。また、工業所有権その他の権利の実施権の許諾を伴うものではなく、第三者の権利を侵害しないことを保証するものではありません。