

## MOSFET ドライブ 降圧用 スイッチングレギュレータ IC

### ■概要

**NJW4161** は、3.1V~40V の広動作電圧範囲に対応した降圧用スイッチングレギュレータ IC です。Pch MOSFET を効率よく駆動するため 10V の高電圧ドライバを内蔵し、大電流出力のアプリケーションを実現します。

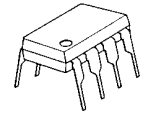
過電流検出保護機能に Hiccup 型、ラッチ型をラインアップし、過負荷時の出力電流を制限します。

カーアクセサリ、OA 機器、産業機器などの高電圧からロジック電圧の生成に最適です。

### ■外形



NJW4161R



NJW4161D

### ■特長

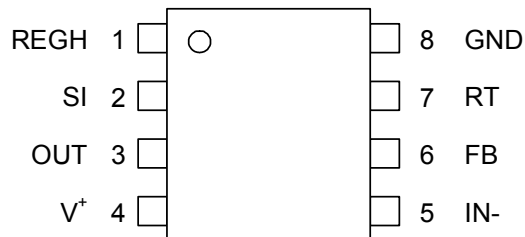
- Pch MOSFET ドライブ 駆動電圧  $V^+$ -10V typ.
- 広動作電圧範囲 3.1V~40V
- PWM 制御方式
- PWM/PFM 制御による  
軽負荷時の効率改善 (C バージョン)
- 広発振周波数 50kHz~1MHz
- ソフトスタート機能 15ms typ.
- 過電流保護機能 Hiccup タイプ (A、C バージョン)  
ラッチタイプ (B バージョン)
- サーマルシャットダウン機能
- 低電圧誤動作防止回路内蔵
- スタンバイ機能
- 外形 NJW4161R : VSP8  
NJW4161D : DIP8

### ■製品バージョン

製品名	バージョン	制御方式	過電流保護	パッケージ	動作温度範囲
NJW4161R-A	A	PWM 制御	Hiccup 方式	VSP8	一般：-40~+125°C
NJW4161D-A	A	PWM 制御	Hiccup 方式	DIP8	一般：-40~+125°C
NJW4161R-B	B	PWM 制御	ラッチ方式	VSP8	一般：-40~+125°C
NJW4161R-C	C	PWM/PFM 制御	Hiccup 方式	VSP8	一般：-40~+125°C

# NJW4161

## ■端子配列



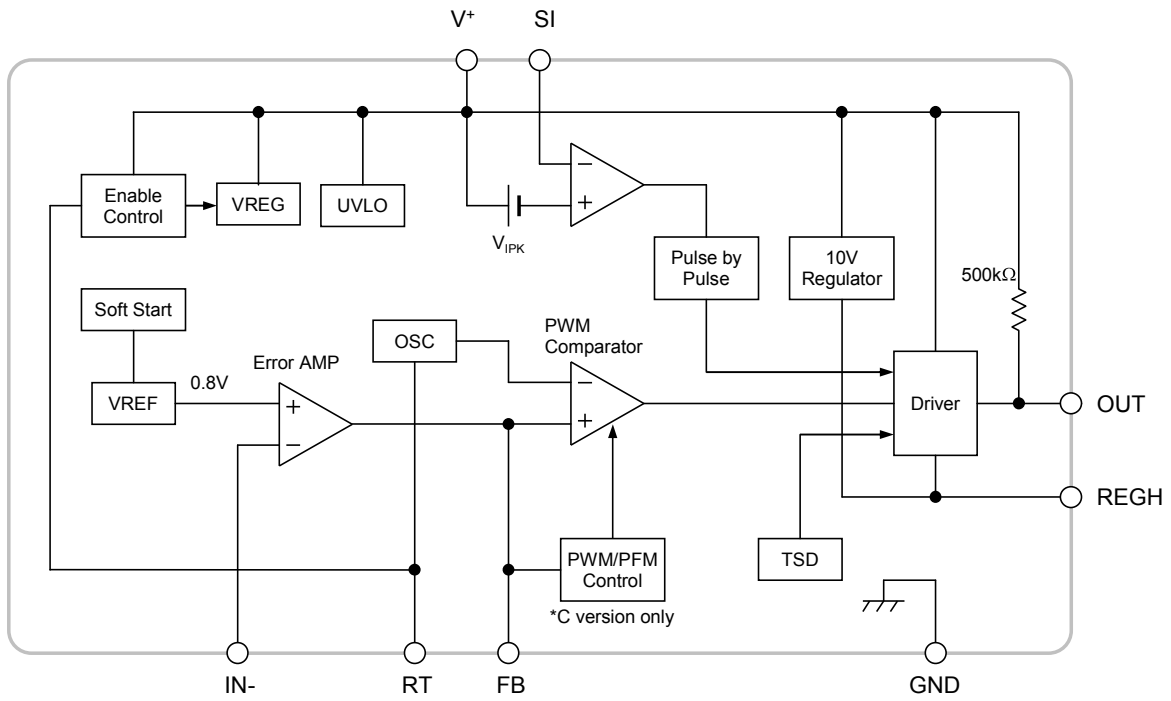
NJW4161R-A  
NJW4161R-B  
NJW4161R-C

NJW4161D-A

## ■端子説明

端子名称	端子番号	機能
REGH	1	ハイサイドレギュレータの出力端子です。 ドライバ回路に安定した電源を供給するため、バイパスコンデンサを接続します。
SI	2	電流検出を行う端子です。 $V^+$ 端子-SI端子間の電位差が120mV typ.を超えると、過電流検出機能により動作を制限します。
OUT	3	パワーMOSFETを駆動するための出力端子です。 OUT端子の電圧は、Pch MOSFETのゲートを保護するため、Lowレベル時に $V^+$ -10V typ.でクランプされます。
$V^+$	4	ICへの電源供給端子です。電源供給のインピーダンスを下げるため、ICの近傍に入力コンデンサを接続してください。
IN-	5	出力電圧を検出する端子です。IN-端子電圧が基準電圧0.8V typ.となるように出力電圧を抵抗分割して入力します。
FB	6	フィードバック設定端子です。 FB端子-IN-端子間にフィードバック抵抗・コンデンサを接続します。
RT	7	タイミング抵抗を接続して、発振周波数を決める端子です。 発振周波数は、50k~1MHzの間で設定してください。 またRT端子をオープンにすることで、NJW4161をスタンバイモードにすることができます。
GND	8	接地

## ■ブロック図



RT State  
 ON: Connect timing resistor to GND  
 OFF (Stand-by): RT terminal open

# NJW4161

## ■絶対最大定格 (Ta=25°C)

項目	記号	定格	単位
入力電圧	$V^+$	-0.3~+45	V
OUT 端子電圧	$V_{OUT}$	$V^+-11\sim V^+$ (*1)	V
SI 端子電圧	$V_{SI}$	$V^+-5\sim V^+$ (*2)	V
REGH 端子電圧	$V_{REGH}$	$V^+-11\sim V^+$ (*1)	V
IN-端子電圧	$V_{IN-}$	-0.3~+6	V
RT 端子電圧	$V_{RT}$	-0.3~+6 (*3)	V
OUT 端子ピーク電流	$I_{O\_PEAK+}$ $I_{O\_PEAK-}$	1,700 (Source) 1,100 (Sink)	mA
消費電力	$P_D$	VSP8      595 (*4) 805 (*5)  DIP8      700 (単体)	mW
動作温度範囲	$T_{opr}$	-40~+125	°C
保存温度範囲	$T_{stg}$	-50~+150	°C

(\*1): 入力電圧が 11V 以下の時は-0.3~ $V^+$  までとなります。

(\*2): 入力電圧が 5V 以下の時は-0.3~ $V^+$  までとなります。

(\*3): 入力電圧が 6V 以下の時は入力電圧と等しくなります

(\*4): 基板実装時 76.2×114.3×1.6mm(2層 FR-4)で EIA/JEDEC 準拠による

(\*5): 基板実装時 76.2×114.3×1.6mm(4層 FR-4)で EIA/JEDEC 準拠による (4層基板内箔 : 74.2×74.2mm)

## ■推奨動作条件

項目	記号	最小	標準	最大	単位
電源電圧	$V^+$	3.1	—	40	V
タイミング抵抗	$R_T$	1.5	—	43	kΩ
発振周波数	$f_{OSC}$	50	—	1,000	kHz
REGH キャパシタ	$C_{REGH}$	0.01	0.1	1	μF

■電気的特性 ( $V^+=12V$ ,  $R_T=10k\Omega$ ,  $C_{REGH}=0.1\mu F$ ,  $T_a=25^\circ C$ )

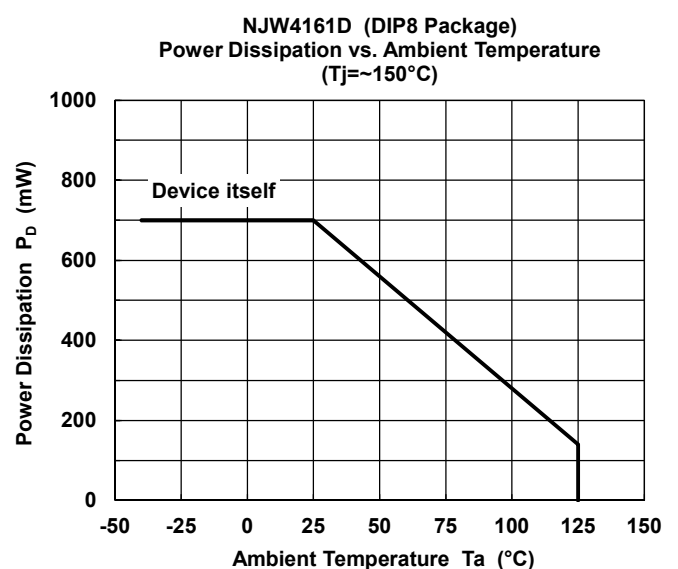
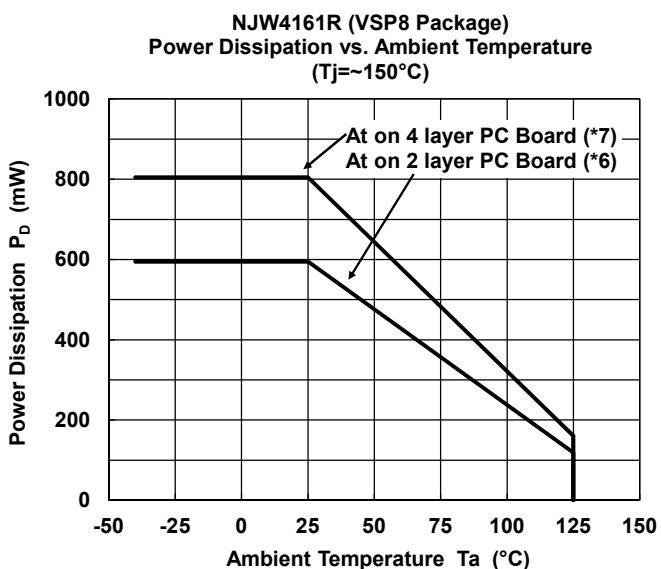
項目	記号	条件	最小	標準	最大	単位
<b>発振器部</b>						
発振周波数 1	$f_{OSC1}$	$R_T=3.6 k\Omega$	450	500	550	kHz
発振周波数 2	$f_{OSC2}$	$R_T=10 k\Omega$	180	200	220	kHz
<b>誤差増幅器部</b>						
基準電圧	$V_B$		-1.0%	0.8	+1.0%	V
入力バイアス電流	$I_B$		-0.1	-	0.1	$\mu A$
出力ソース電流	$I_{OM+}$	$V_{FB}=1V$ , $V_{IN-}=0.7V$	50	90	140	$\mu A$
出力シンク電流	$I_{OM-}$	$V_{FB}=1V$ , $V_{IN-}=0.9V$	6	13	20	mA
<b>ソフトスタート部</b>						
ソフトスタート時間	$t_{SS}$	$V_B=0.75V$	7.5	15	24	ms
<b>PWM 比較器部</b>						
入力スレッシュホールド電圧 (FB 端子)	$V_{T,0}$	Duty=0%, $V_{IN-}=0.6V$	0.32	0.4	0.48	V
	$V_{T,50}$	Duty=50%, $V_{IN-}=0.6V$	0.63	0.7	0.77	V
最大デューティサイクル	$M_{AXDUTY}$	$V_{FB}=1.2V$	100	-	-	%
PWM/PFM 切り替え デューティサイクル	$PFMD_{UTY}$	C バージョン	5	10	15	%
<b>電流検出部</b>						
電流制限検出電圧	$V_{IPK}$		110	120	130	mV
遅延時間	$t_{DELAY}$		-	80	-	ns
<b>過電流保護部</b>						
COOL DOWN 時間	$t_{COOL}$	A, C バージョン	-	60	-	ms
タイマーラッチ時間	$t_{LATCH}$	B バージョン	-	10	-	ms
<b>出力部</b>						
出力 H 側 ON 抵抗	$R_{OH}$	$I_O = -50mA$	-	3.5	7	$\Omega$
出力 L 側 ON 抵抗	$R_{OL}$	$I_O = +50mA$	-	3.5	7	$\Omega$
REGH 出力電流	$I_{O\_REGH}$	REGH 端子= $V^+-8V$	50	150	250	mA
OUT 端子制限電圧	$V_{OLIM}$		$V^+-11$	$V^+-10$	$V^+-9$	V
OUT 端子 Pull-Up 抵抗	$R_{OUT}$		-	500	-	k $\Omega$
<b>低電圧誤動作防止回路部</b>						
ON スレッシュホールド電圧	$V_{T\_ON}$	$V^+=L \rightarrow H$	2.9	3.0	3.1	V
OFF スレッシュホールド電圧	$V_{T\_OFF}$	$V^+=H \rightarrow L$	2.6	2.7	2.8	V

# NJW4161

■電気的特性 ( $V^+=12V$ ,  $R_T=10k\Omega$ ,  $C_{REGH}=0.1\mu F$ ,  $T_a=25^\circ C$ )

項目	記号	条件	最小	標準	最大	単位
RT 端子イネーブル制御部						
スタンバイ時 RT 端子電流	$I_{RT\_STB}$		5.0	-	-	$\mu A$
総合特性						
消費電流	$I_{DD}$	$R_L$ =無負荷, $V_{IN}=0.7V$ , $V_{FB}=0.7V$	-	1.5	3	mA
スタンバイ時消費電流	$I_{DD\_STB}$	$V_{RT}$ =OPEN	-	2	10	$\mu A$

■消費電力－周囲温度特性例

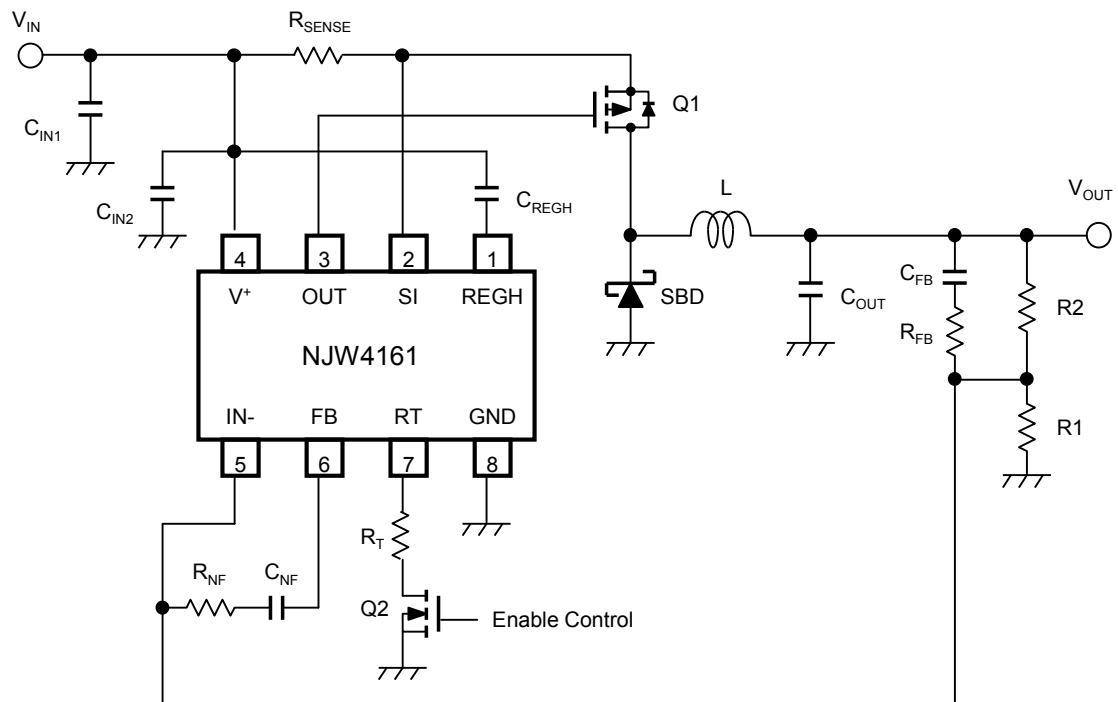


(\*6): 基板実装時 76.2×114.3×1.6mm(2層 FR-4)で EIA/JEDEC 準拠による

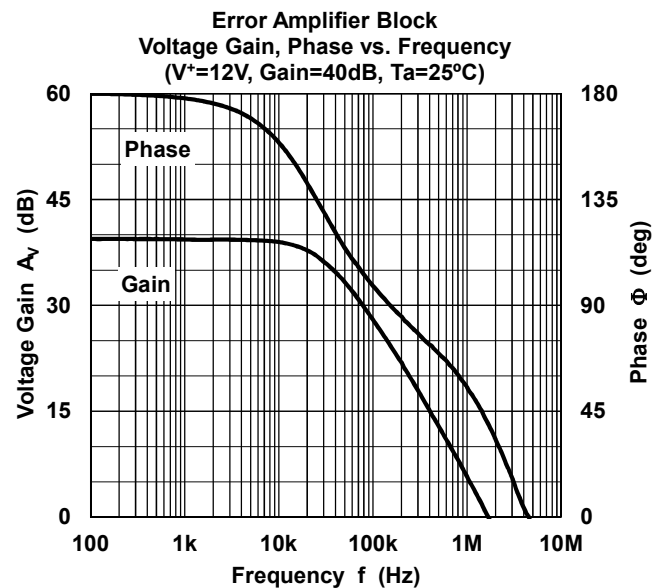
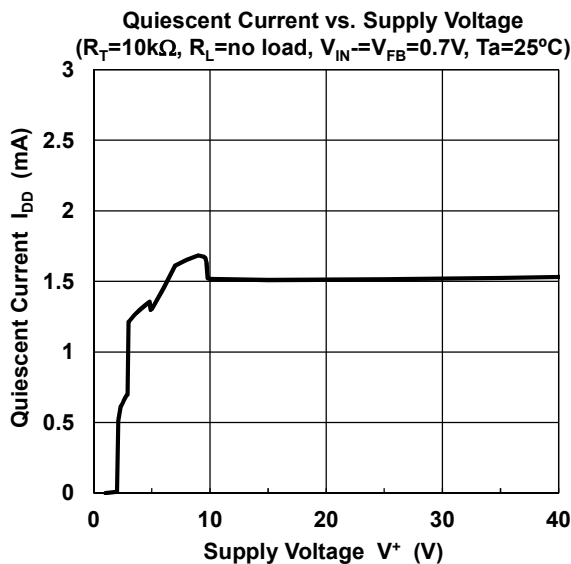
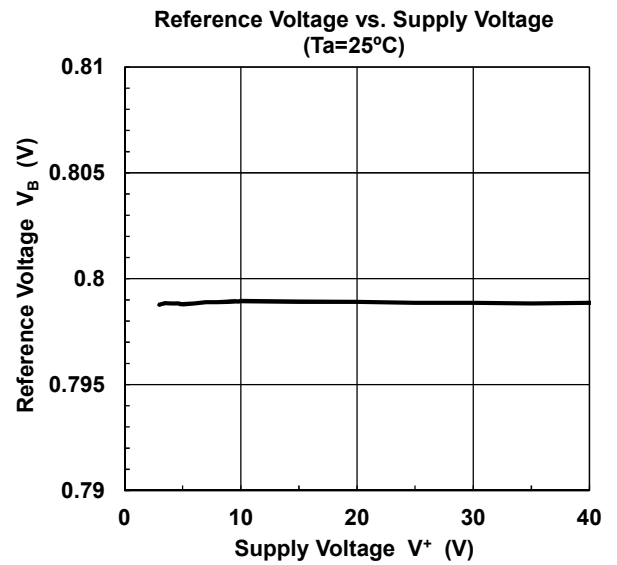
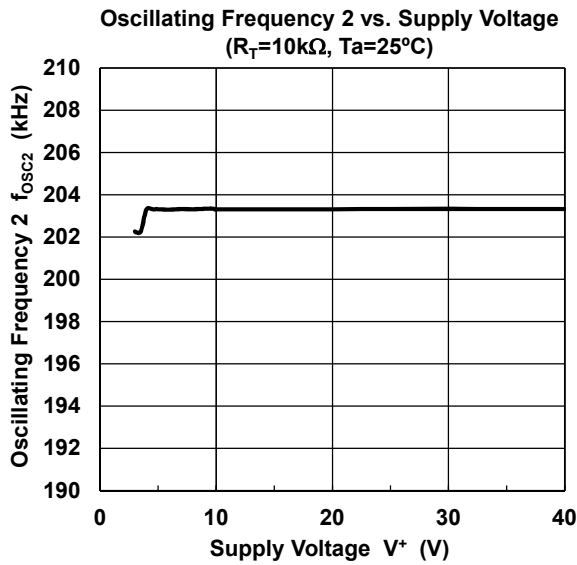
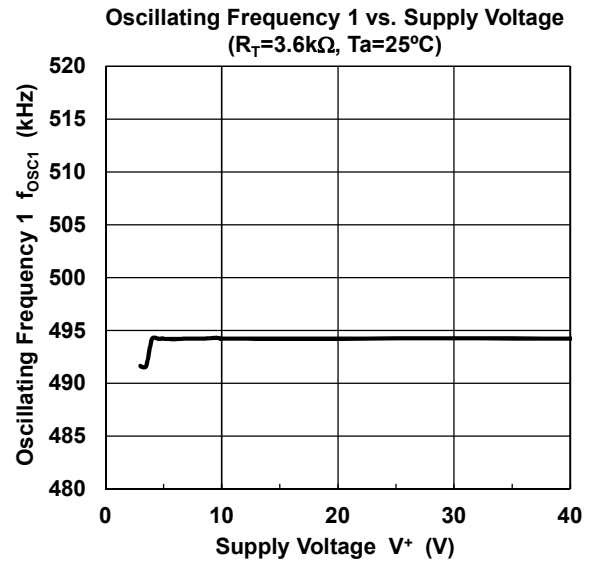
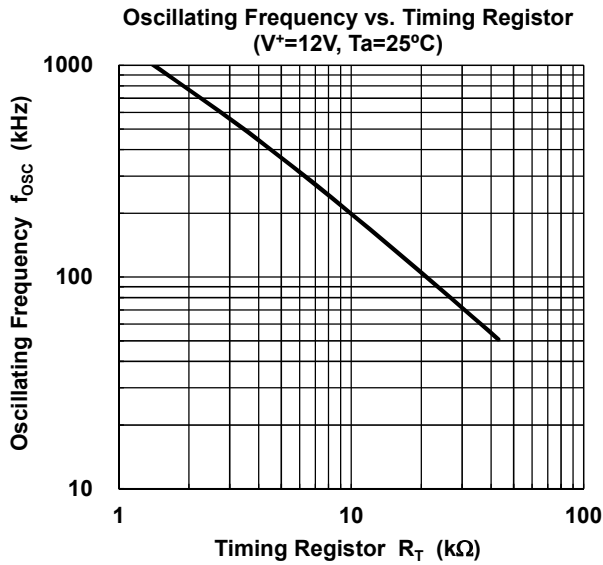
(\*7): 基板実装時 76.2×114.3×1.6mm(4層 FR-4)で EIA/JEDEC 準拠による (4層基板内箔 : 74.2×74.2mm)

## ■アプリケーション回路例

### 非絶縁降圧形



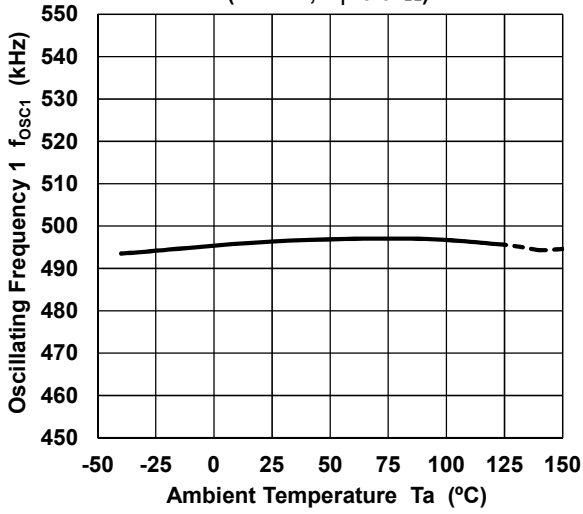
■ 特性例



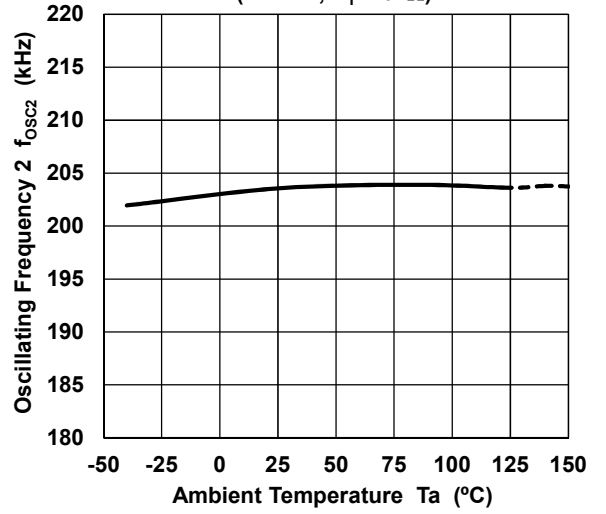


■ 特性例

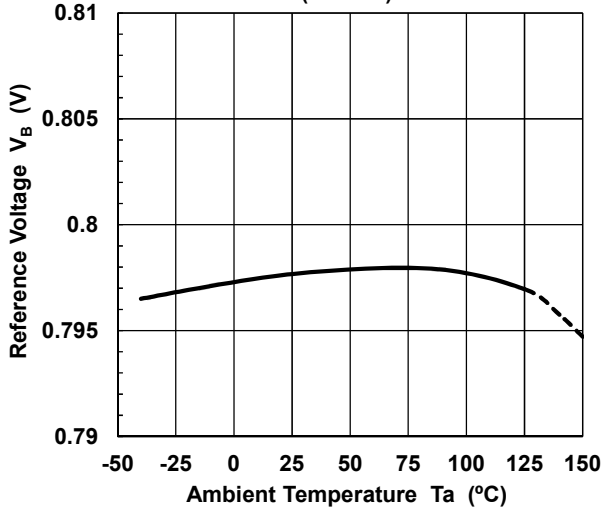
Oscillating Frequency 1 vs. Temperature  
( $V^+=12V$ ,  $R_T=3.6k\Omega$ )



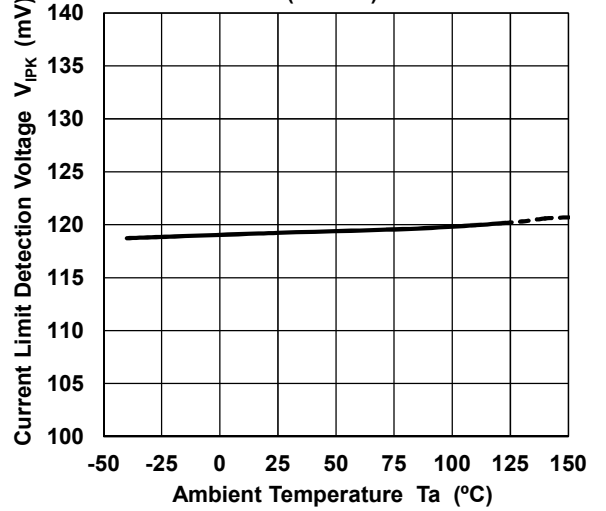
Oscillating Frequency 2 vs. Temperature  
( $V^+=12V$ ,  $R_T=10k\Omega$ )



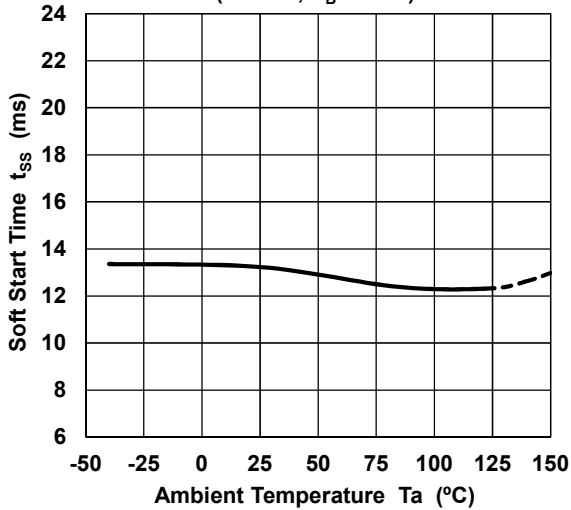
Reference Voltage vs. Temperature  
( $V^+=12V$ )



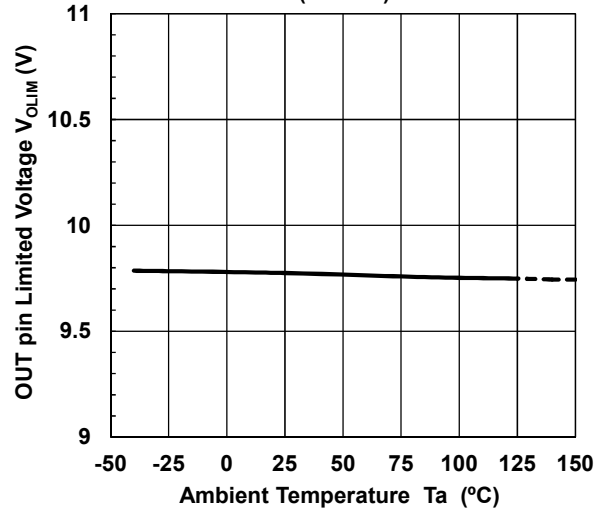
Current Limit Detection Voltage vs. Temperature  
( $V^+=12V$ )



Soft Start Time vs. Temperature  
( $V^+=12V$ ,  $V_B=0.75V$ )

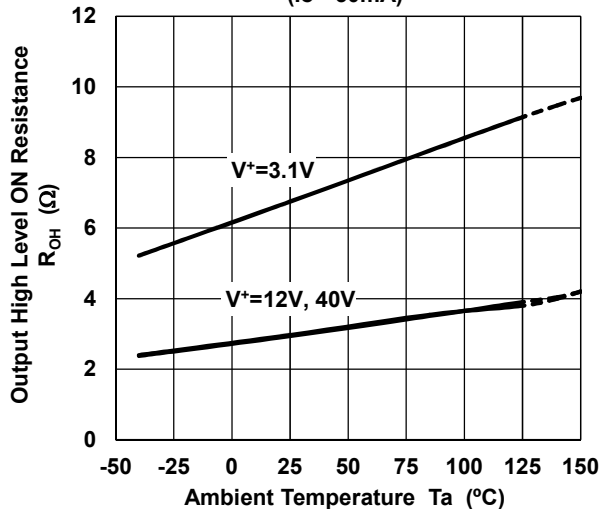


OUT pin Limiting Voltage vs. Temperature  
( $V^+=12V$ )

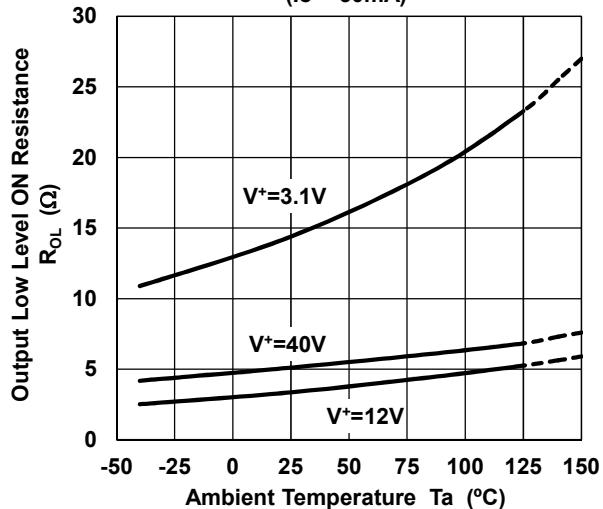


## ■特性例

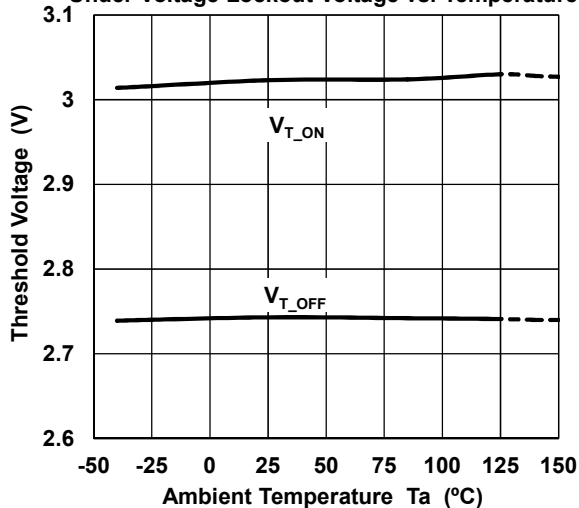
Output High Level ON Resistance vs. Temperature  
( $I_o = -50\text{mA}$ )



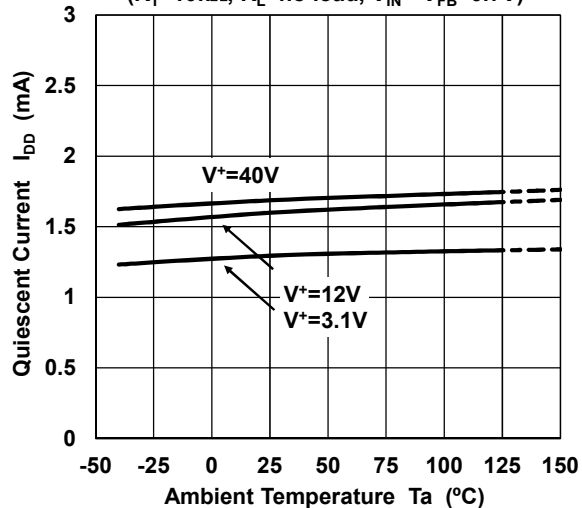
Output Low Level ON Resistance vs. Temperature  
( $I_o = +50\text{mA}$ )



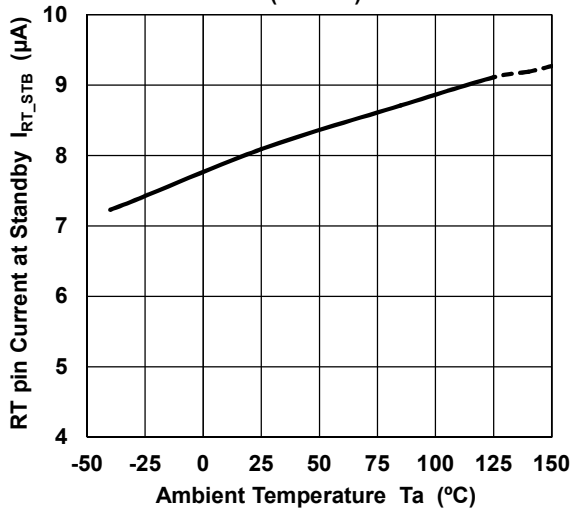
Under Voltage Lockout Voltage vs. Temperature



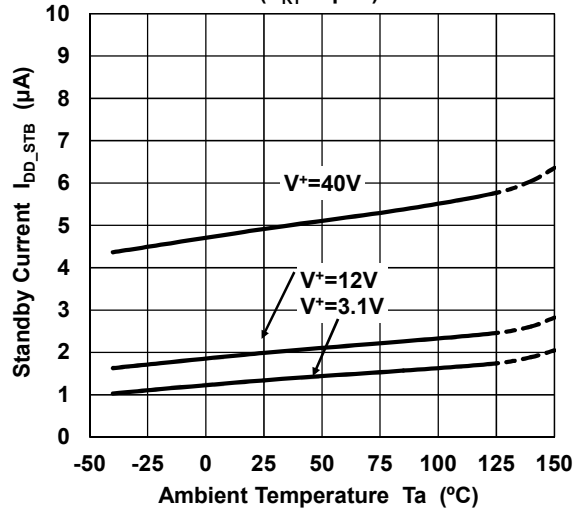
Quiescent Current vs. Temperature  
( $R_T = 10\text{k}\Omega$ ,  $R_L = \text{no load}$ ,  $V_{IN} = V_{FB} = 0.7\text{V}$ )



RT pin Current at Standby vs. Temperature  
( $V^+ = 12\text{V}$ )



Standby Current vs. Temperature  
( $V_{RT} = \text{Open}$ )



### ■各ブロックの機能説明

#### 1. スイッチングレギュレータ基本機能

##### ●エラーアンプ部 (Error AMP)

エラーアンプ部の非反転入力は、 $0.8V \pm 1\%$  の高精度基準電圧が接続されています。

アンプの反転入力(IN-端子)にコンバータの出力を入力することで、出力電圧  $0.8V$  からのアプリケーション設計を容易にできます。出力電圧を  $0.8V$  以上にする場合は、出力電圧を抵抗分割することで設定します。

アンプ部は高利得のゲインを持ち、フィードバック(FB 端子)が外部に出ています。FB 端子-IN-端子間にフィードバック抵抗・コンデンサを設けることが容易なため、各種アプリケーションにおける最適なループ補償を設定できます。

##### ●発振回路部 (OSC)

RT 端子-GND 間に抵抗を接続することで発振周波数を設定します。「Oscillating Frequency vs. Timing Resistor」特性例を参考に  $50kHz \sim 1MHz$  の間で設定してください。

また RT 端子をオープンにすることで、NJW4161 をスタンバイモードにすることができます。

詳細は、スタンバイ機能の項目を参照してください。

##### ●PWM 比較器部 (PWM)

PWM 比較器部でエラーアンプと三角波の信号を受け、スイッチングのデューティ比  $0 \sim 100\%$  までコントロールします。タイミングチャートを図 1 に示します。

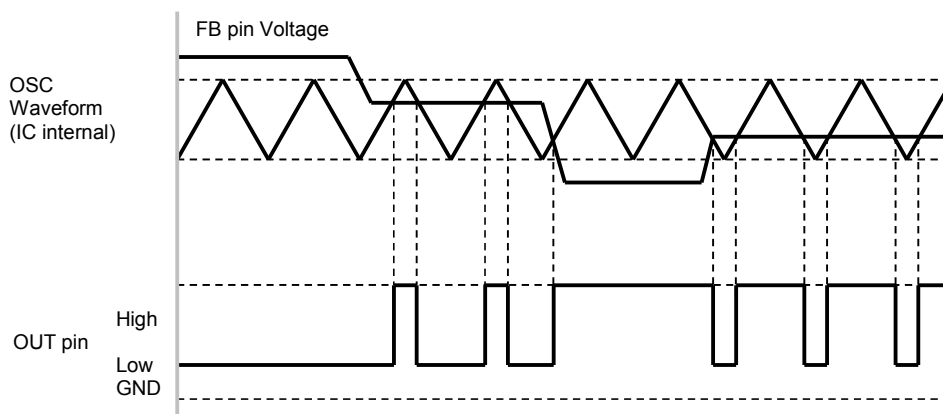


図 1 PWM 比較器部と SW 端子のタイミングチャート

##### ●PWM/PFM 制御部 (PWM/PFM control: C バージョンのみ)

C バージョンは PWM/PFM 切り替えの自動制御機能を搭載しており、軽負荷時の効率を改善します。

アプリケーション回路における損失の多くは、スイッチング素子の立ち上がり/立ち下がり時に発生します。

そのため軽負荷時はスイッチングパルスをスキップし、不必要なスイッチング損失を最小限に抑えます。

PWM 比較器部のデューティ比が  $10\%$  typ. 以下になるとスイッチング出力を停止し、次以降の周期でスイッチングを行います。降圧率の高いアプリケーションでは、定常動作時のデューティ比が  $10\%$  以下となる場合があります。このような条件では、常に PWM/PFM 切り替え機能が働くため、PWM 制御タイプの A バージョン、B バージョンをご使用ください。

##### ●電源、GND 端子 ( $V^+$ , GND)

MOSFET の駆動に伴い、周波数に応じた電流が IC に流れます。電源ラインのインピーダンスが高いと電源供給が不安定になり、IC の性能を十分に引き出せません。 $V^+$  端子-GND 端子間の近傍にバイパスコンデンサ  $0.1\mu F$  以上を挿入し、高周波インピーダンスを下げてください。

### ■各ブロックの機能説明（続き）

#### ●ドライバ回路、10V レギュレータ（Driver, 10V Regulator）

ドライバ回路は、トータムポール形式で構成され、OUT 端子に接続される Pch MOSFET を効率よく駆動します。OUT 端子の電圧は、Pch MOSFET のゲートを保護するため、内部のレギュレータによって  $V^+ - 10V$  typ. でクランプされます。（図2 参照）

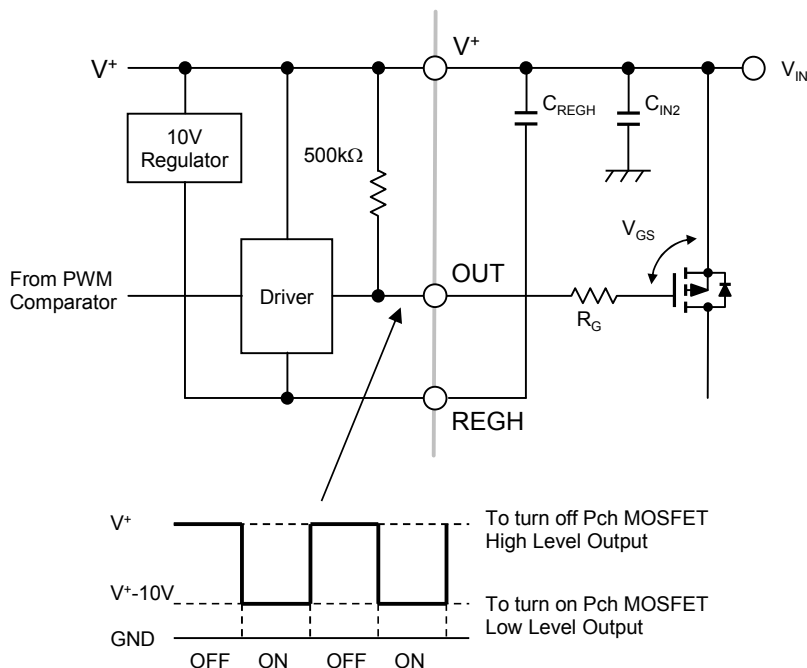


図2 ドライバ回路と OUT 端子電圧

NJW4161 の電源電圧の低下によって、OUT 端子から出力されるゲート駆動電圧が低下します。図3に「OUT pin Differential Voltage vs. Supply Voltage」特性例を示します。MOSFET の最適な駆動能力は、発振周波数と MOSFET のゲート容量によって変化します。

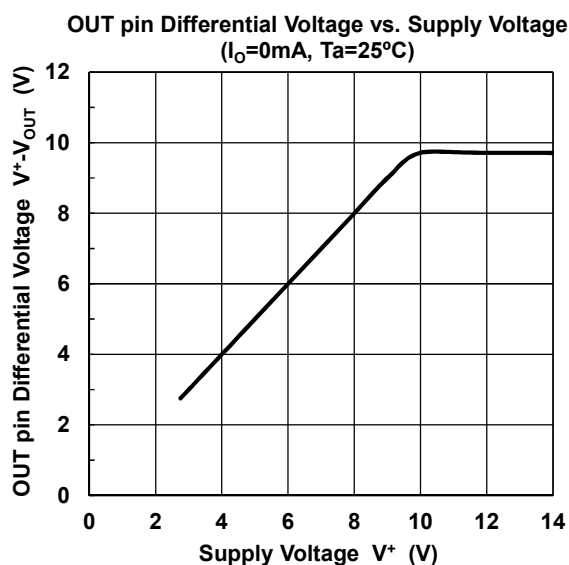


図3 OUT pin Differential Voltage vs. Supply Voltage 特性例

### ■各ブロックの機能説明 (続き)

#### 2. 保護機能、付加機能

##### ●低電圧誤動作防止(UVLO)回路

電源電圧が低い場合、UVLO 回路によって動作を停止し、電源電圧 3.0V typ.以上で UVLO 回路が解除されて IC の動作が開始します。電源電圧の立ち上がりとしち下がり 300mV typ.のヒステリシス電圧幅を持たせています。これにより、UVLO の解除と動作のばたつきを防止し、NJW4161 を安定して動作させます。

##### ●ソフトスタート機能

ソフトスタート機能によって、コンバータの出力電圧は設定値まで緩やかに電圧を上昇します。ソフトスタート時間は 15ms typ.であり、エラーアンプの基準電圧が 0~0.75V になるまでの時間で定義されます。(図 4) ソフトスタート回路は、UVLO 解除、サーマルシャットダウンからの復帰後に動作します。

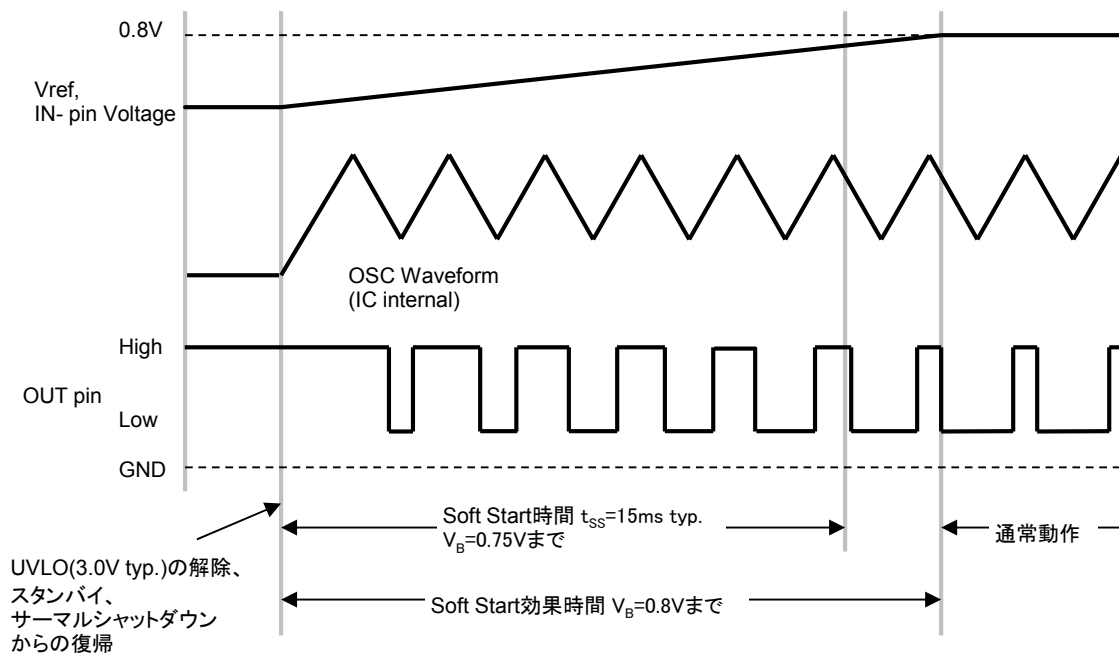


図4 ソフトスタートのタイミングチャート

### ■各ブロックの機能説明（続き）

#### ●過電流検出回路

過電流検出回路は、 $V^+$ 端子-SI端子間の電位差が120mV typ.以上になると、スイッチングの出力を停止します。

$V^+$ 端子-SI端子間に電流検出抵抗  $R_{SENSE}$  を挿入して、スイッチング電流を検出してください。

NJW4161には、自動復帰が可能なヒカップ(Hiccup)タイプと、停止を維持するラッチタイプの2種類があります。

ヒカップタイプ : Aバージョン、Cバージョン

ラッチタイプ : Bバージョン

#### ・ヒカップタイプ (Aバージョン、Cバージョン)

過電流の異常状態から回復にともない、スイッチングレギュレータの出力電圧を自動的に復帰させることができます。

ヒカップタイプにおける過電流検出動作時のタイミングチャートを図5に示します。

IN-端子電圧が0.5V以下のとき、過電流検出を8パルス継続するとスイッチング動作を停止します。

停止後は、クールダウン時間として60ms typ.経過後、ソフトスタートによる再起動を行います。

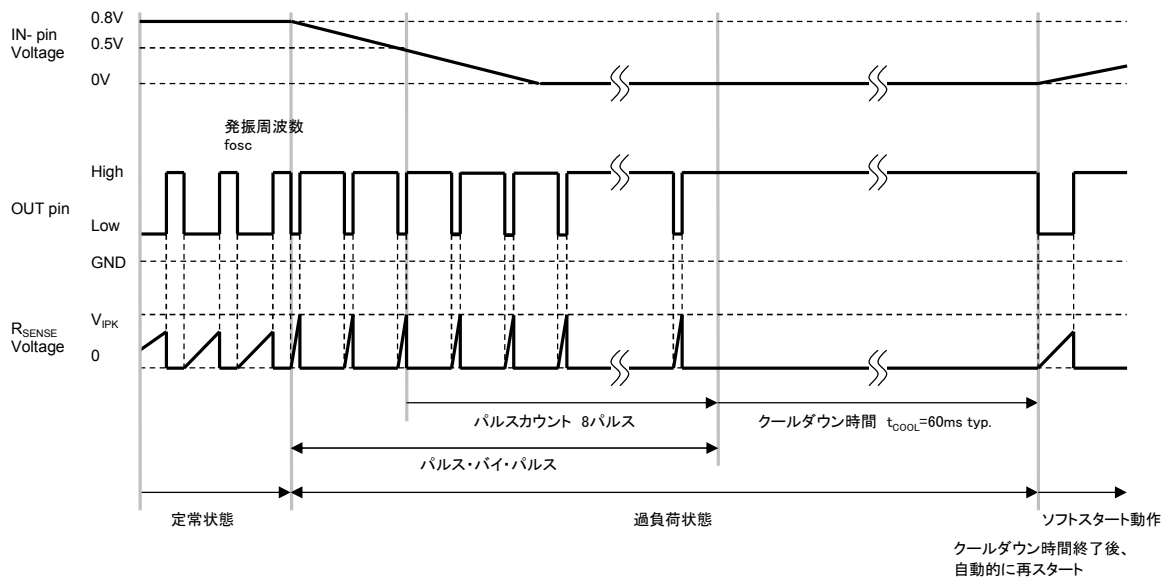


図5 ヒカップタイプ 過電流検出動作時のタイミングチャート  
(Aバージョン、Cバージョン)

### ■各ブロックの機能説明（続き）

#### ・ラッチタイプ（Bバージョン）

過電流の異常状態が続いた場合、スイッチングレギュレータは停止し、停止状態を維持します。

ラッチタイプにおける過電流検出動作時のタイミングチャートを図6に示します。

IN-端子電圧が0.5V以下のとき、過電流検出を10ms typ.継続するとスイッチング動作を停止します。

停止後は、UVLO、スタンバイの再投入により、ソフトスタートによる起動を行います。

サーマルシャットダウンによる動作停止の場合は、ラッチ動作を行いません。

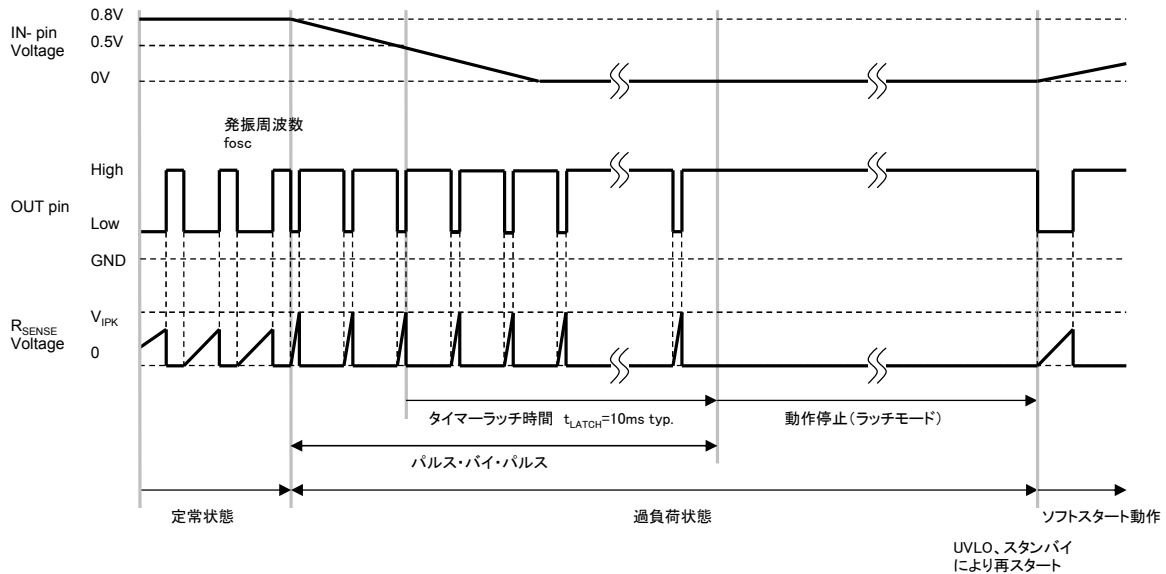


図6 ラッチタイプ 過電流検出動作時のタイミングチャート  
(Bバージョン)

電流波形には、MOSFET、インダクタなどの寄生成分の影響による高周波ノイズが重畳しており、過電流検出機能の誤動作の原因となります。そのためアプリケーションによっては、電流検出抵抗  $R_{SENSE}$  と SI 端子の間に RC のローパスフィルタを必要とする場合があります。フィルタは、スパイク幅  $t$  と同等の時定数 ( $t \leq R_{LF} \times C_{LF}$ ) を目安に調整してください。もしくは、MOSFET のソース端子の近くにバイパスコンデンサを挿入することも効果的です。

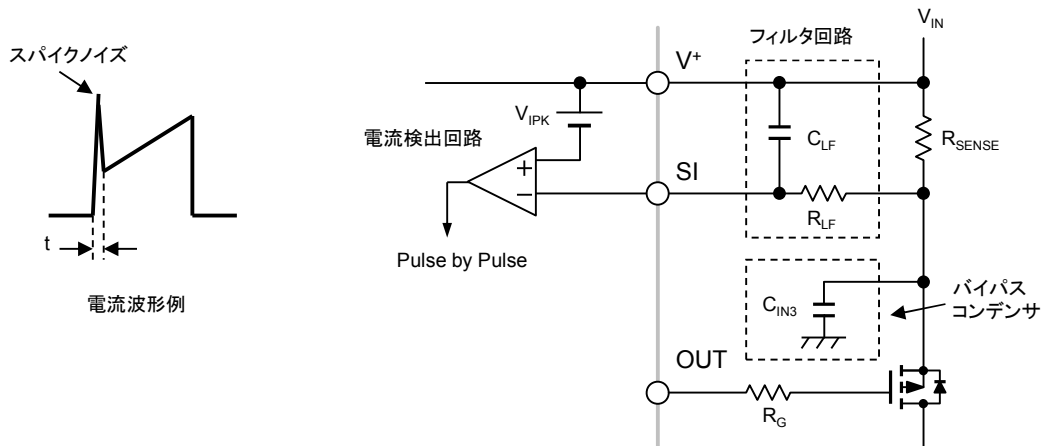


図7 電流波形とフィルタ回路

### ■各ブロックの機能説明（続き）

#### ●サーマルシャットダウン機能 (TSD)

サーマルシャットダウン機能は、NJW4161 のチップ温度が  $160^{\circ}\text{C}^*$  を超えると SW 動作を停止します。

チップ温度が  $145^{\circ}\text{C}^*$  以下になると、ソフトスタートによる SW 動作が開始されます。

なおサーマルシャットダウン機能は、高温時における IC の熱暴走を防止するための予備回路であり、不適切な熱設計を補うためでは有りません。IC のジャンクション温度 ( $\sim +150^{\circ}\text{C}$ ) 範囲内で動作させるように、十分な余裕を満たすことをお奨めします。(\* 参考値)

#### ●スタンバイ機能

RT 端子をオープンにすることで、NJW4161 をスタンバイモードにすることができます。タイミング抵抗  $R_T$ -GND 間をトランジスタや MOSFET 等でハイインピーダンスにしてください。回路例を図 8 に示します。

スタンバイに移行するためには、RT 端子電流を  $I_{RT\_STB}=5\mu\text{A}$  以下にする必要があり、リーク電流の小さい MOSFET を選択してください。

スタンバイ機能を使用するとき、RT 端子に大きい容量が接続されると、スタンバイから動作状態に移行できなくなります。そのため RT 端子にバイパスコンデンサを接続する場合は、 $100\text{pF}$  以下の容量にしてください。

また動作からスタンバイ状態に移るとき、回路の遅延によって  $2\mu\text{s}$  程度の ON 期間が発生する場合があります。

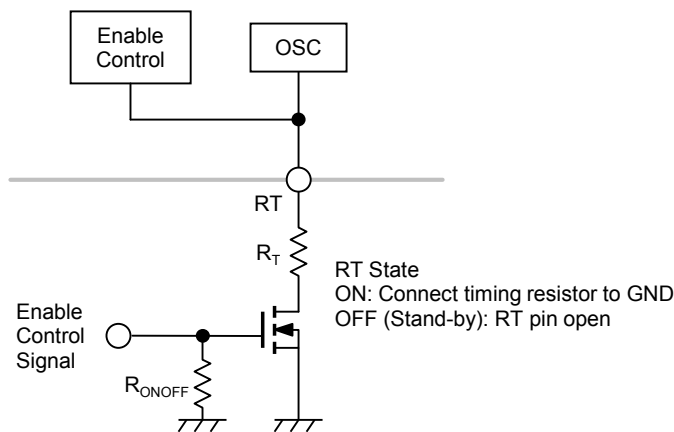


図 8 スタンバイ機能使用時の回路例



### ■アプリケーション情報

#### ●インダクタ

インダクタには大電流が流れるため、飽和しない電流能力を持たせる必要があります。

L 値を小さくするとインダクタのサイズも小さくなります。

しかし、ピーク電流が大きくなり効率が悪化します。

反面、L 値が大きくなると、スイッチング時のピーク電流は低下します。よって変換効率の改善、出力リップル電圧の低下につながります。あるレベル以上では、インダクタンスの巻数増加により、抵抗成分による損失（銅損）が大きくなります。

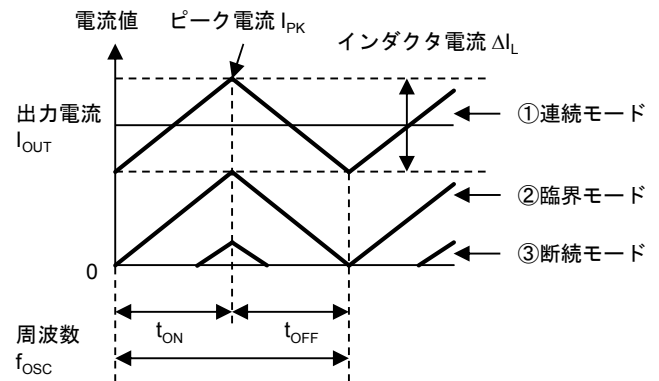


図9 インダクタ電流の状態偏移

理想的には、インダクタンス電流が連続モードになる様にL値を設定します。しかし負荷電流が小さくなる程、①連続モード → ②臨界モード → ③断続モードと電流波形が変化（図9）していきます。

断続モードにおいては、出力電流に対するピーク電流が大きくなり、変換効率が低下しやすくなります。場合によってはL値を大きくし、連続モードの維持できる負荷電流領域を広げます。

#### ●キャッチ・ダイオード

パワーMOSFETがOFFサイクルの時は、インダクタに蓄えられた電力がキャッチ・ダイオードを経由して出力コンデンサに流れます。そのためダイオードにはサイクル毎に、負荷電流に応じた電流が流れます。ダイオードの順方向飽和電圧と電流の積が電力損失となるため、順方向飽和電圧の低いSBD (Schottky Barrier Diode)が最適です。

また SBD は、逆回復時間が短い特徴を併せて持っています。逆回復時間が長くなると、スイッチングトランジスタがOFFからONサイクルに移行した時、貫通電流が流れてしまいます。この電流によって効率の低下、ノイズの発生等に影響を及ぼす可能性が有ります。

#### ●スイッチング素子

スイッチング素子には、スイッチング用途に指定されたPch MOSFETを使用します。

NJW4161のOUT端子電圧は $V^+$ -10V typ.で制限されるため、MOSFETのゲート・ソース間電圧は10V以下で十分にドレイン・ソース間ON抵抗が小さくなるものを選びます。

NJW4161の電源電圧が低くなると、OUT端子から出力されるゲート駆動電圧も低下するため、入力電圧範囲に応じてMOSFETの仕様を決定してください。（ドライバ回路参照）

ゲート容量が大きいのは効率を低下させる要因につながります。ゲート容量への充放電により、スイッチングの立ち上がり/立ち下がり時間が遅れ、スイッチング損失が発生します。

また、ゲート容量のチャージ/ディスチャージには急激な電流変化を伴うため、寄生インダクタンス成分等によりスパイクノイズが出ることがあります。ゲート容量が小さい場合は、OUT端子ーゲート間に抵抗を挿入し適度に電流を制限してください。抵抗が大きすぎると波形がなまってしまい効率が低下するため、実機評価のうえ最適値を決定してください。

### ■アプリケーション情報（続き）

#### ●入力コンデンサ

スイッチングレギュレータの入力部には、周波数に応じた過渡的な電流が流れます。電源回路に供給される電源インピーダンスが大きいと入力電圧の変動につながり、NJW4161 の性能を十分に引き出せません。よって入力コンデンサは、できる限り MOSFET の近くに挿入してください。

#### ●出力コンデンサ

出力コンデンサは、インダクタンスからの電力を蓄え、出力への供給電圧を安定させる役割をします。

出力コンデンサの選定には、ESR(等価直列抵抗 : Equivalent Series Resistance)の特性、リップル電流、耐圧を考慮に入れる必要が有ります。

また周囲温度によっては、コンデンサの容量低下、ESR の増加（低温時）、寿命（高温時）へ影響を与えます。出力コンデンサの定格には、十分なデレーティングを持たせるのが望ましい使い方です。

出力コンデンサの ESR 特性は、出力リップルノイズへ大きな影響を与えます。低 ESR タイプのコンデンサであれば、更にリップル電圧を下げる事が出来ます。セラミックコンデンサを使用する場合は、コンデンサへの直流電圧印加によって容量が低下するため注意が必要です。

### ■アプリケーション情報 (続き)

#### ●基板レイアウト

スイッチングレギュレータは、インダクタの充放電によって出力へ電力供給を行います。発振周波数に応じて電流が流れるため、基板のレイアウトは重要な項目です。大電流の流れるラインは太く、短くし、ループ面積を最小限にしてください。図10に降圧回路における電流ループを示します。

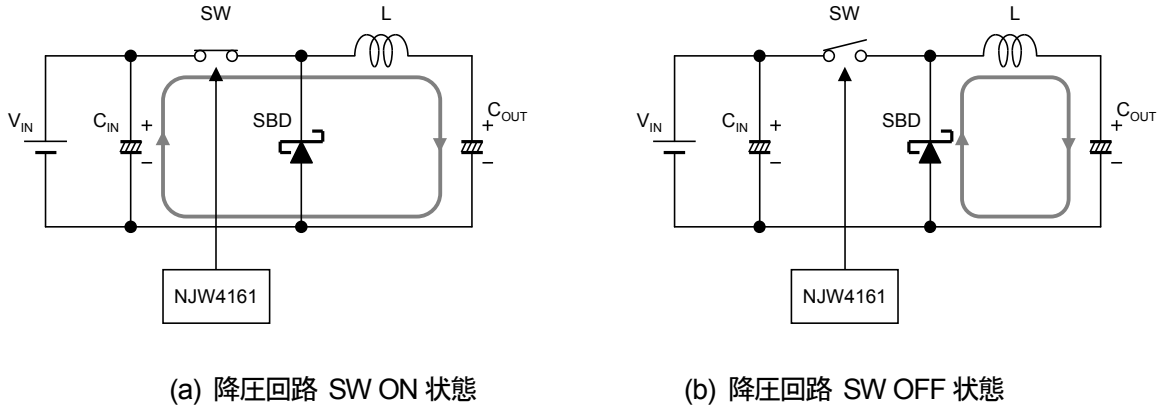


図10 降圧回路における電流ループ

GNDラインは、パワー系と信号系を分離した上で1点アースをとるのが望ましい接続です。

また電圧検出のフィードバックラインは、できるだけインダクタンスから離します。本ラインはインピーダンスが高いため、インダクタンスからの漏れ磁束でノイズの影響を避けるように配線します。

図11に降圧回路での配線例、図12にレイアウト例を示します。

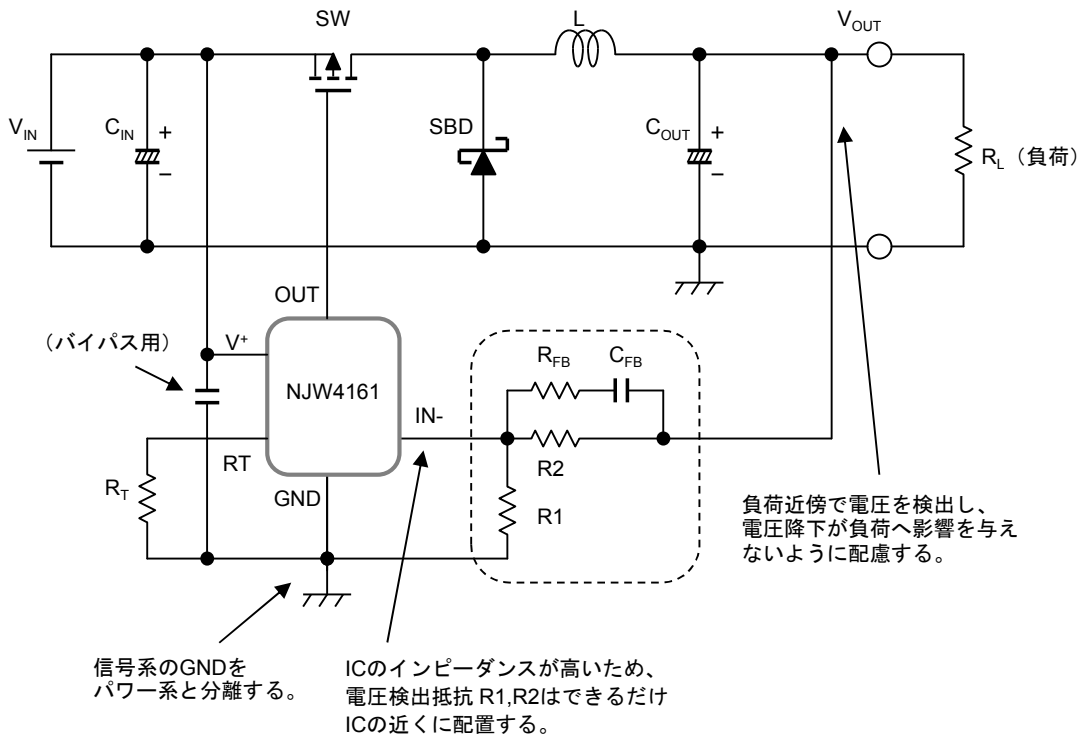
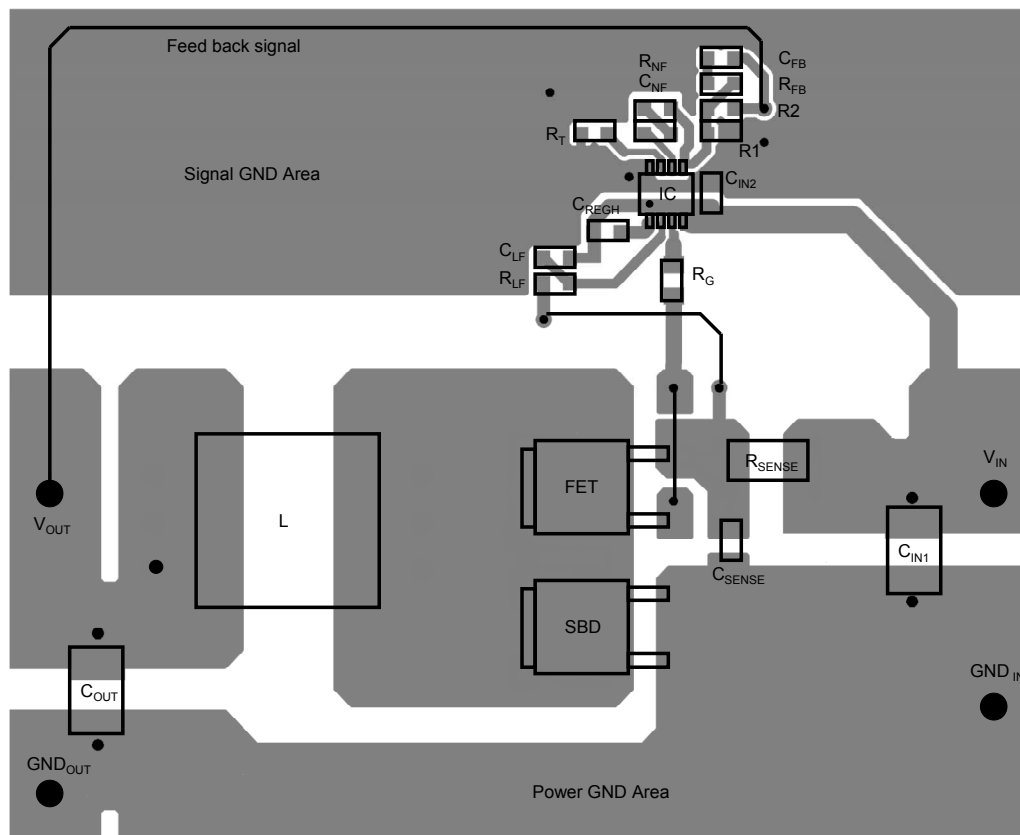


図11 降圧回路での配線例

### ■アプリケーション情報 (続き)



裏面にてパワー系 GND と信号系 GND を接続

図 1 2 レイアウト例 (上面パターン)

### ■パッケージパワーの計算

周囲温度が高い条件下で使用する場合は、ICの消費電力に対してディレーティングを持たせる必要があります。自己消費電力の他に、スイッチング素子を駆動するために発生する電力量も考慮しなければいけません。

ICの電源電圧 :  $V^+$   
ICの自己消費電 :  $I_{DD}$   
発振周波数 :  $f_{osc}$   
ゲート電荷量 :  $Q_g$   
とします。

MOS FETはゲートが高インピーダンスの特徴を持ちますが、ゲートの容量成分を充放電する必要があり、スイッチング周波数が速くなるほど消費電力が大きくなります。ICの消費電力 $P_D$ は、次のように求められます。

$$P_D = V^+ \times f_{osc} \times Q_g + (V^+ \times I_{DD}) [W]$$

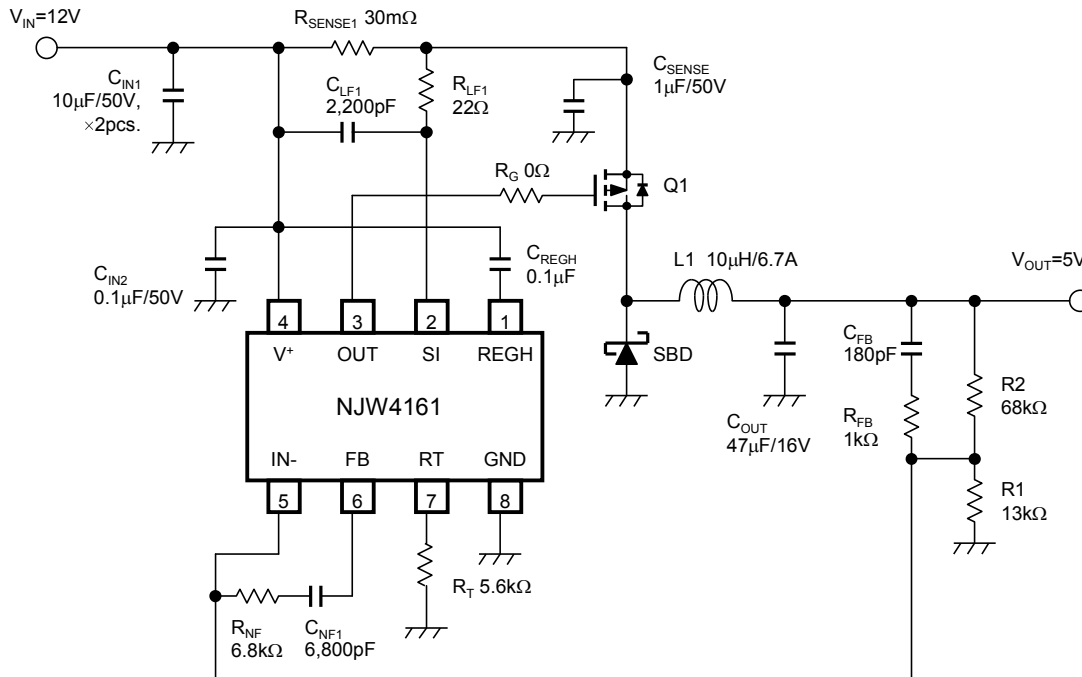
求めた消費電力 $P_D$ に対して温度ディレーティングを考慮します。

「Power Dissipation vs. Ambient Temperature」特性例を参考に、定格内に収まるか確認してください。

### ■アプリケーション設計例

#### ●降圧アプリケーション仕様

入力電圧 :  $V_{IN}=12V$   
 出力電圧 :  $V_{OUT}=5V$   
 出力電流 :  $I_{OUT}=3A$   
 発振周波数 :  $f_{osc}=345kHz$



記号	数量	部品番号	概要	メーカー
IC1	1	NJW4161R	MOSFET ドライブ 降圧用 SW.REG. IC	New JRC
Q1	1	FDD4243	Pch MOSFET 40V, 14A	Fairchild
L1	1	CLF12555T-100M	Inductor 10µH, 6.7A	TDK
SBD	1	DE5SC4M	Schottky Diode 40V, 5A	Shindengen
C <sub>IN1</sub>	2	UMK325BJ106MM-P	Ceramic Capacitor 3225 10µF, 50V, X5R	Taiyo yuden
C <sub>IN2</sub>	1	0.1µF	Ceramic Capacitor 1608 0.1µF, 50V, B	Std.
C <sub>OUT</sub>	1	GRM32EB31C476KE15L	Ceramic Capacitor 3225 47µF, 16V, B	Murata
C <sub>REGH</sub>	1	0.1µF	Ceramic Capacitor 1608 0.1µF, 25V, B	Std.
C <sub>NF1</sub>	1	6,800pF	Ceramic Capacitor 1608 6,800pF, 50V, B	Std.
C <sub>FB</sub>	1	180pF	Ceramic Capacitor 1608 180pF, 50V, CH	Std.
C <sub>LF1</sub>	1	2,200pF	Ceramic Capacitor 1608 2,200pF, 50V, B	Std.
C <sub>SENSE</sub>	1	UMK212BJ105KG-T	Ceramic Capacitor 2012 1µF, 50V, B	Taiyo yuden
R1	1	13kΩ	Resistor 1608 13kΩ, ±1%, 0.1W	Std.
R2	1	68kΩ	Resistor 1608 68kΩ, ±1%, 0.1W	Std.
R <sub>NF</sub>	1	6.8kΩ	Resistor 1608 6.8kΩ, ±5%, 0.1W	Std.
R <sub>FB</sub>	1	1kΩ	Resistor 1608 1kΩ, ±5%, 0.1W	Std.
R <sub>G</sub>	1	0Ω (Short)	Resistor 1608 0Ω, 0.1W	Std.
R <sub>SENSE1</sub>	1	LPS1R030FE	Current Sense Resistor 30mΩ, ±1%, 1W	Hokuriku Electric Industry
R <sub>LF1</sub>	1	22Ω	Resistor 1608 22Ω, ±5%, 0.1W	Std.
R <sub>T</sub>	1	5.6kΩ	Resistor 1608 5.6kΩ, ±1%, 0.1W	Std.

### ■アプリケーション設計例（続き）

#### ●発振周波数の設定

「Oscillating Frequency vs. Timing Resistor」特性例より、 $f_{osc}=345\text{kHz}$  のとき、 $R_T=5.6\text{ [k}\Omega\text{]}$ 、 $t=2.9\text{ [}\mu\text{s]}$ となります。

降圧回路のデューティ比は、

$$\text{Duty} = \frac{V_{\text{OUT}} + V_F}{V_{\text{IN}}} \times 100 = \frac{5 + 0.4}{12} \times 100 = 45\text{ [\%]}$$

より、 $t_{\text{ON}}=1.31\text{ [}\mu\text{s]}$ 、 $t_{\text{OFF}}=1.59\text{ [}\mu\text{s]}$ で動作します。

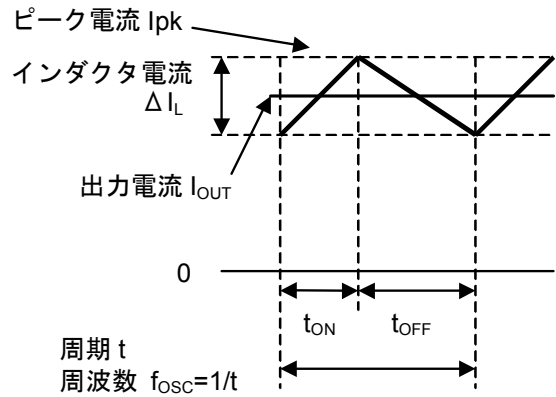


図 1.3 インダクタ電流波形

#### ●インダクタの決定

本アプリケーションでは、インダクタ・リップル電流を、出力電流の 30%として設計します。

リップル電流を  $\Delta I_L$  とすると、

$$\Delta I_L = 0.3 \times I_{\text{OUT}} = 0.3 \times 3 = 0.9\text{ [A]}$$

インダクタンス  $L$  を求めます。

$$L = \frac{V_{\text{IN}} - V_{\text{DS-RON}} - V_{\text{OUT}}}{\Delta I_L} \times t_{\text{ON}} = \frac{12 - 0.2 - 5}{0.9} \times 1.31\mu = 10\text{ [}\mu\text{H]}$$

但し、 $V_{\text{DS-RON}}$  : MOSFET の ON 抵抗による電圧低下分

インダクタンス  $L$  は、理論上の値であり、アプリケーションの仕様、部品等によって最適な値は異なりますので、最終的には実機で微調整を行います。

定常動作時のピーク電流  $I_{\text{pk}}$  を求めます。

$$I_{\text{pk}} = I_{\text{OUT}} + \frac{\Delta I_L}{2} = 3 + \frac{0.9}{2} = 3.45\text{ [A]}$$

インダクタンスに流せる電流は、スイッチング時のピーク電流に対して十分な余裕を持たせます。

アプリケーション回路では、 $10\mu\text{H}/6.7\text{A}$  を使用します。

#### ●過電流検出の設定

スイッチング時のピーク電流  $I_{\text{pk}}$  に対して過電流設定を行います。本アプリケーション例では、 $I_{\text{pk}}=4\text{A}$  付近に制限電流値  $I_{\text{LIMIT}}$  を設定します。

$$I_{\text{LIMIT}} = V_{\text{IPK}} / R_{\text{SC}} = 120\text{mV} / 30\text{m}\Omega = 4\text{ [A]}$$

SI 端子での過電流検出から OUT 端子が停止信号を出力するまでの応答時間により、リミット値は若干増加します。

$$I_{\text{LIMIT\_DELAY}} = I_{\text{LIMIT}} + \frac{V_{\text{IN}}}{L} \times t_{\text{DELAY}} = 4.0 + \frac{12}{10\mu} \times 80\text{n} = 4.1\text{ [A]}$$

### ■アプリケーション設計例（続き）

#### ●入力コンデンサの決定

入力コンデンサは、入力ラインの電源インピーダンスを十分に下げるために必要です。コンデンサの選定には、容量よりも入力リップル電流とコンデンサ耐圧に重点をおいて決定します。

入力実効電流は、下記計算式で表せます。

$$I_{\text{RMS}} = I_{\text{OUT}} \times \frac{\sqrt{V_{\text{OUT}} \times (V_{\text{IN}} - V_{\text{OUT}})}}{V_{\text{IN}}} \text{ [A]}$$

上記計算式は、 $V_{\text{IN}}=2 \times V_{\text{OUT}}$  時が最大になり、その時の結果は、 $I_{\text{RMS}}=I_{\text{OUT(MAX)}} \div 2$  です。

入力コンデンサの選定は、アプリケーションで評価の上、十分なマージンを持った物をご使用ください。

#### ●出力コンデンサの決定

出力コンデンサは、出力のリップルノイズを決める重要な部品です。

出力コンデンサは、ESR、リップル電流、コンデンサ耐圧に重点をおいて決定します。

出力リップル電圧は、下記計算式で表せます。

$$V_{\text{ripple (p-p)}} = \Delta I_L \times \left( \text{ESR} + \frac{1}{8 \times f_{\text{OSC}} \times C_{\text{OUT}}} \right) \text{ [V]}$$

また出力容量の選定には、十分なリップル電流を許容できる物を選びます。

コンデンサに流れるリップル電流の実効値( $I_{\text{rms}}$ )は、

$$I_{\text{rms}} = \frac{\Delta I_L}{2\sqrt{3}} = \frac{0.9}{2\sqrt{3}} = 260 \text{ [mArms]}$$

となります。

ここでは十分なマージンをふまえて、上記スペックを満たせるコンデンサを使用します。アプリケーション回路では、セラミックコンデンサ  $C_{\text{OUT}}=47\mu\text{F}/16\text{V}$  を使用します。

#### ●出力電圧の設定

出力電圧  $V_{\text{OUT}}$  は、R1,R2 の抵抗比で決まります。R1,R2 に流れる電流は、Error AMP に流れるバイアス電流を無視できるような値とします。

$$V_{\text{OUT}} = \left( \frac{R2}{R1} + 1 \right) \times V_B = \left( \frac{68\text{k}}{13\text{k}} + 1 \right) \times 0.8 = 4.98 \text{ [V]}$$



## 技術資料

### ■補償の設計例

スイッチングレギュレータは、安定した出力を得るためにフィードバック回路を必要とします。インダクタンスや出力コンデンサ等によって、アプリケーションの周波数特性が変化するので、安定動作に必要な位相を確保しつつ、最大の帯域が得られる補償定数が理想的です。

これらの補償定数は、実機調整も大きな役割を果たします。最終的にはアプリケーション仕様を考慮して、測定しながら定数を選定してください。

### ●フィードバックと安定性

フィードバックループは、ループゲインが0dBとなる点において、開ループの位相シフトを $-180^\circ$ 未満にする事が基本です。さらに負荷変動時のリングングや発振耐性を考えると、位相余裕を確保したループ特性が重要です。NJW4161ではフィードバック回路が任意に設計できるため、ループ補償に重要なポールとゼロの配置を最適化する事が可能です。

ポールとゼロの特性を図14に示します。

ポール：ゲインは $-20\text{dB/dec}$ の傾きをもち、位相は $-90^\circ$ シフトします。

ゼロ：ゲインは $+20\text{dB/dec}$ の傾きをもち、位相は $+90^\circ$ シフトします。

ポールとなる要因の数を $n$ とすれば、ゲイン・位相の変化も $n$ 倍になります。ゼロにおいても同様です。ポールとゼロは相反の関係にあるため、それぞれの要因が1つずつあれば、打ち消し合うこととなります。

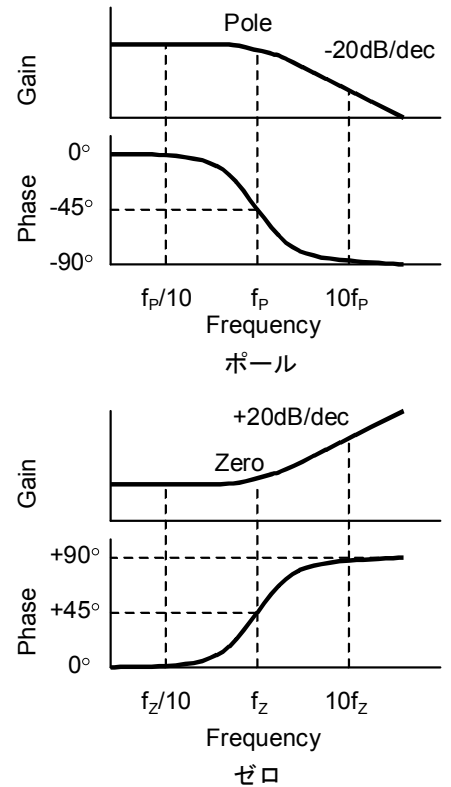


図14 ポールとゼロの特性

### ●補償回路の構成

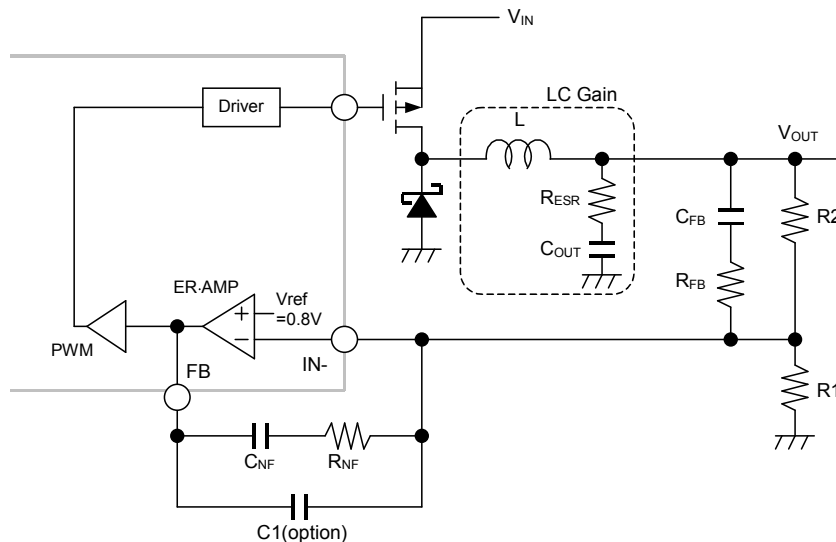


図15 補償回路の構成

### ■補償の設計例 (続き)

#### ●インダクタンスと出力コンデンサによるポールとゼロ

インダクタンスと出力コンデンサによってダブルポール  $f_{P(LC)}$  を発生させます。同時に出力コンデンサと ESR によってシングルゼロ  $f_{Z(ESR)}$  が生成されます。それぞれのポールとゼロは、次の式によって表すことができます。

$$f_{Z(ESR)} = \frac{1}{2\pi C_{OUT} R_{ESR}} \quad f_{P(LC)} = \frac{1}{2\pi \sqrt{LC_{OUT}}}$$

出力コンデンサの ESR が大きい場合、 $f_{Z(ESR)}$  が  $f_{P(LC)}$  の近傍に位置します。このようなアプリケーションでは、ゼロ  $f_{Z(ESR)}$  がダブルポール  $f_{P(LC)}$  を補償する形となり安定性を確保しやすい傾向があります。

しかし出力コンデンサの ESR が小さい場合、 $f_{Z(ESR)}$  は高域に移行し  $f_{P(LC)}$  によって位相が  $-180^\circ$  シフトしてしまいます。NJW4161 の補償回路では、 $f_{Z1}$  と  $f_{Z2}$  のゼロを用いて補償することが可能です。

#### ●エラーアンプによるポールとゼロ

エラーアンプで形成されるシングルポール・ゼロは次の式によって求められます。

ゼロ	ポール
$f_{Z1} = \frac{1}{2\pi C_{NF} R_{NF}}$	$f_{P1} = \frac{1}{2\pi C_{NF} A_V \left( \frac{R1R2}{R1+R2} \right)}$ ( $A_V$ : アンプの開ループ利得=80dB)
$f_{Z2} = \frac{1}{2\pi C_{FB} R2}$	$f_{P2} = \frac{1}{2\pi C_{FB} \left( R_{FB} + \frac{R1R2}{R1+R2} \right)}$
	$f_{P3} = \frac{1}{2\pi C1 R_{NF}}$ (Option)

$f_{Z1}$ 、 $f_{Z2}$  は、 $f_{P(LC)}$  の両側に配置します。

インダクタンス、出力コンデンサのばらつきがあるため、

$$f_{P(LC)} \times 0.5 \text{ 倍} \sim 0.9 \text{ 倍}$$

$$f_{P(LC)} \times 1.1 \text{ 倍} \sim 2.0 \text{ 倍}$$

を目安にそれぞれを設定します。

$f_{Z1}$ 、 $f_{Z2}$  を  $f_{P(LC)}$  よりも低い位置に配置する方法もあります。位相のシフト量が増してゲインも高くなる傾向を持つことから、応答性の向上が期待できます。しかし高周波での位相余裕が不足しやすい傾向があるので注意が必要です。

$f_{P1}$  はエラーアンプのミラー効果によって、低周波領域にポールを作ります。 $f_{P1}$  が低くなるほど安定性は向上しますが、周波数特性が伸びず、応答性に影響を与えます。 $f_{P1}$  は、 $f_{P(LC)}$  の周波数利得=20dB を目安に設定します。

エラーアンプの開ループ利得=80dB とすると、 $f_{P1} < f_{P(LC)} \div 10^3 (=60\text{dB})$  を目安に設計します。

数 100kHz 以上では様々なポールが生じるため、ループゲインの 0dB 周波数は発振周波数の 1/5~1/10 を上限に設定します。高周波領域にある  $f_{Z(ESR)}$  が影響して、ループゲインを発生させる場合があります (図 1 6 Loop Gain ※参照)。  $f_{P2}$ 、 $f_{P3}$  を用いて高周波領域でのループゲインを十分に下げるよう、実機で調整を行ってください。

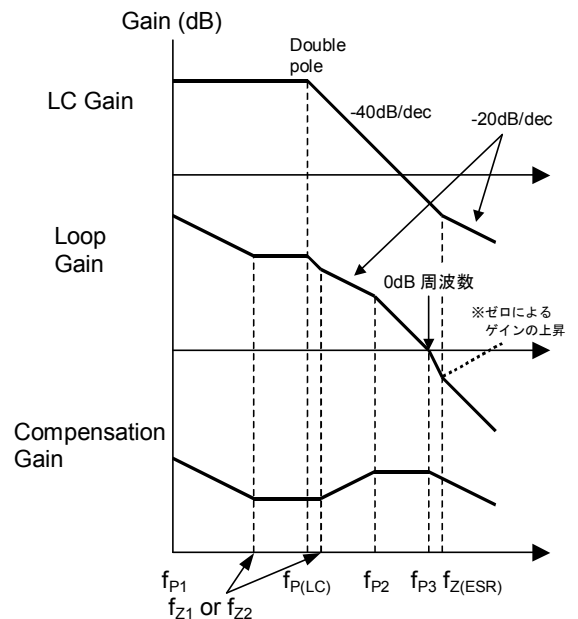
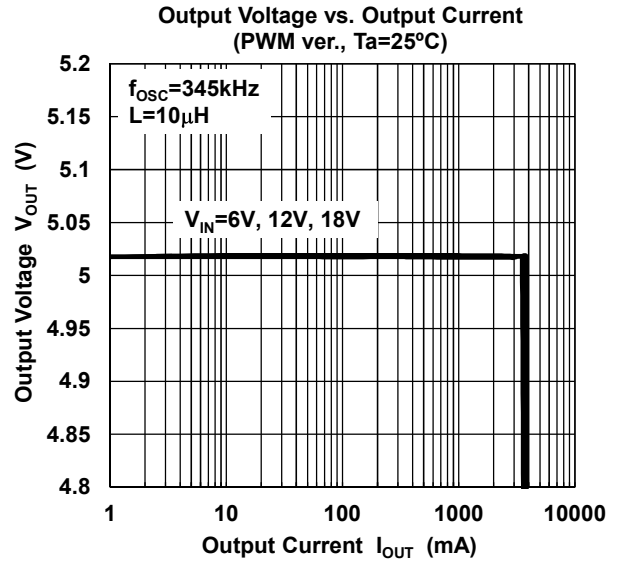
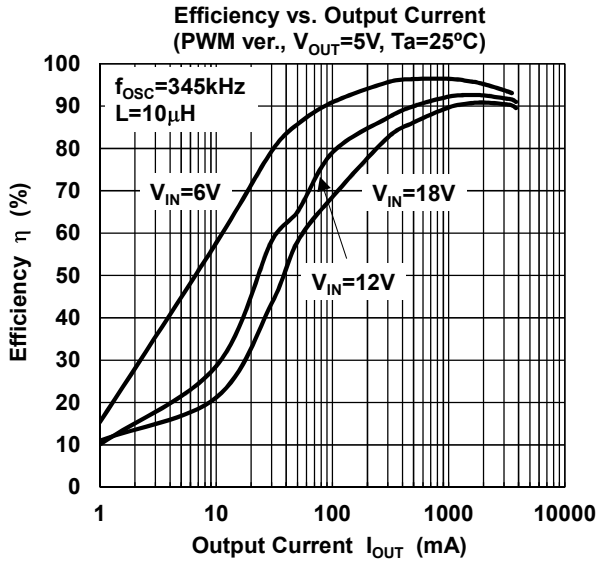


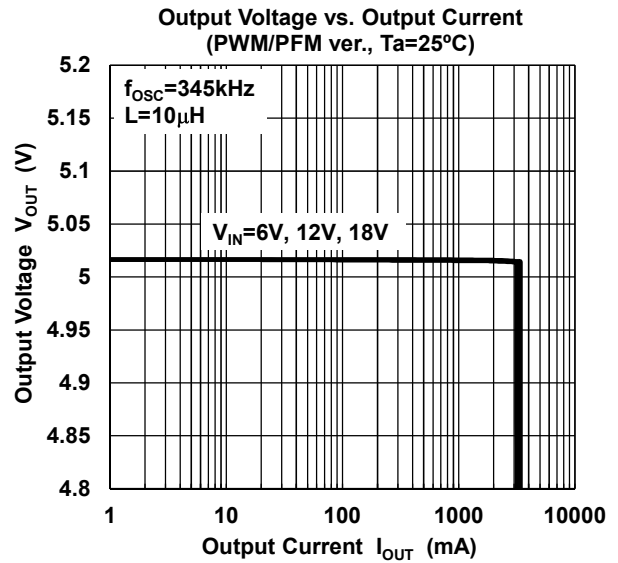
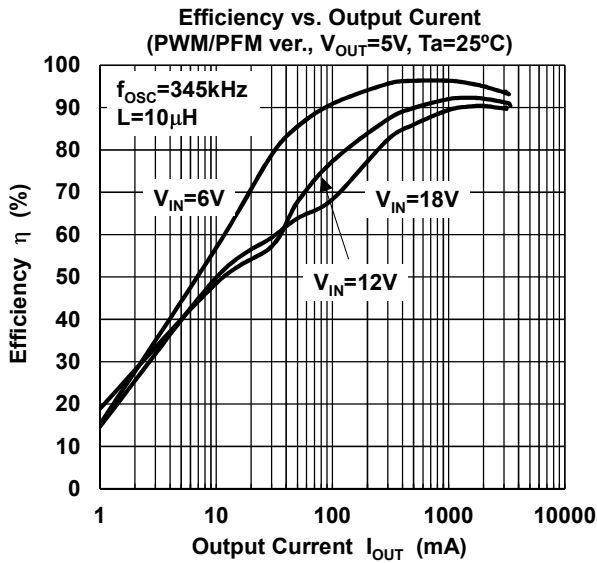
図 1 6 ループゲイン例

### ■アプリケーション特性例

●PWM control : A version, B version



●PWM/PFM Control : C version



## MEMO

<注意事項>

このデータブックの掲載内容の正確さには万全を期しておりますが、掲載内容について何らかの法的な保証を行うものではありません。とくに応用回路については、製品の代表的な応用例を説明するためのものです。また、工業所有権その他の権利の実施権の許諾を伴うものではなく、第三者の権利を侵害しないことを保証するものでもありません。