

MOSFET ドライブ 降圧用 スイッチングレギュレータ IC

概要

NJW4160 は、3V ~ 35V の広動作電圧範囲に対応した降圧用スイッチングレギュレータ IC です。Pch MOSFET を効率よく駆動するためのドライバーを内蔵し、大電流出力のアプリケーションを実現します。

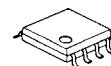
保護機能にパルス・バイ・パルスの過電流検出を搭載し、過負荷時の出力電流を制限します。負荷の異常回復にともない、スイッチングの自動復帰が可能です。

カーアクセサリ、OA 機器、産業機器などの高電圧からロジック電圧の生成に最適です。

外形



NJW4160R

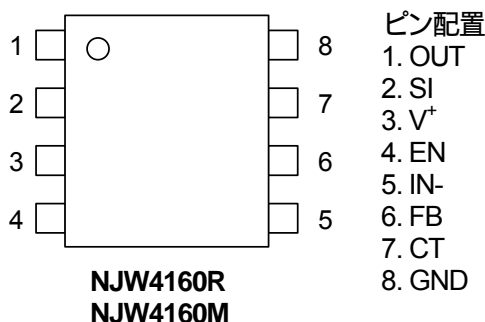


NJW4160M

特徴

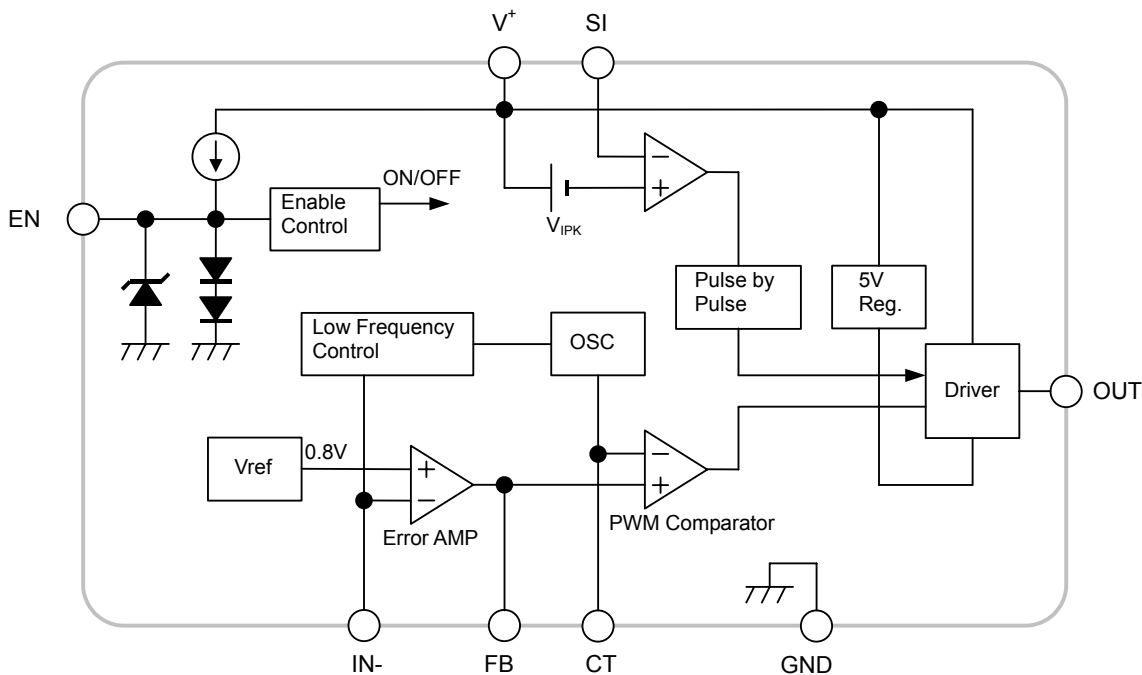
Pch MOSFET ドライブ	駆動電圧 V^+ -5.35V(typ.)
広動作電圧範囲	3V ~ 35V
PWM 制御方式	
広発振周波数	50kHz ~ 1MHz
過電流保護機能	
低電圧誤動作防止回路内蔵	
スタンバイ機能	
外形	NJW4160R : VSP8 NJW4160M : DMP8

端子配列



NJW4160

ブロック図



絶対最大定格 (Ta=25°C)

項目	記号	定格	単位
入力電圧	V ⁺	+40	V
OUT 端子電圧	V _{OUT}	V ⁺ -6 ~ V ⁺	V
EN 端子流入電流	I _{EN}	500	μA
IN-端子電圧	V _{IN-}	+6	V
CT 端子電圧	V _{CT}	+6 (*1)	V
消費電力	P _D	VSP8: 595 (*2) DMP8: 530 (*2)	mW
動作温度範囲	T _{opr}	-40 ~ +85	°C
保存温度範囲	T _{stg}	-40 ~ +150	°C

(*1): 入力電圧が6V以下の時は入力電圧と等しくなります

(*2): 基板実装時 114.3mm × 76.2mm × 1.6mm(2層 FR-4)でEIA/JEDEC 準拠による

推奨動作条件

項目	記号	最小	標準	最大	単位
電源電圧	V ⁺	3	-	35	V
タイミングキャパシタ	C _T	120	-	3,300	pF
発振周波数	f _{OSC}	50	-	1,000	kHz

電気的特性 ($V^+=12V$, EN 端子は $R_{EN}=200k\Omega$ で V^+ へプルアップ, $C_T=470pF$, $T_a=25^\circ C$)

項目	記号	条件	最小	標準	最大	単位
発振器部						
発振周波数	f_{OSC}	$C_T=470pF$	270	300	330	kHz
充電電流	I_{chg}		180	200	220	μA
放電電流	I_{dis}		180	200	220	μA
電圧振幅	V_{OSC}		-	0.6	-	V
周波数電源電圧変動	f_{DV}	$V^+=3 \sim 35V$	-	1	-	%
周波数温度変動	f_{DT}	$T_a=-40 \sim +85^\circ C$	-	5	-	%
発振周波数 (低発振周波数コントロール時)	f_{OSC_LOW}	$V_{IN-}=0.3V, V_{FB-}=0.7V$	-	100	-	kHz
誤差増幅器部						
基準電圧	V_B		-1.0%	0.8	+1.0%	V
入力バイアス電流	I_B		-0.1	-	0.1	μA
開ループ利得	A_V		-	80	-	dB
利得帯域幅積	G_B		-	1	-	MHz
出力ソース電流	I_{OM+}	$V_{FB-}=1V, V_{IN-}=0.7V$	50	90	140	μA
出力シンク電流	I_{OM-}	$V_{FB-}=1V, V_{IN-}=0.9V$	6	13	20	mA
PWM 比較器部						
入力スレッシュホールド電圧 (FB 端子)	V_{T_0}	Duty=0%, $V_{IN-}=0.6V$	0.32	0.4	0.48	V
	V_{T_50}	Duty=50%, $V_{IN-}=0.6V$	0.63	0.7	0.77	V
最大デューティサイクル	$M_{AX}D_{UTY}$	$V_{FB-}=1.2V$	100	-	-	%
電流検出部						
電流制限検出電圧	V_{IPK}		95	120	145	mV
遅延時間	T_{DELAY}		-	100	-	ns
出力部						
出力 H 側 ON 抵抗	R_{OH}	$I_O = -50mA$	-	3.5	7	Ω
出力 L 側 ON 抵抗	R_{OL}	$I_O = +50mA$	-	9	-	Ω
出力シンク電流	I_{OL}	OUT 端子= $V^+-4.8V$	20	30	45	mA
OUT 端子制限電圧	V_{OLIM}		$V^+-5.5$	$V^+-5.35$	$V^+-5.0$	V
低電圧誤動作防止回路部						
ON スレッシュホールド電圧	V_{T_ON}	$V^+=L \quad H$	2.65	2.8	2.95	V
OFF スレッシュホールド電圧	V_{T_OFF}	$V^+=H \quad L$	2.4	2.55	2.7	V

NJW4160

電気的特性 ($V^+=12V$, EN 端子は $R_{EN}=200k\Omega$ で V^+ へプルアップ, $C_T=470pF$, $T_a=25^\circ C$)

項目	記号	条件	最小	標準	最大	単位
----	----	----	----	----	----	----

イネーブル制御部

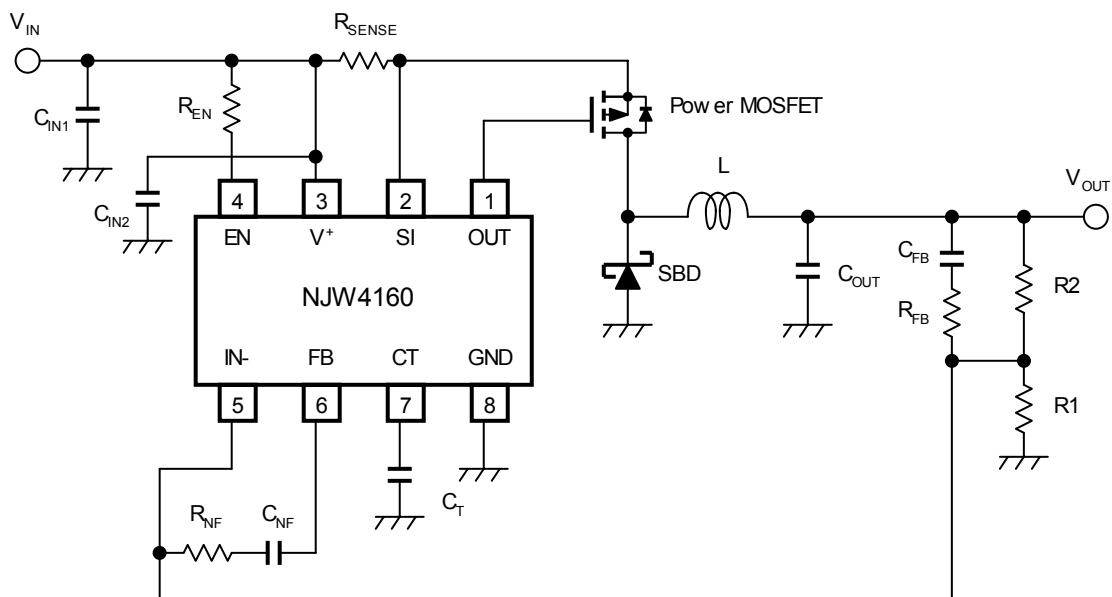
ON 制御電圧	V_{ON}	$V_{EN}=L$ H	1.6	-	$V_{Z_{EN}}$	V
OFF 制御電圧	V_{OFF}	$V_{EN}=H$ L	0	-	0.5	V
EN 端子オープン時電圧	V_{EN_OPEN}		1.5	1.8	2.0	V
EN 端子ツェナー電圧	$V_{Z_{EN}}$	$I_{EN}=450\mu A$	4.8	5.2	-	V
EN 端子ソース電流	I_{EN_SOURCE}	$V_{EN}=0V$	0.6	2.0	6.0	μA
EN 端子シンク電流	I_{EN_SINK}	$V_{EN}=4.8V$	-	20	40	μA

総合特性

消費電流	I_{DD}	R_L =無負荷, $V_{IN}=0.7V$, $V_{FB}=0.7V$	-	1.1	1.5	mA
スタンバイ時消費電流	I_{DD_STB}	$V_{EN}=0V$	-	3.5	6	μA

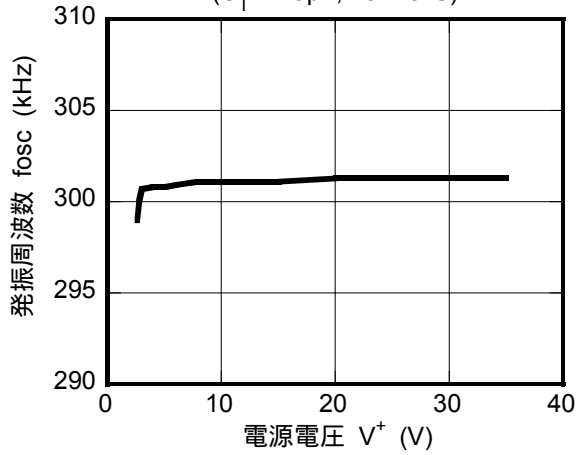
アプリケーション回路例

非絶縁降圧形

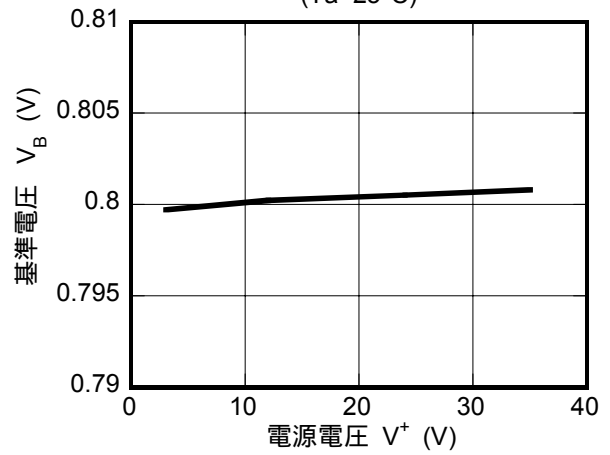


特性例

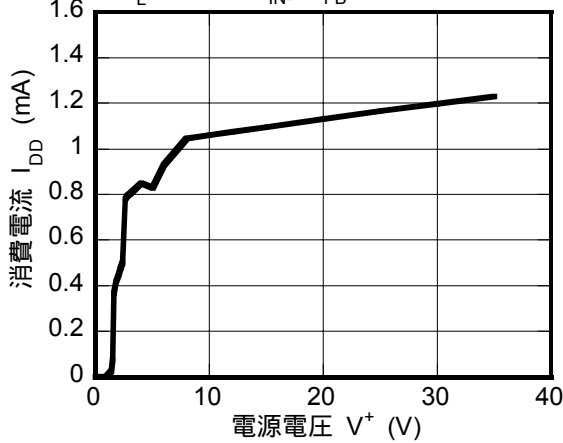
発振周波数対電源電圧特性例
($C_T=470\text{pF}$, $T_a=25^\circ\text{C}$)



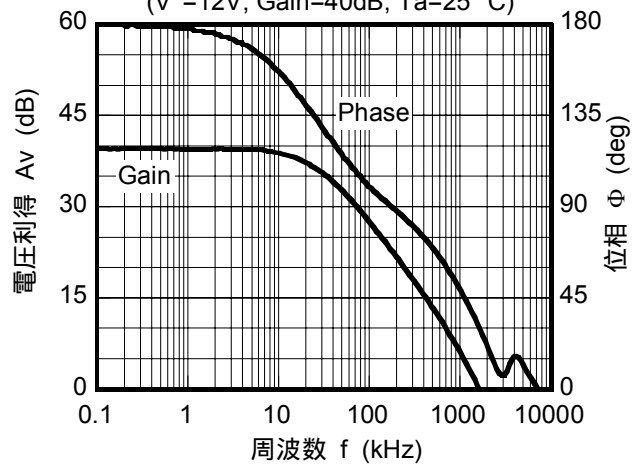
基準電圧対電源電圧特性例
($T_a=25^\circ\text{C}$)



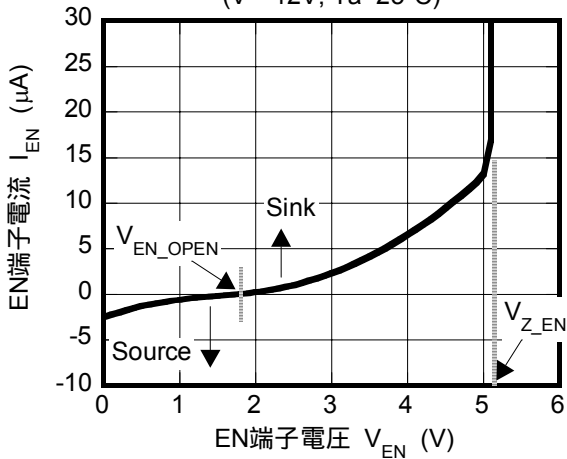
消費電流対電源電圧特性例
(R_L =無負荷, $V_{IN-}=V_{FB}=0.7\text{V}$, $T_a=25^\circ\text{C}$)



誤差増幅器部 電圧利得, 位相特性例
($V^+=12\text{V}$, $\text{Gain}=40\text{dB}$, $T_a=25^\circ\text{C}$)



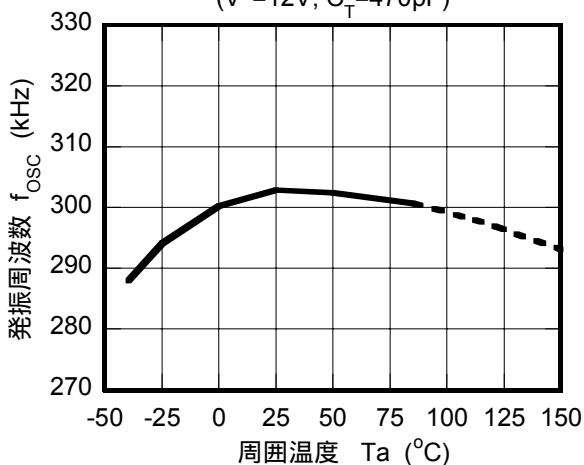
EN端子電流対EN端子電圧特性例
($V^+=12\text{V}$, $T_a=25^\circ\text{C}$)



特性例

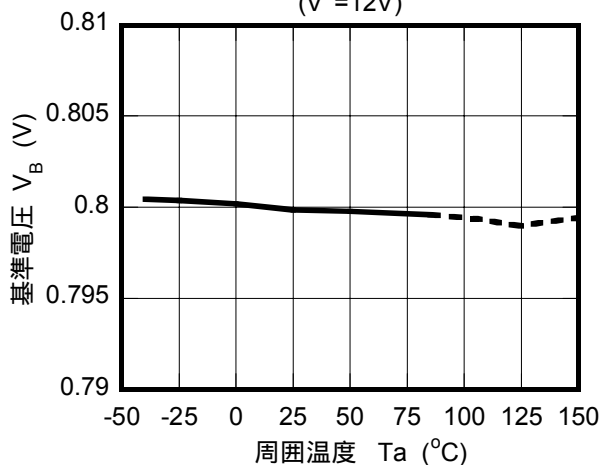
発振周波数温度特性例

($V^+=12V, C_T=470pF$)



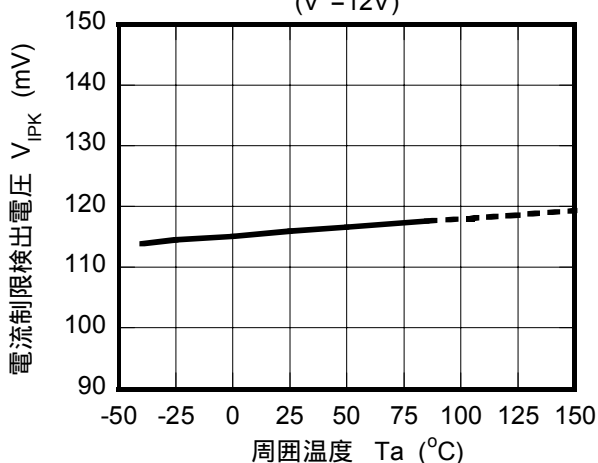
基準電圧温度特性例

($V^+=12V$)



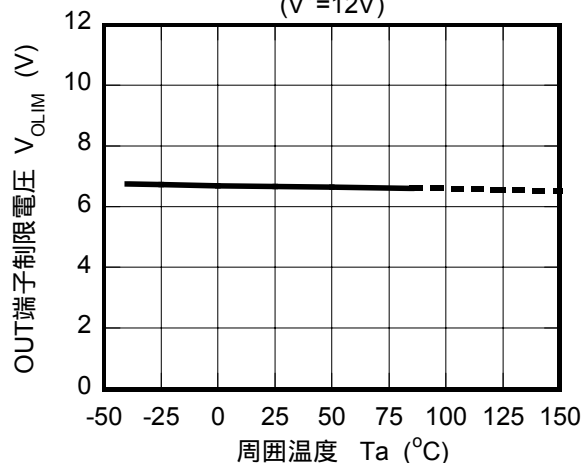
電流制限検出電圧温度特性例

($V^+=12V$)



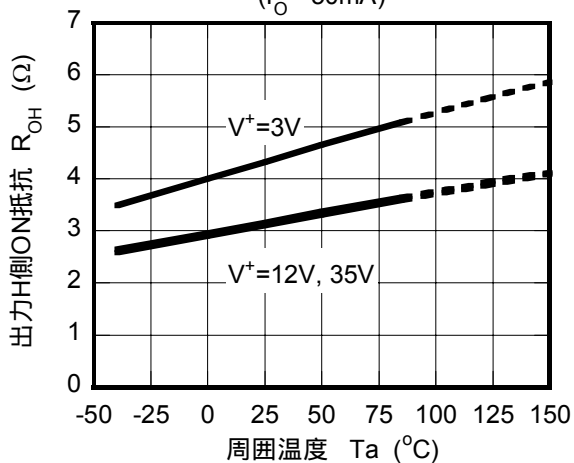
OUT端子制限電圧温度特性例

($V^+=12V$)



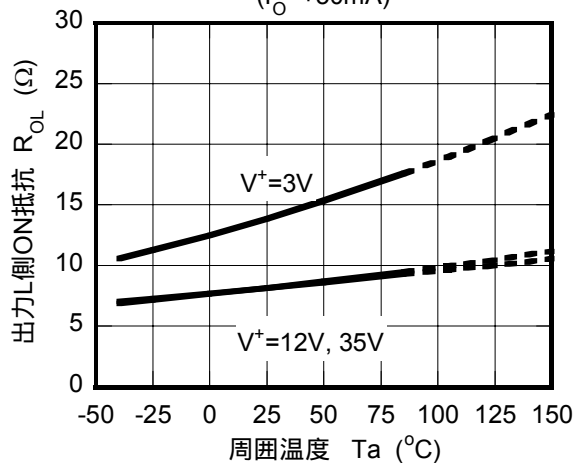
出力H側ON抵抗温度特性例

($I_O=-50mA$)



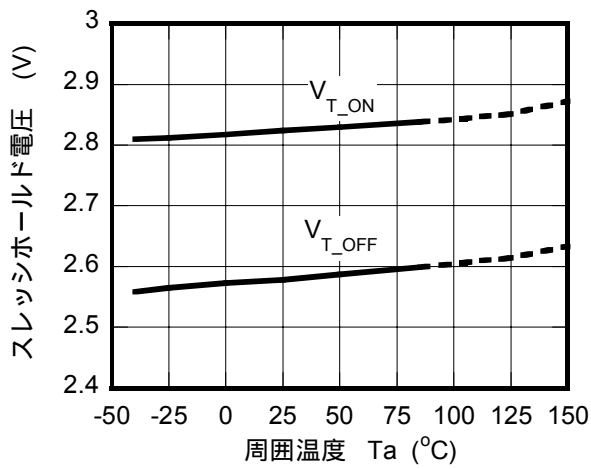
出力L側ON抵抗温度特性例

($I_O=+50mA$)

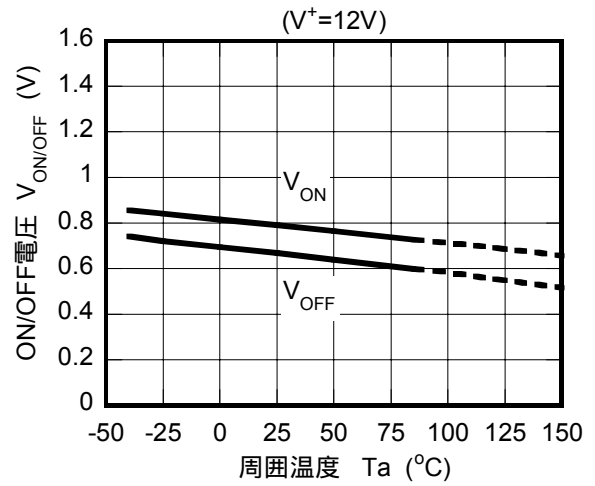


特性例

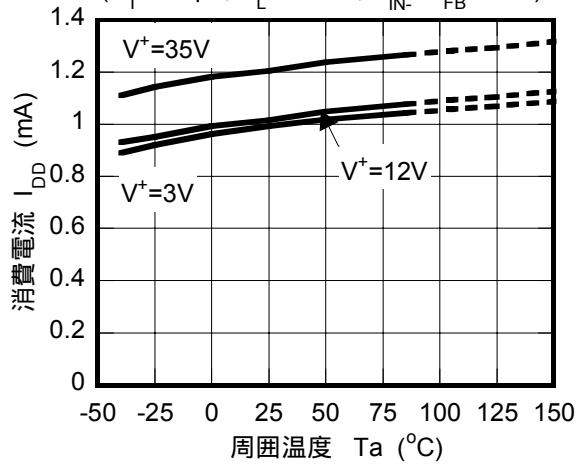
低電圧誤動作防止回路部温度特性例



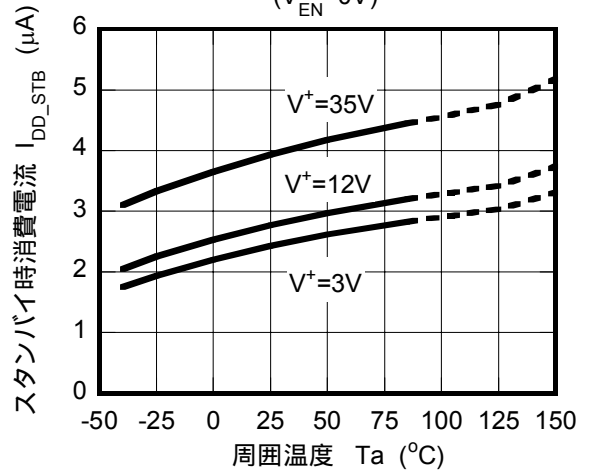
イネーブル制御部ON/OFF電圧温度特性例



消費電流温度特性例
($C_T = 470pF$, $R_L =$ 無負荷, $V_{IN-} = V_{FB} = 0.7V$)



スタンバイ時消費電流温度特性例
($V_{EN} = 0V$)



端子説明

端子番号	端子名称	機能
1	OUT	パワー-MOSFET を駆動するための出力端子です。 OUT 端子の電圧は、Pch MOSFET のゲートを保護するため、Low レベル時に $V^+ - 5.35V$ typ. でクランプされます。
2	SI	電流検出を行う端子です。 V^+ 端子-SI 端子間の電位差が $120mV$ typ. を超えると、過電流検出機能により動作を制限します。
3	V^+	電源供給端子
4	EN	NJW4160 の動作・停止を制御する端子です。 High レベルまたはオープンで通常動作、Low レベルでスタンバイモードとなります。
5	IN-	出力電圧を検出する端子です。 IN- 端子電圧が基準電圧 $0.8V$ typ. となるように出力電圧を抵抗分割して入力します。
6	FB	フィードバック設定端子です。 FB 端子 - IN- 端子間にフィードバック抵抗・コンデンサを接続します。
7	CT	タイミングキャパシタを接続して、発振周波数を決める端子です。 発振周波数は、 $50k \sim 1MHz$ の間で設定してください。
8	GND	接地

各ブロックの機能説明

エラーアンプ部 (ER-AMP)

エラーアンプ部の非反転入力、 $0.8V \pm 1\%$ の高精度基準電圧が接続されています。

アンプの反転入力(IN-端子)にコンバータの出力を入力することで、出力電圧 $0.8V$ からのアプリケーション設計を容易にできます。出力電圧を $0.8V$ 以上にする場合は、出力電圧を抵抗分割することで設定します。

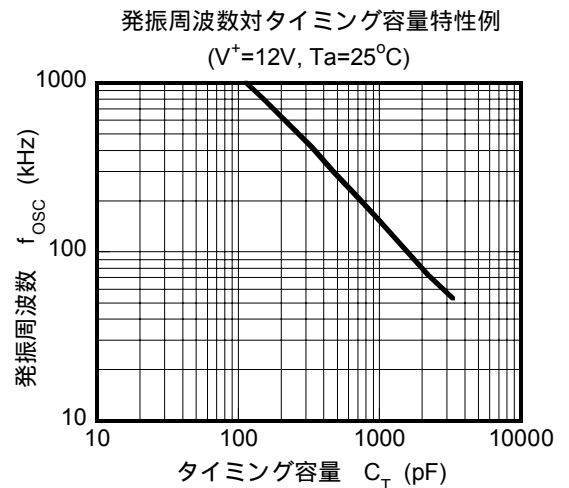
アンプ部は高利得のゲインを持ち、フィードバック(FB 端子)が外部に出ています。FB 端子 - IN-端子間にフィードバック抵抗・コンデンサを設けることが容易なため、各種アプリケーションにおける最適なループ補償を設定できます。

発振回路部 (OSC)

CT 端子-GND 間にコンデンサを接続することで発振周波数を設定します。「発振周波数対タイミング容量 特性例」を参考に $50kHz \sim 1MHz$ の間で設定してください。

発振回路における三角波は、 $0.4V \sim 1.0V$ の振幅(@ $C_T=470pF$ 、参考値)を生成します。

また IN-端子電圧が $0.3V$ 以下では、低発振周波数にコントロールされ、発振周波数を設定値の約 33% で動作します。これによって過電流保護機能動作時のエネルギー消費を抑えます。



PWM 比較器部 (PWM)

エラーアンプと三角波の信号を受け、スイッチングのデューティ比をコントロールします。

PWM 比較器部でエラーアンプと三角波の信号を受け、スイッチングのデューティ比 $0 \sim 100\%$ までコントロールします。タイミングチャートを図 1 に示します。

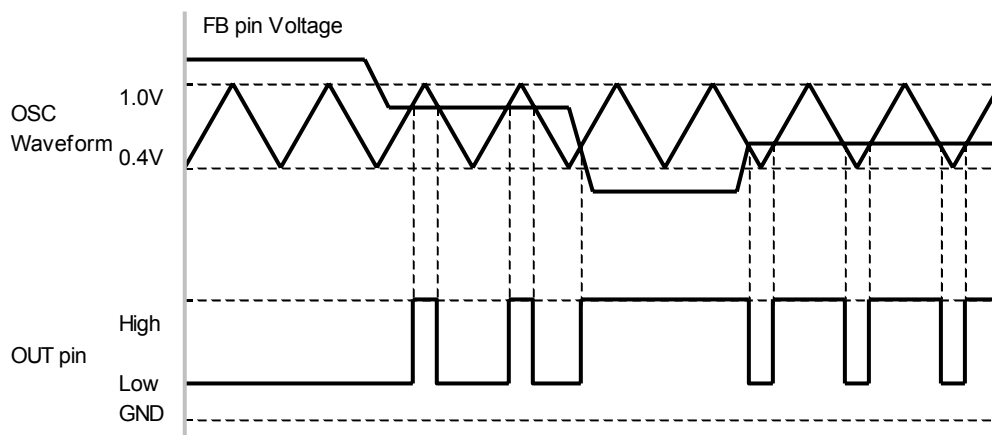


図 1 PWM 比較器部と OUT 端子のタイミングチャート

各ブロックの機能説明 (続き)

ドライバ回路 (Driver)

ドライバ回路は、トータムポール形式で構成され、OUT 端子に接続される Pch MOSFET を効率よく駆動します。OUT 端子の電圧は、Pch MOSFET のゲートを保護するため、内部レギュレータによって Low レベル時に $V^+ - 5.35V$ typ. でクランプされます。(図2 OUT pin 参照)

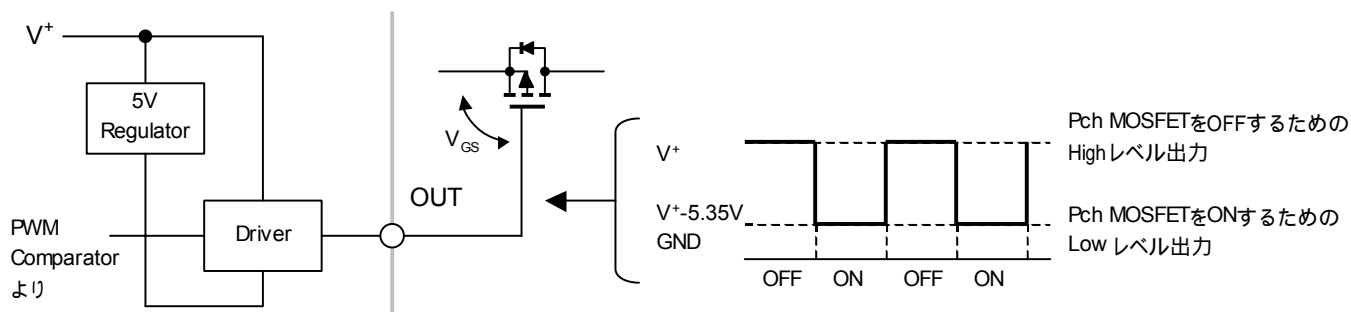


図2 ドライバ回路と OUT 端子電圧

NJW4160 の電源電圧の低下によって、OUT 端子から出力されるゲート駆動電圧が低下しますが、電源電圧 5V 付近で内部レギュレータをスルーし、ゲート駆動電圧を確保しています。図3に OUT 端子電圧対電源電圧特性例を示します。

MOSFET の最適な駆動能力は、発振周波数と MOSFET のゲート容量によって変化します。

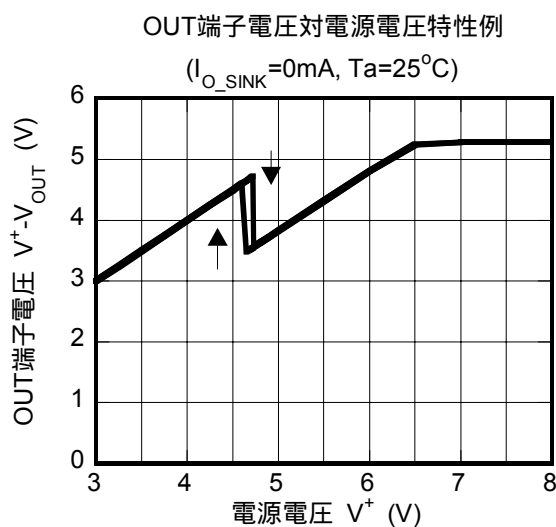


図3 OUT 端子電圧対電源電圧特性例

各ブロックの機能説明 (続き)

電源、GND 端子 (V^+ , GND)

MOSFET の駆動に伴い、周波数に応じた電流が IC に流れます。電源ラインのインピーダンスが高いと電源供給が不安定になり、IC の性能を十分に引き出せません。 V^+ 端子 - GND 端子間の近傍にバイパスコンデンサを挿入し、高周波インピーダンスを下げてください。

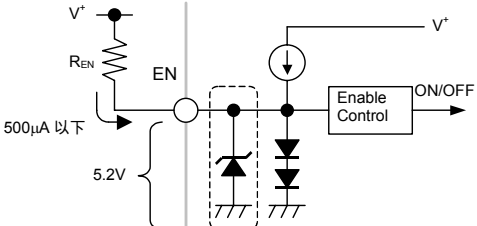
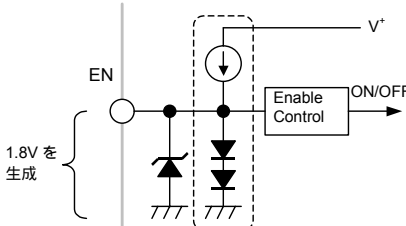
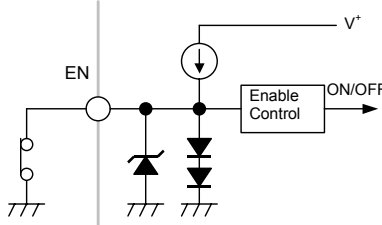
低電圧誤動作防止(UVLO)回路

電源電圧が低い場合、UVLO 回路によって動作を停止し、電源電圧 2.8V typ. 以上で UVLO 回路が解除されて IC の動作が開始します。電源電圧の立ち上がりとしち下がりに 250mV typ. のヒステリシス電圧幅を設け、UVLO の解除と動作のばたつきを防止します。

イネーブル機能 (Enable Control)

EN 端子の電圧によって、NJW4160 の動作を表 1 のように設定できます。

表 1 EN 端子電圧と NJW4160 の動作状態

NJW4160 の状態	EN 端子に電圧印加する場合	EN 端子の接続例
通常動作	1.6V ~ $V_{Z_EN}^*$ *内部ツェナー電圧	EN 端子にはツェナーダイオードが内蔵されており、EN 端子電圧を $V_{Z_EN}=5.2V$ typ. にクランプします。ツェナーダイオードに流れる電流は 500 μ A 以下にする必要があります。 
	EN 端子オープン	EN 端子をオープンにより、内蔵の電流源と 2 本のダイオードによって $V_{EN_OPEN}=1.8V$ typ. を生成します。 
スタンバイモード	0V ~ 0.5V	GND へ接続 

各ブロックの機能説明 (続き)

過電流検出回路

過電流検出回路は、 V^+ 端子 - SI 端子間の電位差が 120mV typ. 以上になると、スイッチングの出力を停止します。

V^+ 端子 - SI 端子間に電流検出抵抗 R_{sc} を挿入し、スイッチング電流を検出してください。

過電流検出動作時のタイミングチャートを図4に示します。

過電流検出が行われると、次のパルスまでスイッチング出力は Low レベルを維持します。パルス毎に過電流保護を行うため、過電流の異常状態から回復にともない、スイッチングレギュレータの出力電圧を自動的に復帰させることができます。

また IN-端子電圧が 0.3V 以下になると、低発振周波数にコントロールされ、発振周波数を設定値の約 33% で動作し、エネルギーの消費を抑えます。

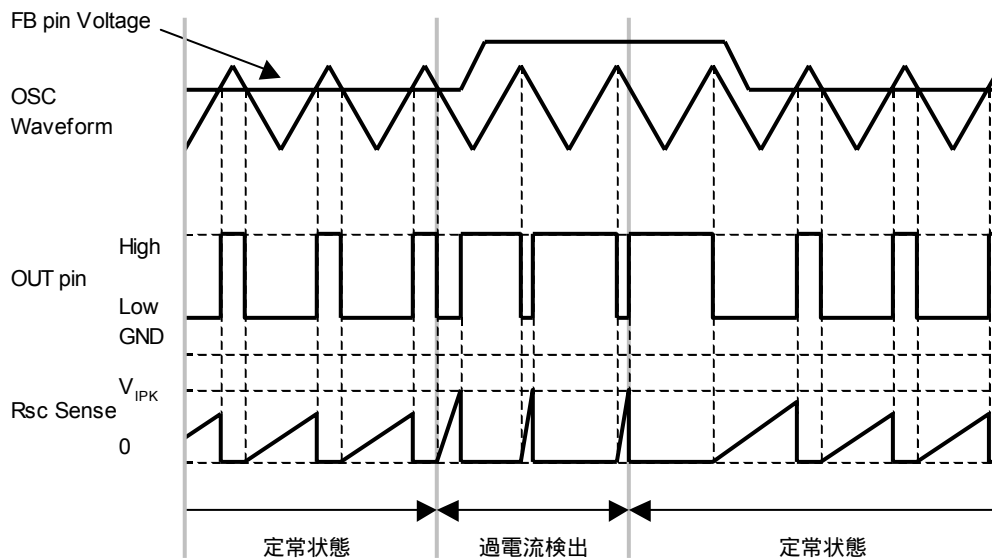


図4 過電流検出動作時のタイミングチャート

電流波形には、MOSFET、インダクタなどの寄生成分の影響による高周波ノイズが重畳しており、過電流検出機能の誤動作の原因となります。そのためアプリケーションによっては、電流検出抵抗 R_{SENSE} と SI 端子の間に RC のローパスフィルタを必要とする場合があります。フィルタは、スパイク幅 T と同等の時定数 ($T \leq R_{S1} \times C_{S1}$) を目安に調整してください。

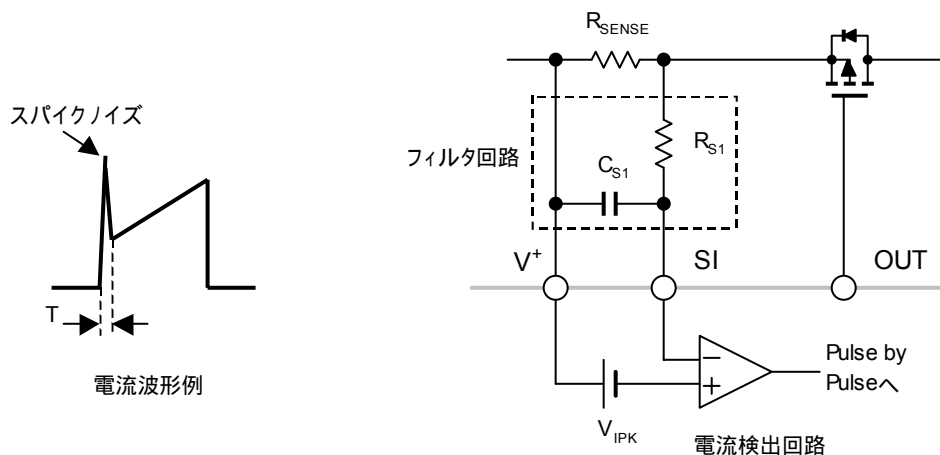


図5 電流波形とフィルタ回路

アプリケーション情報

インダクタ

インダクタには大電流が流れるため、飽和しない電流能力を持たせる必要があります。

L 値を小さくするとインダクタのサイズも小さくなります。しかし、ピーク電流が大きくなり効率が悪化します。

反面、L 値が大きくなると、スイッチング時のピーク電流は低下します。よって変換効率の改善、出力リップル電圧の低下につながります。あるレベル以上では、インダクタンスの巻数増加により、抵抗成分による損失（銅損）が大きくなります。

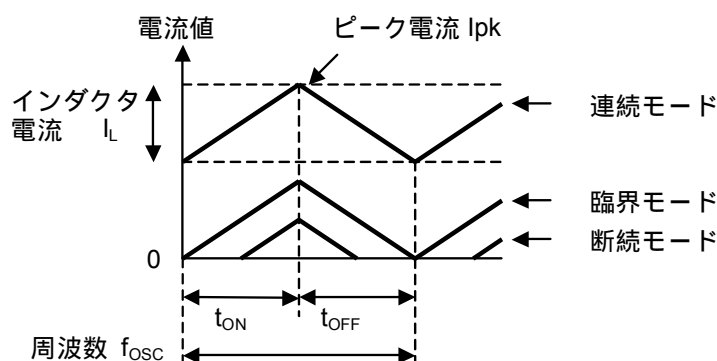


図6 インダクタ電流の状態偏移

理想的には、インダクタンス電流が連続モードになる様にL 値を設定します。しかし負荷電流が小さくなる程、連続モード 臨界モード 断続モードと電流波形が変化（図6）していきます。

断続モードにおいては、出力電流に対するピーク電流が大きくなり、変換効率が低下しやすくなります。場合によってはL 値を大きくし、連続モードの維持できる負荷電流領域を広げます。

キャッチ・ダイオード

パワーMOSFET がOFF サイクルの時は、インダクタに蓄えられた電力がキャッチ・ダイオードを経由して出力コンデンサに流れます。そのためダイオードにはサイクル毎に、負荷電流に応じた電流が流れます。ダイオードの順方向飽和電圧と電流の積が電力損失となるため、順方向飽和電圧の低いSBD (Schottky Barrier Diode)が最適です。

また SBD は、逆回復時間が短い特徴を併せて持っています。逆回復時間が長くなると、スイッチングトランジスタがOFF からON サイクルに移行した時、貫通電流が流れてしまいます。この電流によって効率の低下、ノイズの発生等に影響を及ぼす可能性が有ります。

スイッチング素子

スイッチング素子には、スイッチング用途に指定されたPch MOSFET を使用します。

NJW4160 のOUT 端子電圧は $V^+ - 5.35V$ typ. で制限されるため、MOSFET のゲート・ソース間電圧は5V 以下で十分にドレイン・ソース間ON 抵抗が小さくなるものを選びます。

NJW4160 の電源電圧が低くなると、OUT 端子から出力されるゲート駆動電圧も低下するため、入力電圧範囲に応じてMOSFET の仕様を決定してください。（ドライバ回路参照）

ゲート容量が大きいのは効率を低下させる要因につながります。ゲート容量への充放電により、スイッチングの立ち上がり/立ち下がり時間が遅れ、スイッチング損失が発生します。

また、ゲート容量のチャージ/ディスチャージには急激な電流変化を伴うため、寄生インダクタンス成分等によりスパイクノイズが出る場合があります。ゲート容量が小さい場合は、OUT 端子 - ゲート間に抵抗を挿入し適度に電流を制限してください。抵抗が大きすぎると波形がなまってしまい効率が低下するため、実機評価のうえ最適値を決定してください。

アプリケーション情報 (続き)

入力コンデンサ

スイッチングレギュレータの入力部には、周波数に応じた過渡的な電流が流れます。電源回路に供給される電源インピーダンスが大きいと入力電圧の変動につながり、NJW4160 の性能を十分に引き出せません。よって入力コンデンサは、できる限り MOSFET の近くに挿入してください。

出力コンデンサ

出力コンデンサは、インダクタンスからの電力を蓄え、出力への供給電圧を安定させる役割をします。

出力コンデンサの選定には、ESR(等価直列抵抗: Equivalent Series Resistance)の特性、リップル電流、耐圧を考慮に入れる必要が有ります。

また周囲温度によっては、コンデンサの容量低下、ESR の増加 (低温時) 寿命 (高温時) へ影響を与えます。出力コンデンサの定格には、十分なデレーティングを持たせるのが望ましい使い方です。

出力コンデンサの ESR 特性は、出力リップルノイズへ大きな影響を与えます。低 ESR タイプのコンデンサであれば、更にリップル電圧を下げる事が出来ます。セラミックコンデンサを使用する場合は、コンデンサへの直流電圧印加によって容量が低下するため注意が必要です。

アプリケーション情報 (続き)

基板レイアウト

スイッチングレギュレータは、インダクタの充放電によって出力へ電力供給を行います。発振周波数に応じて電流が流れるため、基板のレイアウトは重要な項目です。大電流の流れるラインは太く、短くし、ループ面積を最小限にしてください。図7に降圧回路における電流ループを示します。

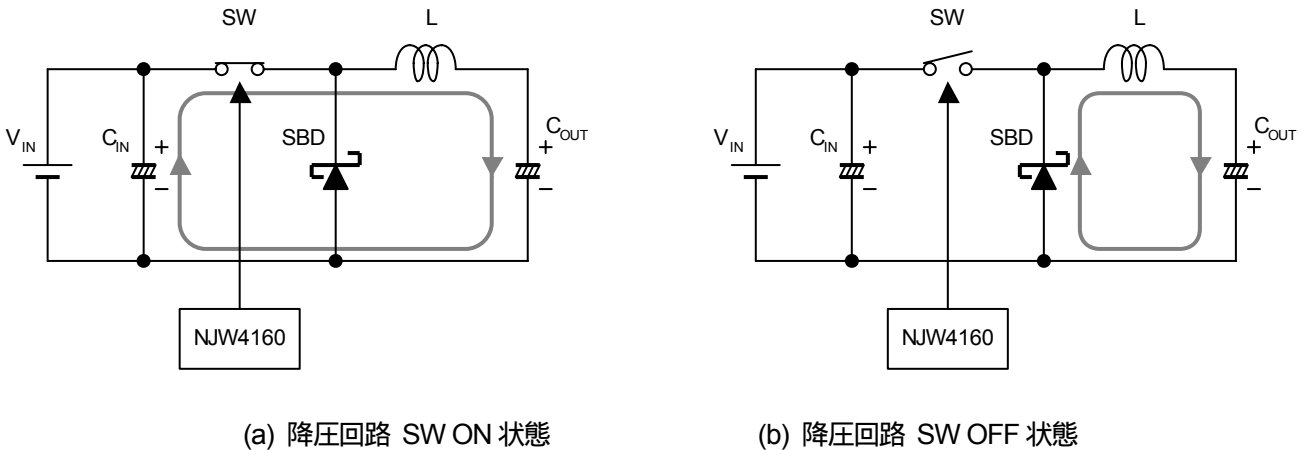


図7 降圧回路における電流ループ

GND ラインは、パワー系と信号系を分離した上で1点アースをとるのが望ましい接続です。

また電圧検出のフィードバックラインは、できるだけインダクタンスから離します。本ラインはインピーダンスが高いため、インダクタンスからの漏れ磁束でノイズの影響を避けるように配線します。

図8に降圧回路での配線例を示します。

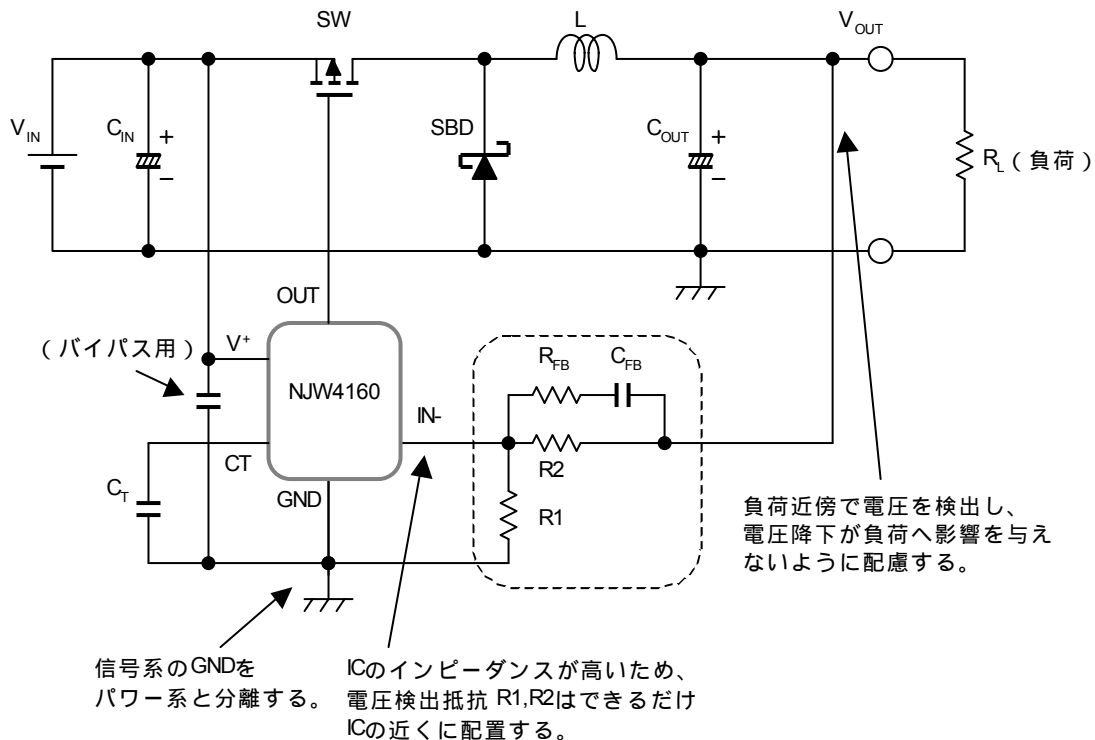


図8 降圧回路での配線例

パッケージパワーの計算

周囲温度が高い条件下で使用する場合は、ICの消費電力に対してディレーティングを持たせる必要があります。自己消費電力の他に、スイッチング素子を駆動するために発生する電力量も考慮しなければいけません。

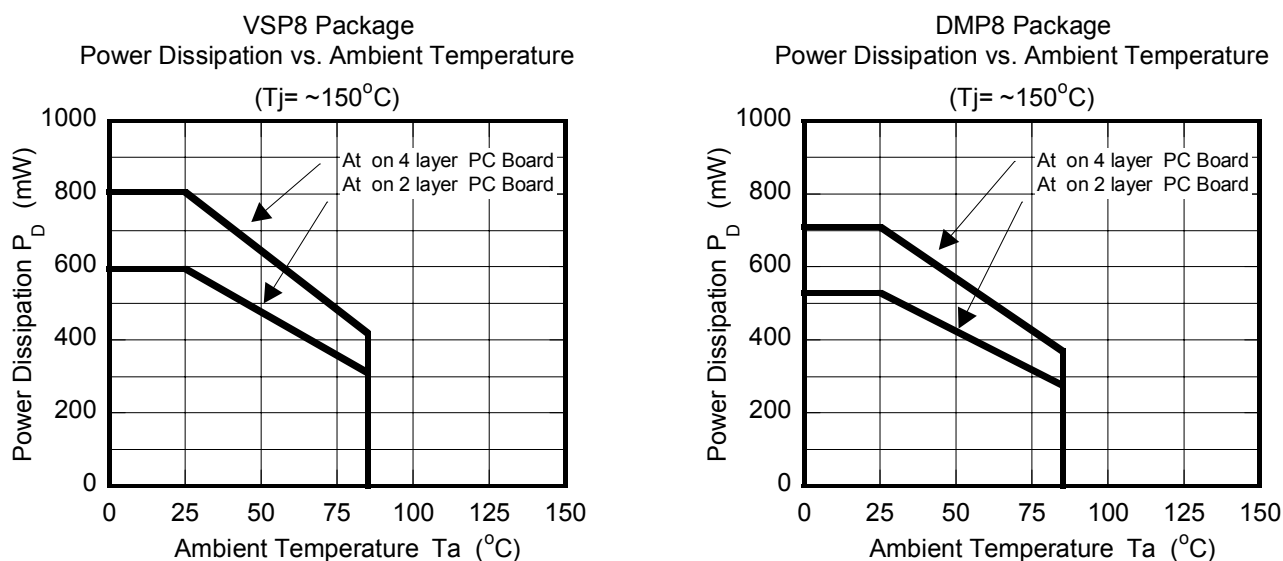
ICの電源電圧 : V^+
 ICの自己消費電 : I_{DD}
 発振周波数 : f_{osc}
 ON時間 : t_{on}
 ゲート電荷量 : Q_g
 とします。

MOS FETはゲートがハイインピーダンスの特徴を持ちますが、ゲートの容量成分を充放電する必要があり、スイッチング周波数が速くなるほど消費電力が大きくなります。ICの消費電力 P_D は、次のように求められます。

$$P_D = (V^+ \times I_{DD}) + (V^+ \times Q_g \times f_{osc}) \quad [W]$$

求めた消費電力 P_D に対して温度ディレーティングを考慮します。

消費電力対周囲温度特性例(図9)を参考に、定格内に収まるか確認してください。



基板実装時 114.3mm × 76.2mm × 1.6mm(2層 FR-4)でEIA/JEDEC 準拠による

基板実装時 114.3mm × 76.2mm × 1.6mm(4層 FR-4)でEIA/JEDEC 準拠による

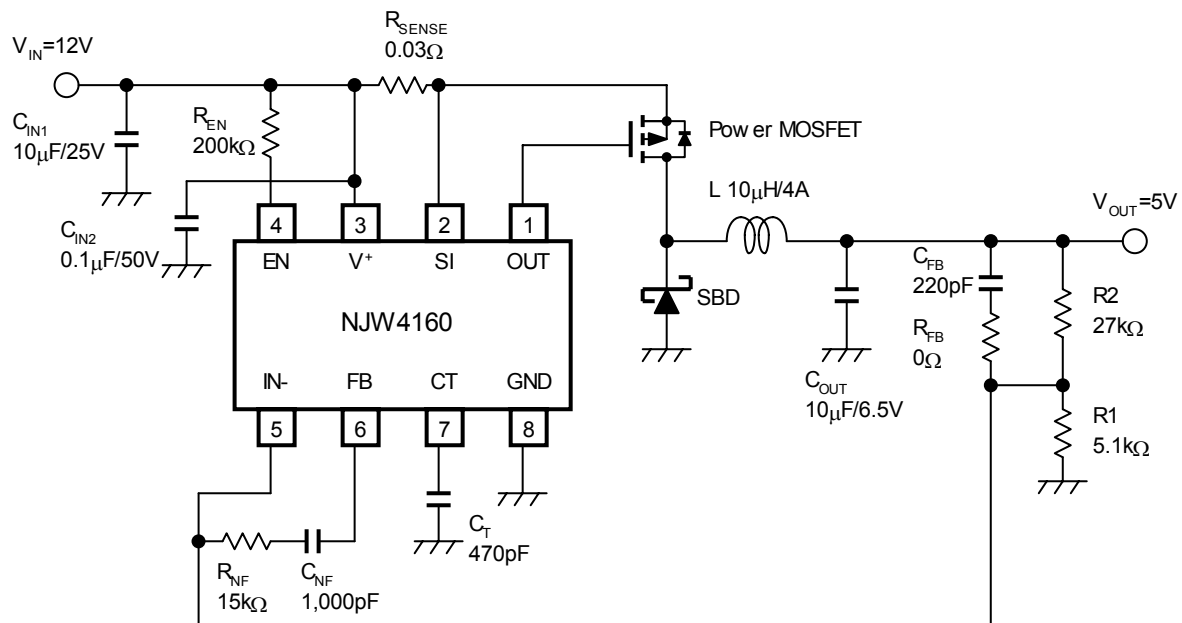
(4層基板内箔: 74.2 × 74.2mm)

図9 消費電力対周囲温度特性例

アプリケーション設計例

降圧アプリケーション仕様

入力電圧	: $V_{IN}=12V$
出力電圧	: $V_{OUT}=5V$
出力電流	: $I_{OUT}=3A$
発振周波数	: $f_{osc}=300kHz$
出力リップル電圧	: $V_{ripple(P-P)}=20mV$ 以下



アプリケーション設計例 (続き)

発振周波数の設定

「発振周波数対タイミングキャパシタ特性例」より、
 $f_{osc}=300\text{kHz}$ のとき、 $C_T=470\text{ [pF]}$ 、 $t=3.33\text{ [\mu s]}$ となります。

降圧回路のデューティ比は、

$$Duty = \frac{V_{OUT} + V_F}{V_{IN}} \times 100 = \frac{5 + 0.4}{12} \times 100 = 45\% \text{ [\%]}$$

より、 $t_{ON}=1.50\text{ [\mu s]}$ 、 $t_{OFF}=1.83\text{ [\mu s]}$ で動作します。

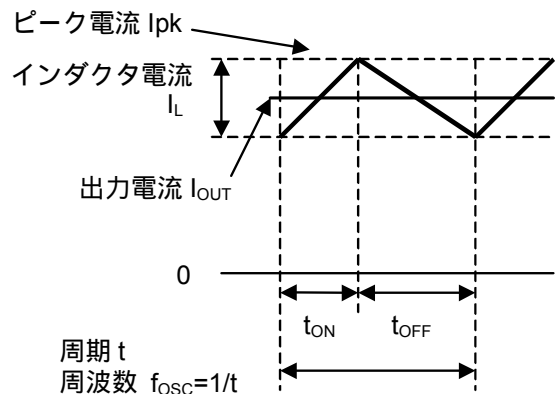


図10 インダクタ電流波形

インダクタの決定

本アプリケーションでは、インダクタ・リップル電流を、出力電流の34%として設計します。

リップル電流を I_L とすると、

$$I_L = 0.34 \times I_{OUT} = 0.34 \times 3 = 1.02 \text{ [A]}$$

インダクタンス L を求めます。

$$L = \frac{V_{IN} - V_{DS-RON} - V_{OUT}}{\Delta I_L} \times t_{ON} = \frac{12 - 0.2 - 5}{1.02} \times 1.5\mu = 10 \text{ [\mu H]}$$

但し、 V_{DS-RON} : MOSFET の ON 抵抗による電圧低下分

インダクタンス L は、理論上の値であり、アプリケーションの仕様、部品等によって最適な値は異なりますので、最終的には実機で微調整を行います。

定常動作時のピーク電流 I_{pk} を求めます。

$$I_{pk} = I_{OUT} + \frac{\Delta I_L}{2} = 3 + \frac{1.02}{2} = 3.51 \text{ [A]}$$

インダクタンスに流せる電流は、スイッチング時のピーク電流に対して十分な余裕を持たせます。

アプリケーション回路では、 $10\mu\text{H}/4\text{A}$ を使用します。

過電流検出の設定

スイッチング時のピーク電流 I_{pk} に対して過電流設定を行います。本アプリケーション例では、 $I_{pk}=4\text{A}$ 付近に制限電流値 I_{LIMIT} を設定します。

$$I_{LIMIT} = V_{IPK} / R_{SC} = 120\text{mV} / 30\text{m}\Omega = 4 \text{ [A]}$$

SI 端子での過電流検出から OUT 端子が停止するまでの応答時間により、リミット値は若干増加します。

$$I_{LIMIT_DELAY} = I_{LIMIT} + \frac{V_{IN}}{L} \times T_{DELAY} = 4.0 + \frac{12}{10\mu} \times 100\text{n} = 4.12 \text{ [A]}$$

アプリケーション設計例 (続き)

入力コンデンサの決定

入力コンデンサは、電源の入力に当たる部分であり、電源のインピーダンスを十分に下げる必要があります。コンデンサの選定には、容量よりも入力リップル電流とコンデンサ耐圧に重点をおいて決定します。

入力実効電流は、下記計算式で表せます。

$$I_{RMS} = I_{OUT} \times \frac{\sqrt{V_{OUT} \times (V_{IN} - V_{OUT})}}{V_{IN}} [A]$$

上記計算式は、 $V_{IN}=2 \times V_{OUT}$ 時が最大になり、その時の結果は、 $I_{RMS}=I_{OUT(MAX)} \div 2$ です。

入力コンデンサの選定は、アプリケーションで評価の上、十分なマージンを持った物をご使用ください。

出力コンデンサの決定

出力コンデンサは、出力のリップルノイズを決める重要な部品です。

出力コンデンサは、ESR、リップル電流、コンデンサ耐圧に重点をおいて決定します。

出力リップル電圧は、下記計算式で表せます。

$$ESR = \frac{V_{ripple(p-p)}}{\Delta I_L}$$

また出力容量の選定には、十分なリップル電流を許容できる物を選びます。

コンデンサに流れるリップル電流の実効値(I_{rms})は、

$$I_{rms} = \frac{\Delta I_L}{2\sqrt{3}} = \frac{1.02}{2\sqrt{3}} = 294 [mA_{rms}]$$

となります。

ここでは十分なマージンをふまえて、上記スペックを満たせるコンデンサを使用します。アプリケーション回路では、セラミックコンデンサ $C_{OUT}=10\mu F/6.3V$ を使用します。

出力電圧の設定

出力電圧 V_{OUT} は、 $R1, R2$ の抵抗比で決まります。 $R1, R2$ に流れる電流は、Error AMP に流れるバイアス電流を無視できるような値とします。

$$V_{OUT} = \left(\frac{R2}{R1} + 1 \right) \times V_B = \left(\frac{27k}{5.1k} + 1 \right) \times 0.8 = 5.04 [V]$$

補償の設計例

スイッチングレギュレータは、安定した出力を得るためにフィードバック回路を必要とします。インダクタンスや出力コンデンサ等によって、アプリケーションの周波数特性が変化するので、安定動作に必要な位相を確保しつつ、最大の帯域が得られる補償定数が理想的です。

これらの補償定数は、実機調整も大きな役割を果たします。最終的にはアプリケーション仕様を考慮して、測定しながら定数を選定してください。

フィードバックと安定性

フィードバックループは、ループゲインが0dBとなる点において、開ループの位相シフトを -180° 未満にする事が基本です。さらに負荷変動時のリングングや発振耐性を考えると、位相余裕を確保したループ特性が重要です。NJW4160ではフィードバック回路が任意に設計できるため、ループ補償に重要なポールとゼロの配置を最適化する事が可能です。

ポールとゼロの特性を図11に示します。

ポール：ゲインは -20dB/dec の傾きをもち、位相は -90° シフトします。

ゼロ：ゲインは $+20\text{dB/dec}$ の傾きをもち、位相は $+90^\circ$ シフトします。

ポールとなる要因の数を n とすれば、ゲイン・位相の変化も n 倍になります。ゼロにおいても同様です。ポールとゼロは相反の関係にあるため、それぞれの要因が1つずつあれば、打ち消し合うことになります。

補償回路の構成

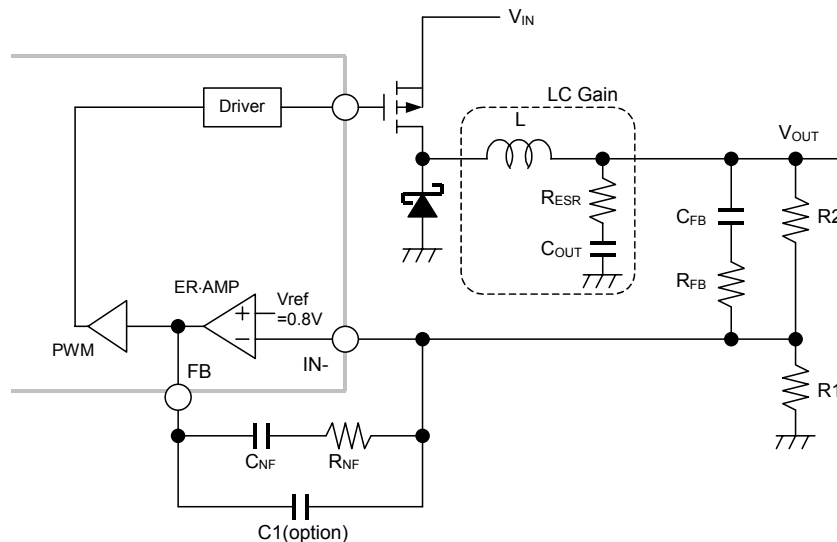


図12 補償回路の構成

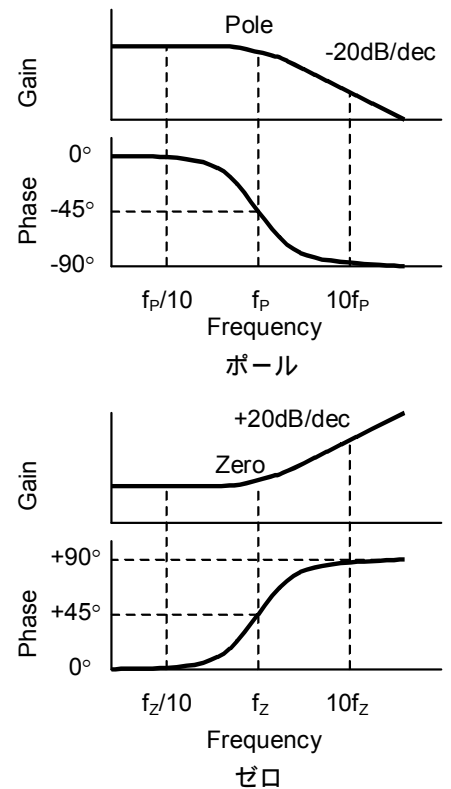


図11 ポールとゼロの特性

補償の設計例（続き）

インダクタンスと出力コンデンサによるポールとゼロ

インダクタンスと出力コンデンサによってダブルポール $f_{P(LC)}$ を発生させます。同時に出力コンデンサと ESR によってシングルゼロ $f_{Z(ESR)}$ が生成されます。それぞれのポールとゼロは、次の式によって表すことができます。

$$f_{Z(ESR)} = \frac{1}{2\pi C_{OUT} R_{ESR}} \quad f_{P(LC)} = \frac{1}{2\pi \sqrt{LC_{OUT}}}$$

出力コンデンサの ESR が大きい場合、 $f_{Z(ESR)}$ が $f_{P(LC)}$ の近傍に位置します。このようなアプリケーションでは、ゼロ $f_{Z(ESR)}$ がダブルポール $f_{P(LC)}$ を補償する形となり安定性を確保しやすい傾向があります。

しかし出力コンデンサの ESR が小さい場合、 $f_{Z(ESR)}$ は高域に移行し $f_{P(LC)}$ によって位相が -180° シフトしてしまいます。NJW4160 の補償回路では、 f_{Z1} と f_{Z2} のゼロを用いて補償することが可能です。

エラーアンプによるポールとゼロ

エラーアンプで形成されるシングルポール・ゼロは次の式によって求められます。

ゼロ	ポール
$f_{Z1} = \frac{1}{2\pi C_{NF} R_{NF}}$	$f_{P1} = \frac{1}{2\pi C_{NF} A_V \left(\frac{R1R2}{R1+R2} \right)}$ (A_V : アンプの開ループ利得=80dB)
$f_{Z2} = \frac{1}{2\pi C_{FB} R2}$	$f_{P2} = \frac{1}{2\pi C_{FB} \left(R_{FB} + \frac{R1R2}{R1+R2} \right)}$
	$f_{P3} = \frac{1}{2\pi C1 R_{NF}}$ (Option)

f_{Z1} 、 f_{Z2} は、 $f_{P(LC)}$ の両側に配置します。

インダクタンス、出力コンデンサのばらつきがあるため、

$$f_{P(LC)} \times 0.5 \text{ 倍} \sim 0.9 \text{ 倍}$$

$$f_{P(LC)} \times 1.1 \text{ 倍} \sim 2.0 \text{ 倍}$$

を目安にそれぞれを設定します。

f_{Z1} 、 f_{Z2} を $f_{P(LC)}$ よりも低い位置に配置する方法もあります。位相のシフト量が増してゲインも高くなる傾向を持つことから、応答性の向上が期待できます。しかし高周波での位相余裕が不足しやすい傾向があるので注意が必要です。

f_{P1} はエラーアンプのミラー効果によって、低周波領域にポールを作ります。 f_{P1} が低くなるほど安定性は向上しますが、周波数特性が伸びず、応答性に影響を与えます。 f_{P1} は、 $f_{P(LC)}$ の周波数利得=20dB を目安に設定します。

エラーアンプの開ループ利得=80dB とすると、 $f_{P1} < f_{P(LC)} \div 10^3$ (=60dB) を目安に設計します。

数 100kHz 以上では様々なポールが生じるため、ループゲインの 0dB 周波数は発振周波数の 1/5 ~ 1/10 を上限に設定します。高周波領域にある $f_{Z(ESR)}$ が影響して、ループゲインを発生させる場合があります（図 1 3 Loop Gain 参照）。 f_{P2} 、 f_{P3} を用いて高周波領域でのループゲインを十分に下げるよう、実機で調整を行ってください。

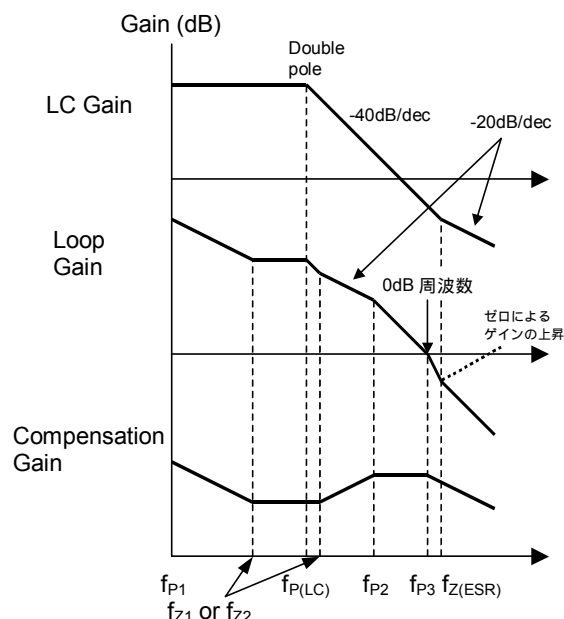


図 1 3 ループゲイン例

MEMO

<注意事項>

このデータブックの掲載内容の正確さには万全を期しておりますが、掲載内容について何らかの法的な保証を行うものではありません。とくに応用回路については、製品の代表的な応用例を説明するためのものです。また、工業所有権その他の権利の実施権の許諾を伴うものではなく、第三者の権利を侵害しないことを保証するものではありません。