

NJW4111

■ 絶対最大定格 (Ta=25°C)

項目	記号	定格	単位
入力電圧	V _{IN}	+4	V
バイアス電圧	V _{BIAS}	+6	V
コントロール電圧	V _{CONT}	+6	V
出力電流	I _{OUT}	3	A
消費電力	P _D	790(*1) 2500(*2)	mW
接合部温度	T _j	-40 ~ +150	°C
動作温度	Topr	-40 ~ +85	°C
保存温度	Tstg	-40 ~ +150	°C

(*1) : 76.2 × 114.3 × 1.6mm (EIA/JEDEC規格サイズ、2層、FR-4) 基板実装時

(*2) : 76.2 × 114.3 × 1.6mm (EIA/JEDEC規格サイズ、4層、FR-4) 基板実装時

(4層基板内径 : 74.2x74.2mm、JEDEC規格JESD51-5に基づき、基板にサーマルビアホールを適用)

■ 推奨動作条件

項目	記号	最小	標準	最大	単位
入力電圧	V _{IN}	0.8	-	3.3	V
バイアス電圧	V _{BIAS}	4.3	-	5.5	V
コントロール電圧	V _{CONT}	-0.3	-	5.5	V
出力電圧範囲	V _{OUT}	0.8	-	1.8	V

■ 内蔵保護回路

項目	備考
過電流保護回路	-
短絡保護回路	ラッチタイプ
サーマルシャットダウン	ラッチタイプ

■ 内蔵機能

項目	備考
ソフトスタート	3msec typ.
V _{IN} 低電圧誤動作防止回路	0.73V typ.
V _{BIAS} 低電圧誤動作防止回路	3.8V typ.
電源投入シーケンスフリー回路	-

■ 電気的特性

(指定なき場合には、 $V_{BIAS}=5V$, $V_{CONT}=3V$, $V_{IN}=V_{OUT}+0.5V$, $C_{BIAS}=1\mu F$, $C_{IN}=22\mu F$, $C_O=10\mu F$, $C_{FB}=1000pF$, $T_a=25^\circ C$)

総合特性

項目	記号	条件	最小	標準	最大	単位
無負荷時バイアス電流	$I_{Q(VBIAS)}$	$I_{OUT}=0mA$, except I_{CONT}	-	1.4	2.2	mA
OFF 時バイアス電流	$I_{Q(VBIAS/OFF)}$	$V_{CONT}=0V$	-	-	100	nA
OFF 時入力電流	$I_{Q(VIN/OFF)}$	$V_{CONT}=0V$	-	-	100	nA
フィードバック電圧	V_{FB}		-1.0%	0.65	+1.0%	V
出力電流	I_{OUT}	$V_{OUT} \times 0.9$	3.0	-	-	A
ラインレギュレーション(V_{BIAS})	$\Delta V_O/\Delta V_{BIAS}$	$V_{BIAS}=4.2V$ to $5.5V$, $I_{OUT}=30mA$	-	-	0.5	%V
ラインレギュレーション(V_{IN})	$\Delta V_O/\Delta V_{IN}$	$V_{IN}=V_O+0.5V$ to $3.3V$, $I_{OUT}=30mA$	-	-	0.5	%V
ロードレギュレーション	$\Delta V_O/\Delta I_O$	$I_{OUT}=0mA$ to $3A$	-	-	10	mV
出力 ON 抵抗	R_{ON}	$I_{OUT}=3A$, $V_{IN}=1.1V$	-	28	50	m Ω
OFF 時ディスチャージ電流	$I_{Q(OFF)}$	$V_{CONT}=0V$, $V_{OUT}=1V$	1	-	-	mA
フィードバック電流	I_{FB}		-100	0	+100	nA
V_{IN} 端子流出電流	$I_{LEAK(VIN)}$	$V_{BIAS} = V_{CONT} = 5V$, $V_{IN}=0V$	-	0.25	0.60	μA

ON/OFF コントロールブロック

項目	記号	条件	最小	標準	最大	単位
出力 ON 制御電圧	$V_{CONT(ON)}$	V_{CONT} : Sweep up	1.6	-	-	V
出力 OFF 制御電圧	$V_{CONT(OFF)}$	V_{CONT} : Sweep down	-	-	0.6	V
コントロール電流	I_{CONT}	$V_{CONT}=1.6V$	1	3	12	μA
ソフトスタート時間	$T_{CS(ON)}$	$V_{CONT}=L \rightarrow H$	-	3	-	msec

UVLO ブロック

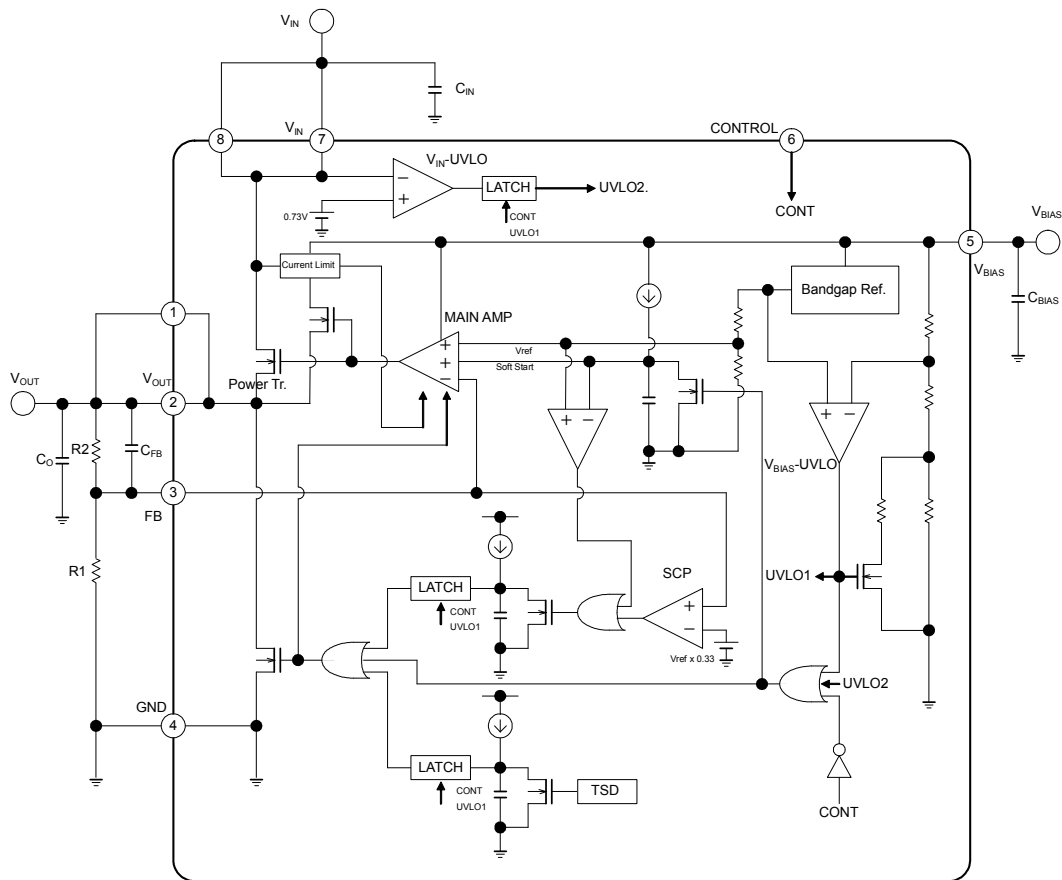
項目	記号	条件	最小	標準	最大	単位
V_{BIAS} 低電圧誤動作防止 スレッシュホールド電圧	$V_{BIASUVLO}$	V_{BIAS} : Sweep up	3.5	3.8	4.1	V
V_{BIAS} 低電圧誤動作防止 ヒステリシス電圧	$V_{BIASHYS}$	V_{BIAS} : Sweep down	100	160	220	mV
V_{IN} 低電圧誤動作防止 スレッシュホールド電圧	V_{INUVLO}	V_{IN} : Sweep up	0.71	0.73	0.75	V

SCP ブロック

項目	記号	条件	最小	標準	最大	単位
SCP 起動電圧	V_{OCSP}		$V_O \times 0.32$	$V_O \times 0.33$	$V_O \times 0.34$	V
SCP タイマーラッチ時間	T_{SCP}		-	200	-	μsec

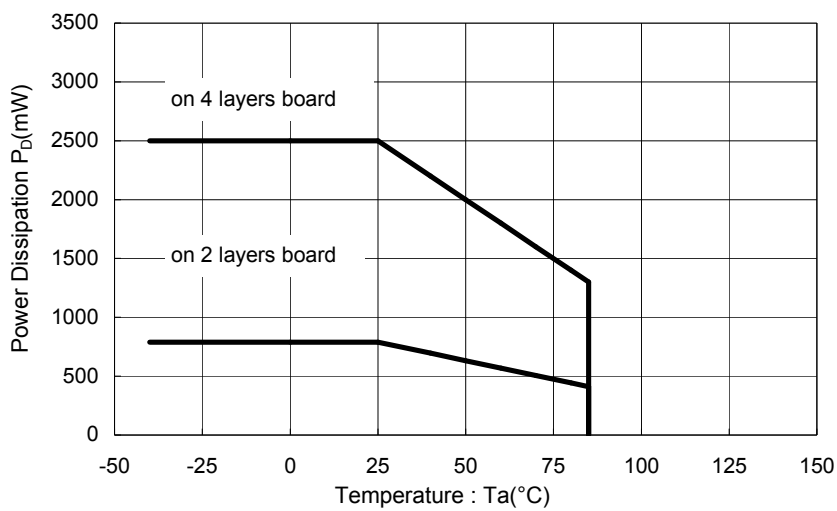
NJW4111

■ ブロック図



■ 消費電力—周囲温度特性例

NJW4111GM1 PowerDissipation
(Topr=-40~+85°C, Tj=150°C)



■ 端子説明

端子番号	端子名称	機能
1	V _{OUT}	出力端子です。抵抗分圧により0.8V~1.8Vの設定が可能です。
2	V _{OUT}	出力端子です。抵抗分圧により0.8V~1.8Vの設定が可能です。
3	FB	出力電圧を検出する端子です。FB端子電圧が基準電圧0.65V _{typ.} となるように出力電圧を制御します。
4	GND	接地端子です。
5	V _{BIAS}	ICの制御回路への電源供給端子です。電源供給のインピーダンスを下げるためICの近傍にバイパスコンデンサを接続して下さい。
6	CONTROL	ICの動作・停止を制御する端子です。Highレベルで動作、Lowレベルまたはオープンでスタンバイモードとなります。
7	V _{IN}	パワーライン系の電源供給端子です。電源供給のインピーダンスを下げるためICの近傍にバイパスコンデンサを接続して下さい。
8	V _{IN}	パワーライン系の電源供給端子です。電源供給のインピーダンスを下げるためICの近傍にバイパスコンデンサを接続して下さい。
-	Exposed PAD	IC裏面の放熱用PADです。GND端子に接続されています。

■ 各ブロック動作説明

・ MAIN AMP

基準電圧(0.65V)と V_{FB} を比較し、出力の Nch-MOSFET を駆動する誤差増幅器です。本 AMP は出力コンデンサに $ESR = 0.02\Omega$ 程度の低 ESR コンデンサが使用できるように位相補償を設計しております。

・ CONTROL

レギュレータの ON/OFF を制御します。OFF 時には回路電流が $0\mu A$ となるよう制御し、機器の待機電力を低減します。OFF 時には V_{OUT} 端子に接続されたディスチャージ回路を動作させ、余分な電荷を引き抜くことで負荷側の IC の誤動作を防ぎます。

・ V_{BIAS} -UVLO

V_{BIAS} がスレッシュホールド電圧以下のときに、誤動作しないように出力を OFF させます。UVLO 動作時には、CONTROL と同じように V_{OUT} 端子をディスチャージします。

・ V_{IN} -UVLO

V_{IN} 電圧が 0.73V(TYP)を超えると出力を起動させます。一度 UVLO が解除されると、 V_{IN} 電圧が下がっても出力は OFF しません。(但し、 V_{IN} 電圧が下がり V_{OUT} 電圧が SCP スレッシュホールド電圧を超えて下がった場合は SCP により OFF します)。CONTROL、 V_{BIAS} とは異なり、起動時のみ有効です。 V_{IN} -UVLO を再び有効にするためには、CONTROL または V_{BIAS} を再投入してください。

・ 過電流保護回路

出力電流が一定値以上流れた際に出力電圧を減衰させ、負荷側の IC を保護します。出力電流が減少すると出力電圧は設定電圧に復帰します。但し、出力電圧が SCP 起動電圧以下になると SCP 回路が動作し出力を OFF させます。

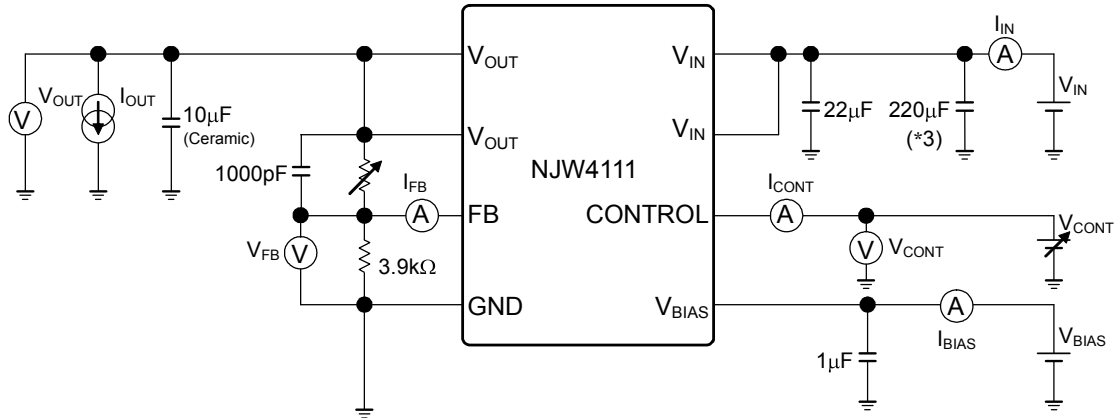
・ サーマルシャットダウン(TSD)

チップ温度が一定温度を超えると一定の遅延後、出力を OFF させます。ラッチ機能を搭載しているため、CONTROL または V_{BIAS} を再度投入するまで OFF 状態を維持します。TSD 回路は IC 自身を保護する目的で内蔵しておりますので、 $T_j(\max)$ 以内での熱設計をお願いします。

・ 短絡保護回路(SCP)

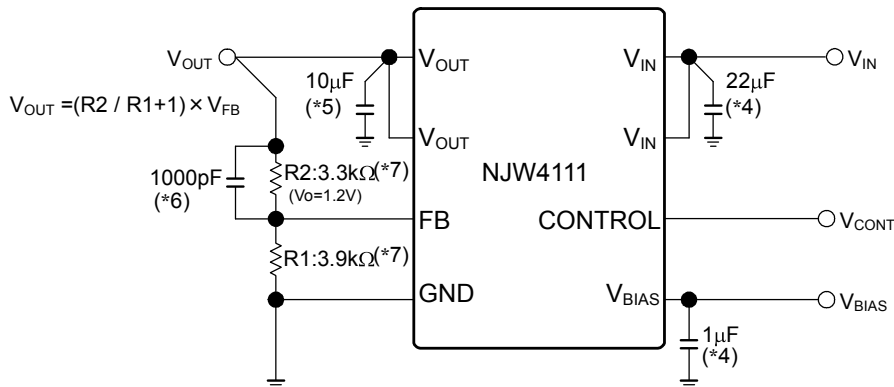
出力電圧が下がると、 V_{OUT} 端子が GND とショートしたと判断し、一定の遅延後、出力を OFF します。ラッチ機能を搭載しているため、CONTROL または V_{BIAS} を再度投入するまで OFF 状態を維持します。SCP が有効になり出力電流が遮断される際、電流変動により V_{IN} 端子に絶対最大定格以上の電圧がかからないように注意してください。(*4 参照) 起動不良防止を目的とし、起動時 (ソフトスタート時) は本回路は一時的に無効になっています。

■ 測定回路図



(*3)測定器の電源インピーダンス対策のため

■ 応用回路例



(*4)入力コンデンサ C_{IN} 及びバイアスコンデンサ C_{BIAS} について

入力コンデンサ C_{IN} 及びバイアスコンデンサ C_{BIAS} は、入力端子 (V_{BIAS} , V_{IN}) に接続する電源の出カインピーダンスを下げる効果があります。 V_{BIAS} , V_{IN} のインピーダンスが増加すると入力端子 (V_{BIAS} , V_{IN}) 電圧が不安定になり、発振やリップルリジェクション特性の悪化、負荷過渡応答特性の悪化を引き起こす可能性があります。従って、推奨値以上 ($C_{BIAS} \geq 1.0\mu\text{F}$, $C_{IN} \geq 22\mu\text{F}$) のバイアスコンデンサ C_{BIAS} 及び、入力コンデンサ C_{IN} を、 V_{BIAS} 端子-GND 端子間、 V_{IN} 端子 - GND 端子間に最短配線で接続してください。特に負荷変動が大きい場合は、入力電圧 V_{IN} が不安定になったり、オーバーシュート、アンダーシュートが発生することがありますので、容量値の大きな C_{IN} を推奨します。

入力に使用する電源の特性、基板の配線パターンに強く依存するため、実機での十分な確認をお願い致します。

(*5)出力コンデンサ C_O について

出力コンデンサ C_O はレギュレータ内蔵のエラーアンプの位相補償を行うために必要であり、容量値と ESR (Equivalent Series Resistance: 等価直列抵抗) が回路の安定性に影響を与えます。

推奨容量値未満の C_O を使用すると内部回路の安定度が低下し、出力ノイズの増加やレギュレータの発振等が起こる可能性がありますので、安定動作のために推奨容量値以上の C_O を V_{OUT} 端子-GND 端子間に最短配線で接続してください。尚、 C_O は容量値が大きいほど出力ノイズとリップル成分が減少し、出力負荷変動に対する応答性も向上させることが出来ます。

入力に使用する電源や配線基板のパターンに依存しますが、 $C_{IN} < C_O$ とすると入力電源 (V_{IN}) が不安定になり、発振やリップルリジェクションの悪化、過渡応答特性の悪化を引き起こしやすい傾向があります。従って(*4)の記載と同様に、十分な容量値の C_{IN} を接続し、入力電源 (V_{IN}) の安定化を図ってください。

本製品は低 ESR 品を始め、幅広い範囲の ESR のコンデンサで安定動作するよう設計されておりますが、コンデンサ固有の特性変動量 (周波数特性、温度特性、DC バイアス特性) やバラツキを十分に考慮し、温度特性が良く、出力電圧に対し余裕を持った耐圧のものを推奨致します。

(*6)フィードバックコンデンサ C_{FB} について

本コンデンサは安定動作のため、必ず挿入してください。

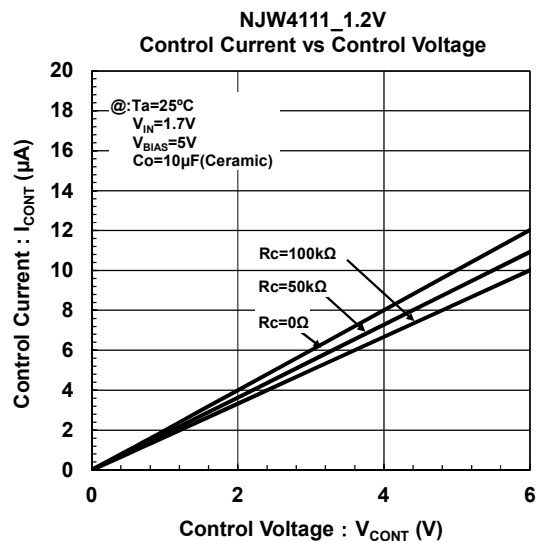
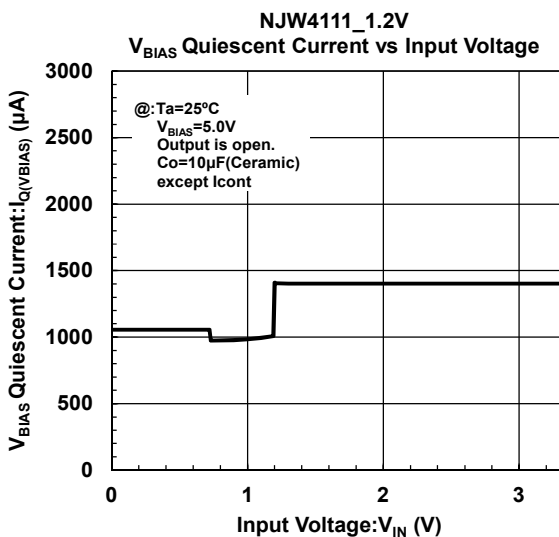
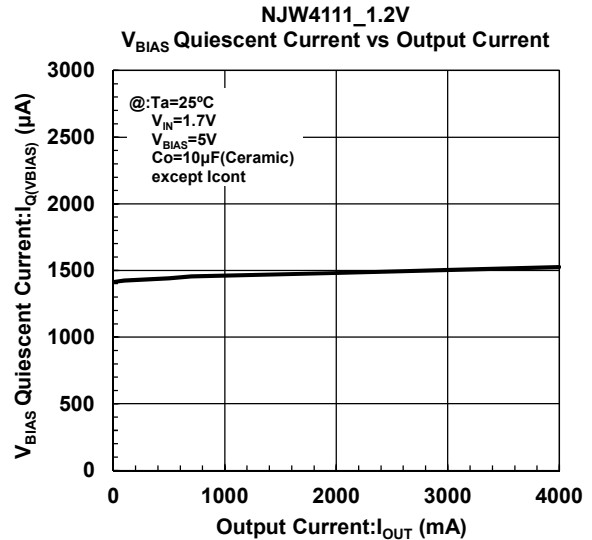
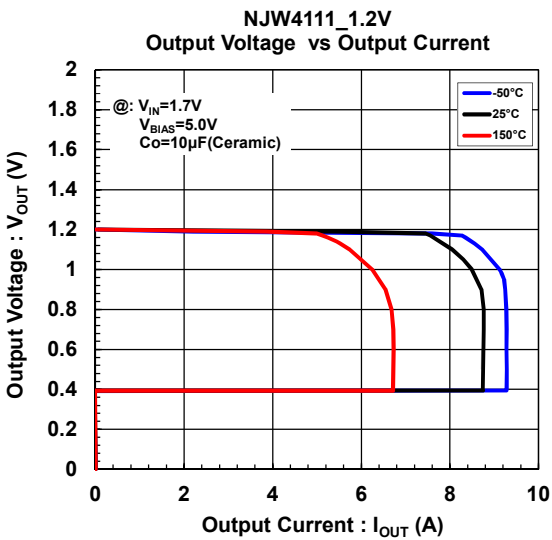
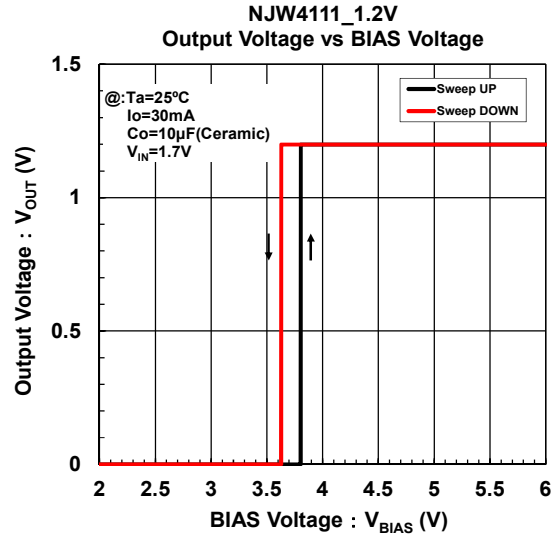
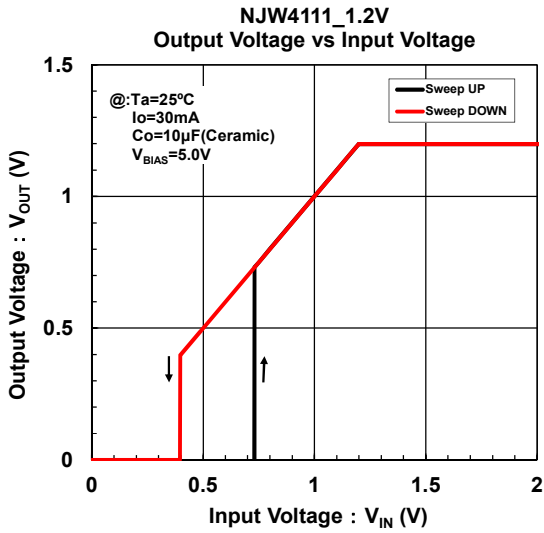
IC 内部の位相補償をさらに補正し、 C_{FB} の容量を変更することで様々な種類の出力コンデンサに対応することが可能です。

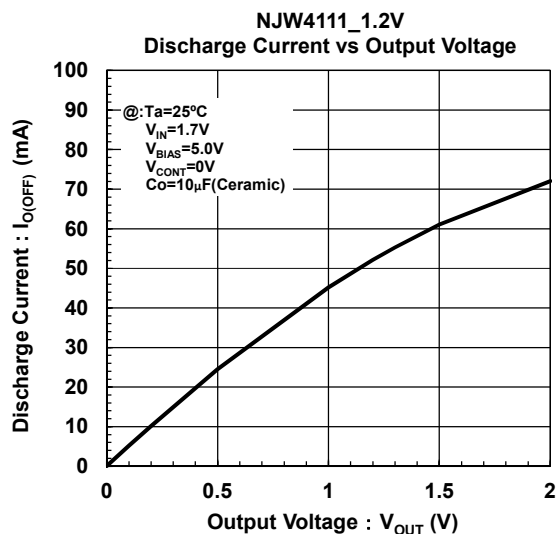
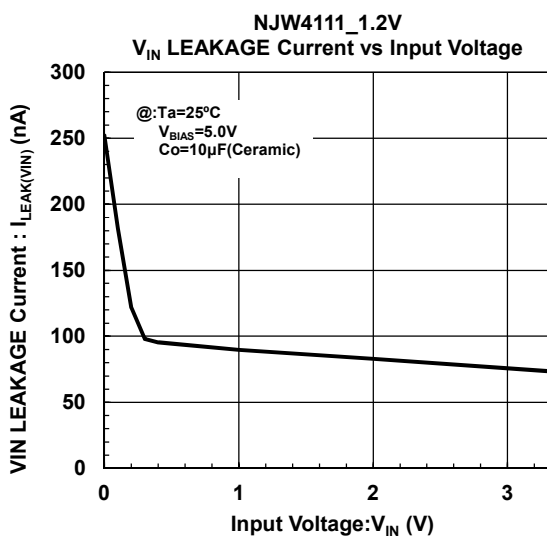
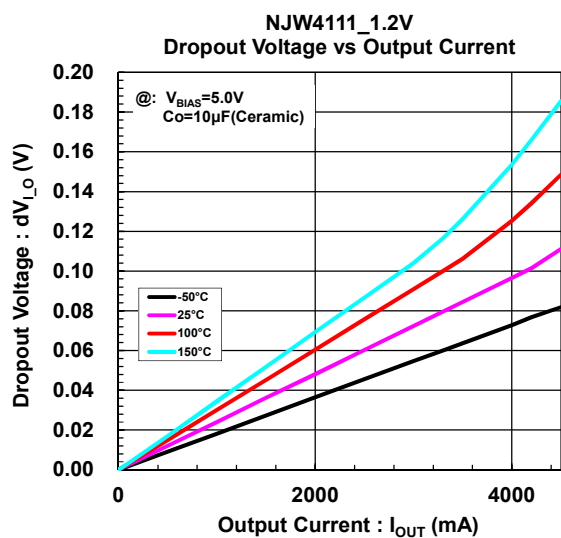
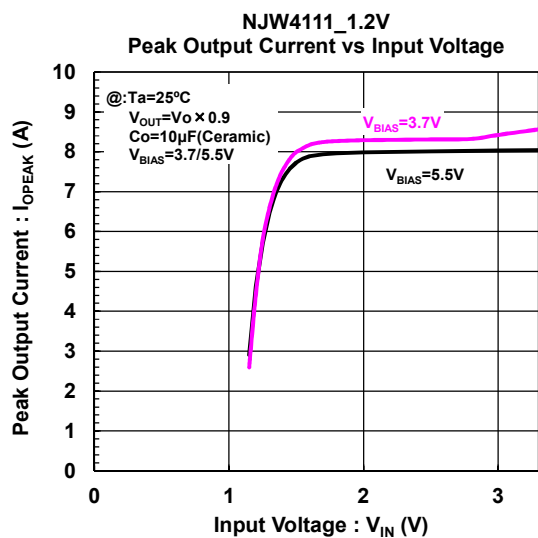
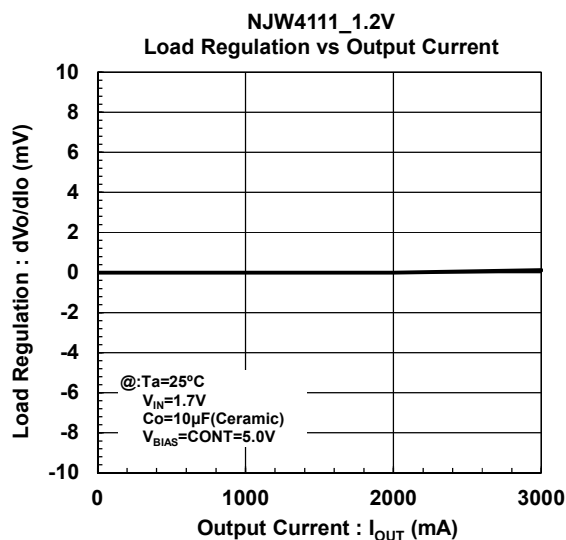
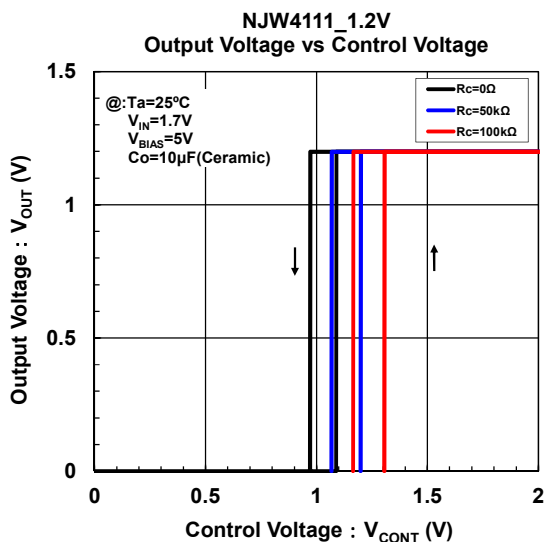
(*7)出力電圧設定抵抗 $R1, R2$ について

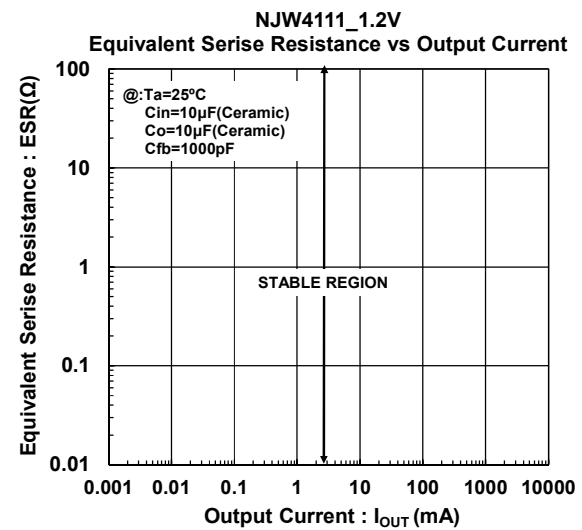
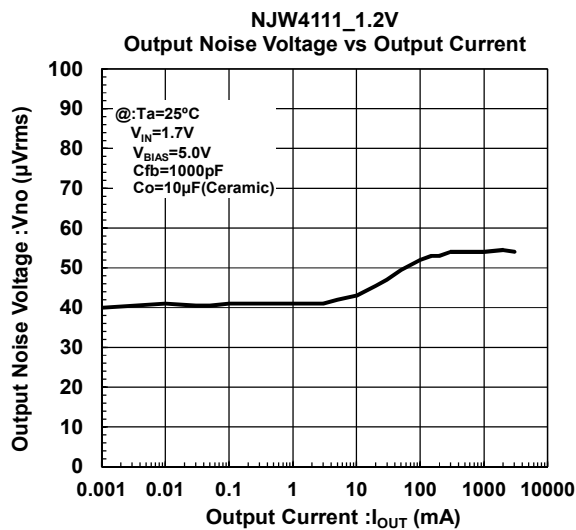
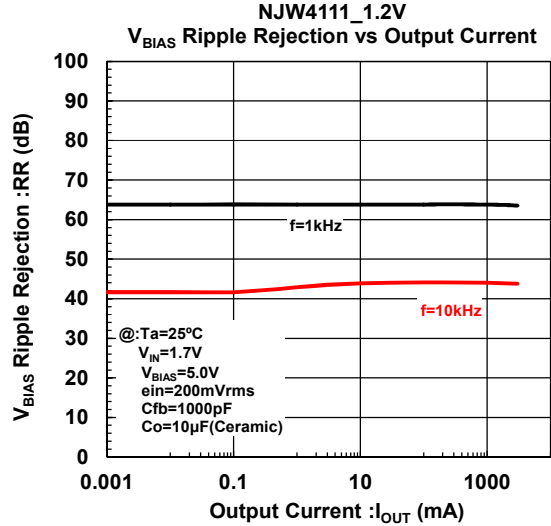
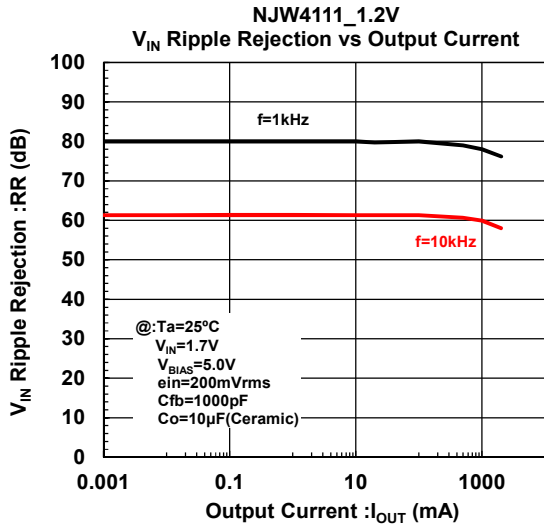
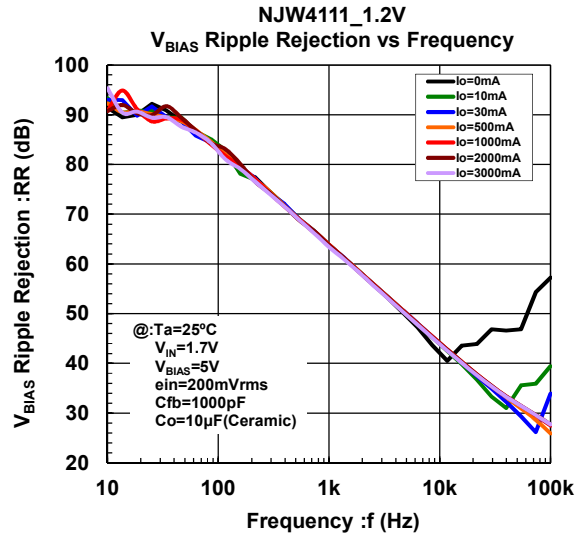
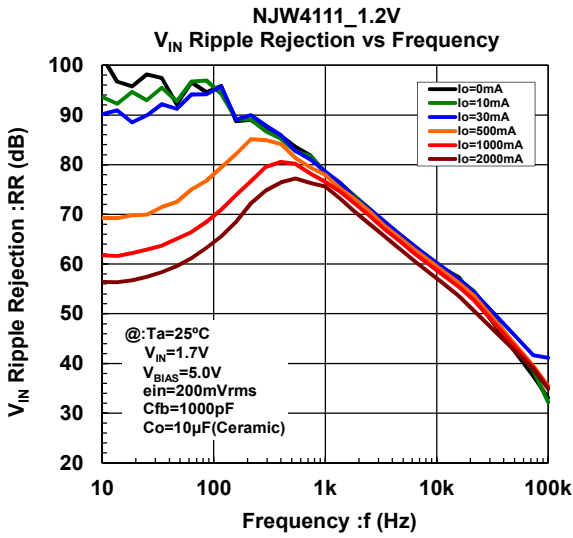
本 IC は内部基準電圧 V_{FB} と出力電圧設定抵抗 $R1, R2$ の値により出力電圧 V_{OUT} を設定することが出来ます。

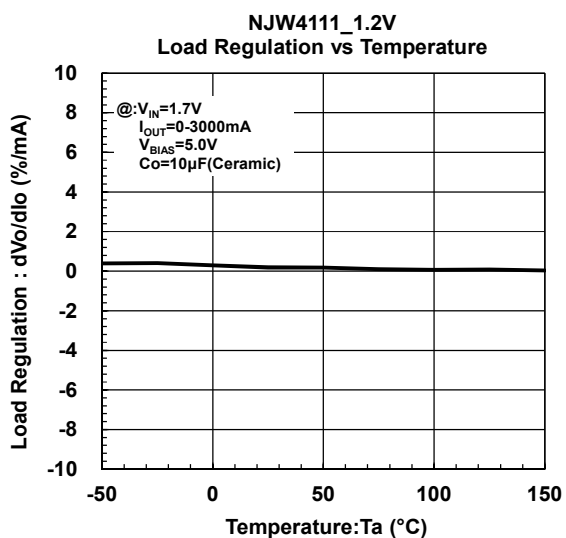
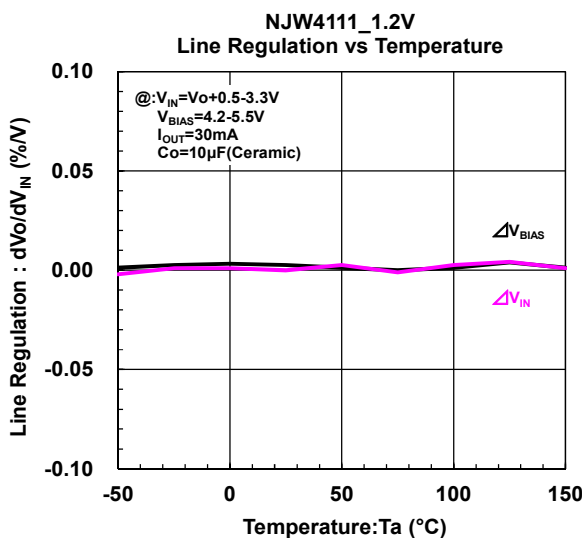
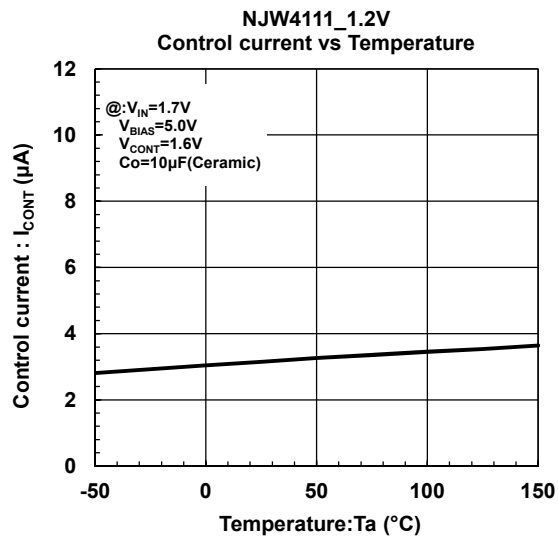
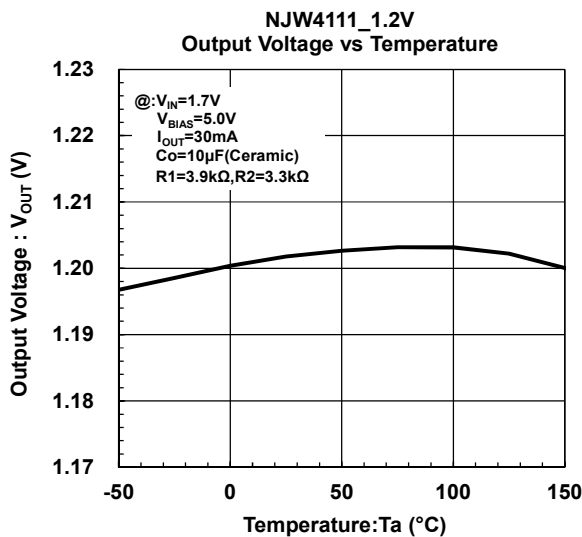
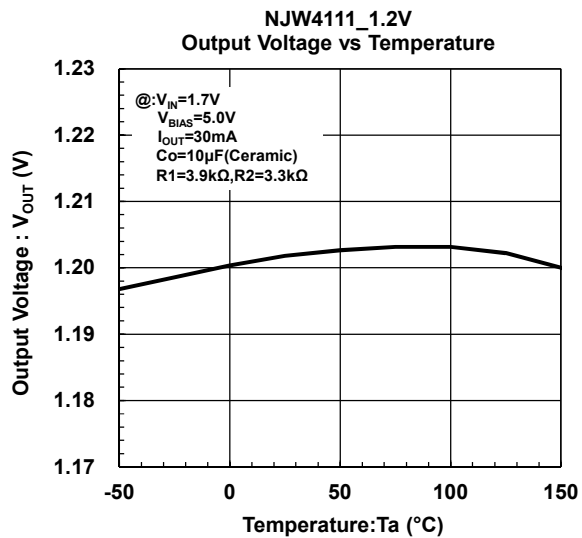
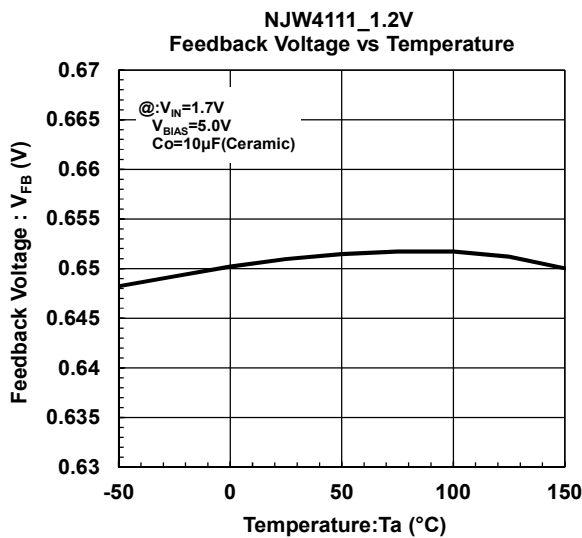
出力電圧 V_{OUT} は $(R2/R1+1) \times V_{FB}$ で設定できますが、フィードバック電流 $I_{FB} (\pm 100\text{nA})$ の影響を受けない程度の抵抗値 (合計 $10\text{k}\Omega$ 程度) でのご使用を推奨します。

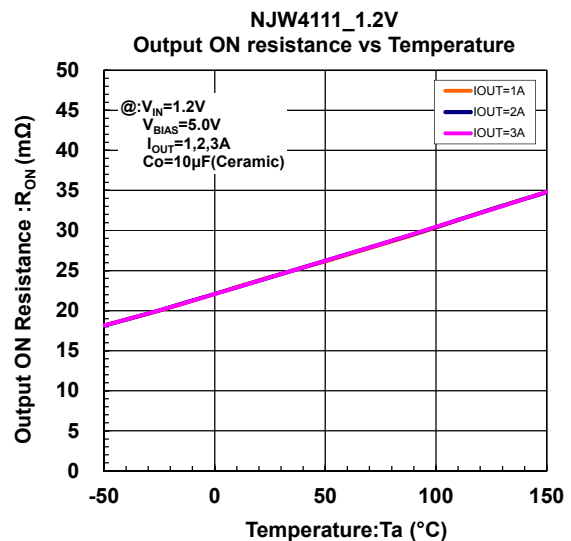
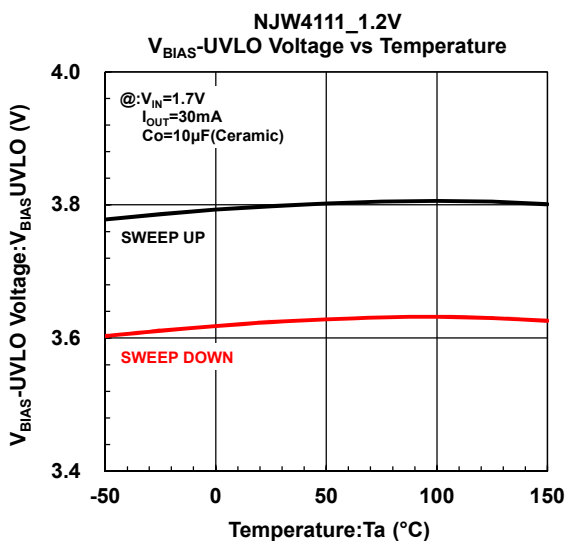
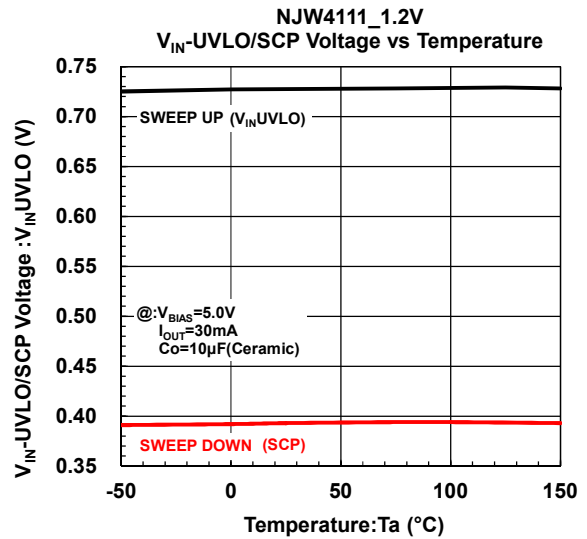
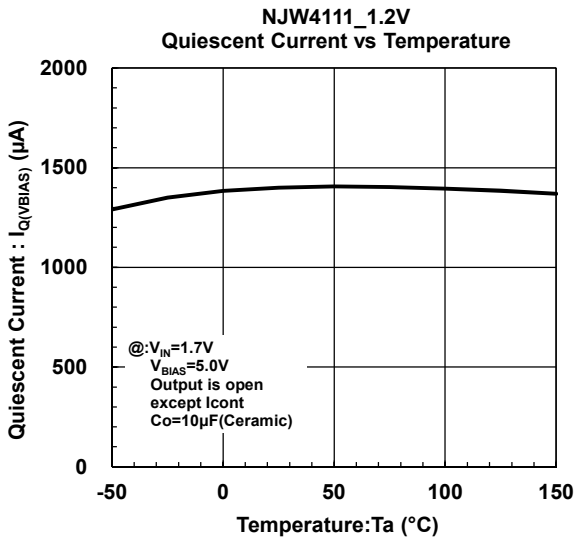
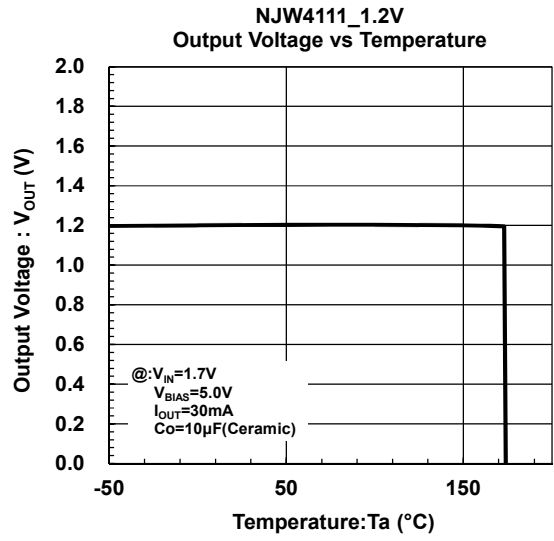
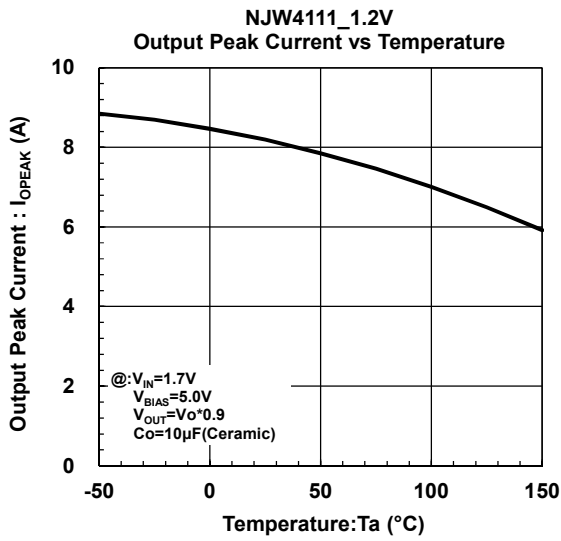
■ 特性例

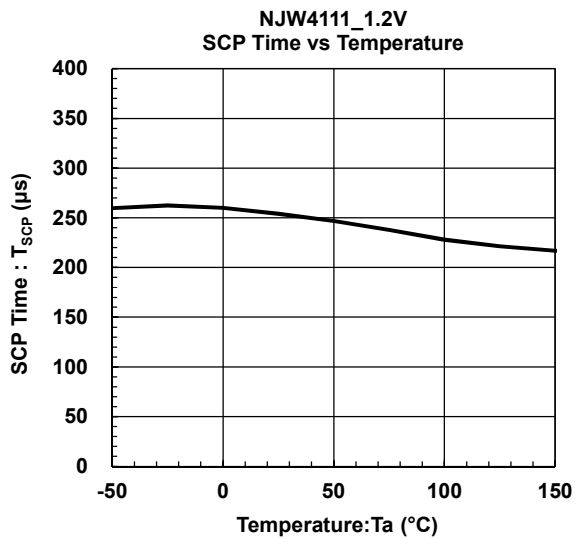
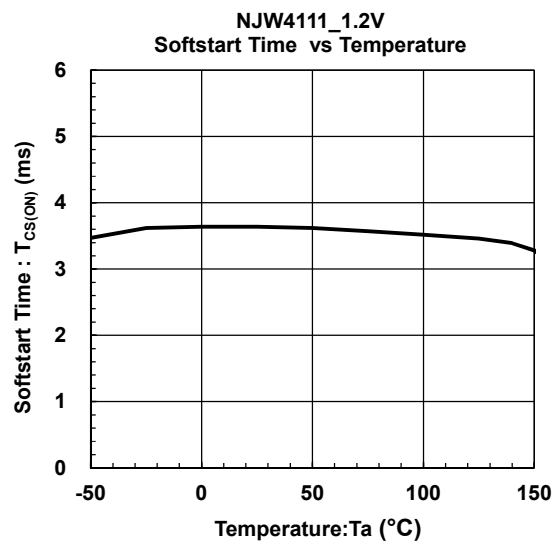
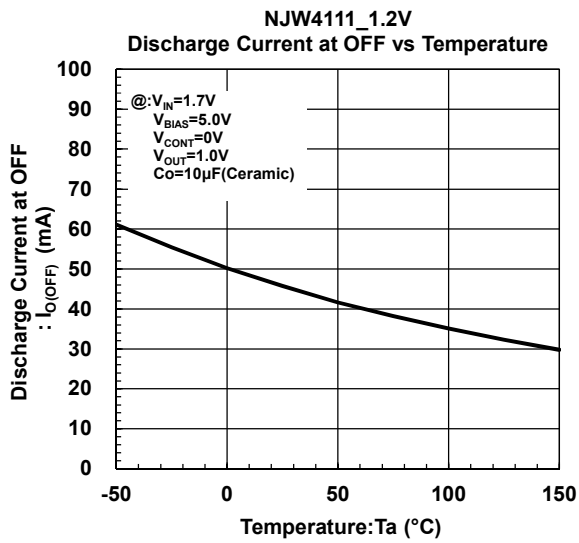


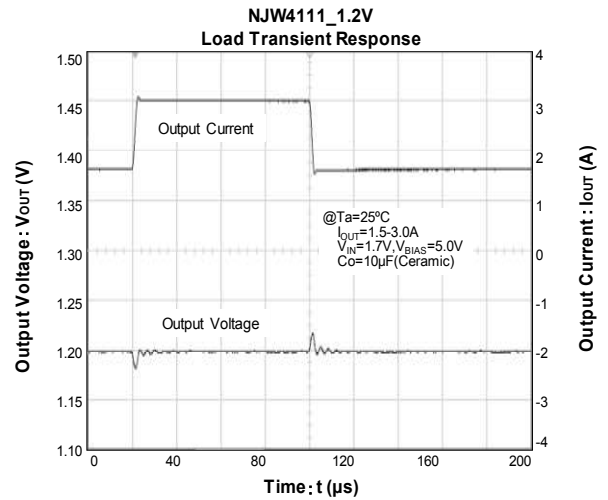
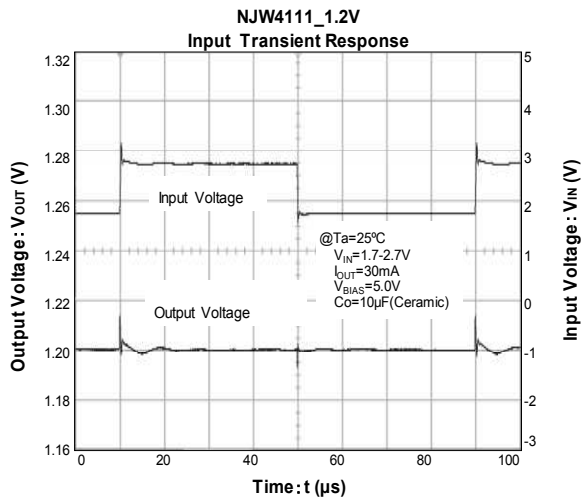
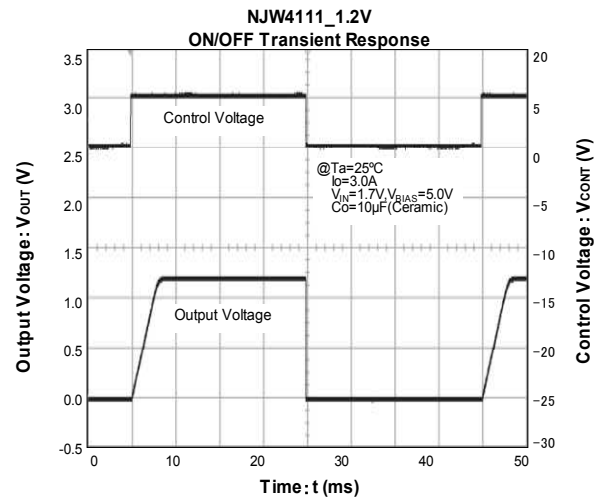
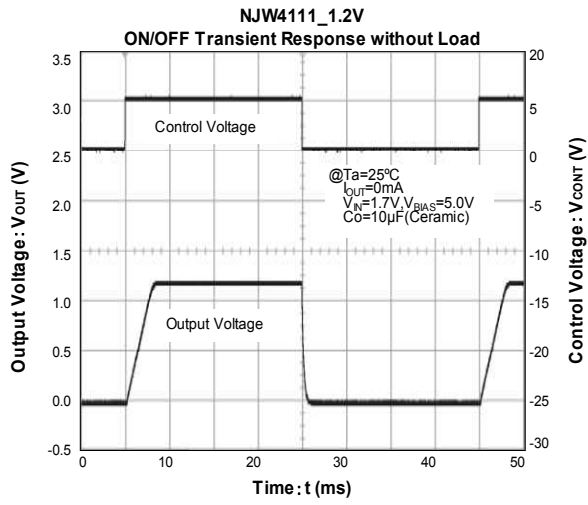












<注意事項>

このデータブックの掲載内容の正確さには万全を期しておりますが、掲載内容について何らかの法的な保証を行うものではありません。とくに応用回路については、製品の代表的な応用例を説明するためのものです。また、工業所有権その他の権利の実施権の許諾を伴うものではなく、第三者の権利を侵害しないことを保証するものでもありません。