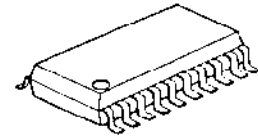


## 特定小電力用 1200bps MSK モデム

### 概要

NJU7512 は、1.8V から動作するデータ通信用の 1200bps MSK ( Minimum Shift Keying ) モデムです。基準周波数は 14.7456MHz で、フレームパターン選択、バッファ出力信号切り替えが可能です。高い受信感度や雑音耐性が求められる特定小電力機器に適しています。

### 外形



NJU7512VT

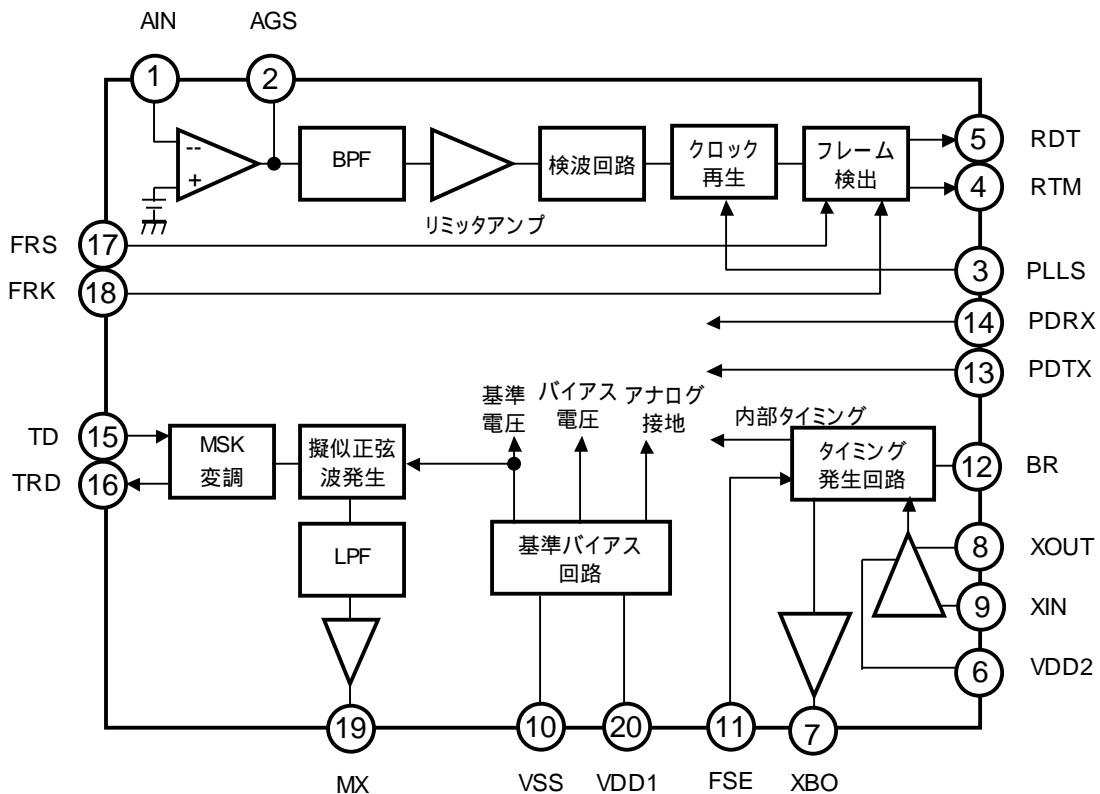
### 特徴 (VDD = 1.8V)

低消費電流	1.9mA <sub>typ.</sub> (送受信動作時)
低電圧 / 広範囲動作	1.8 ~ 5.5V
通信速度	1200bps
基準周波数	14.7456MHz
バッファ出力切り替え	14.7456MHz、3.6864MHz
フレームパターン選択	2種類
パワーダウン制御	変調部と復調部を独立に制御
外付け部品が少ない	
高温 ( 105°C )・低温 ( - 40°C ) の仕様を規定 ( 標準 )	
C-MOS 構造	

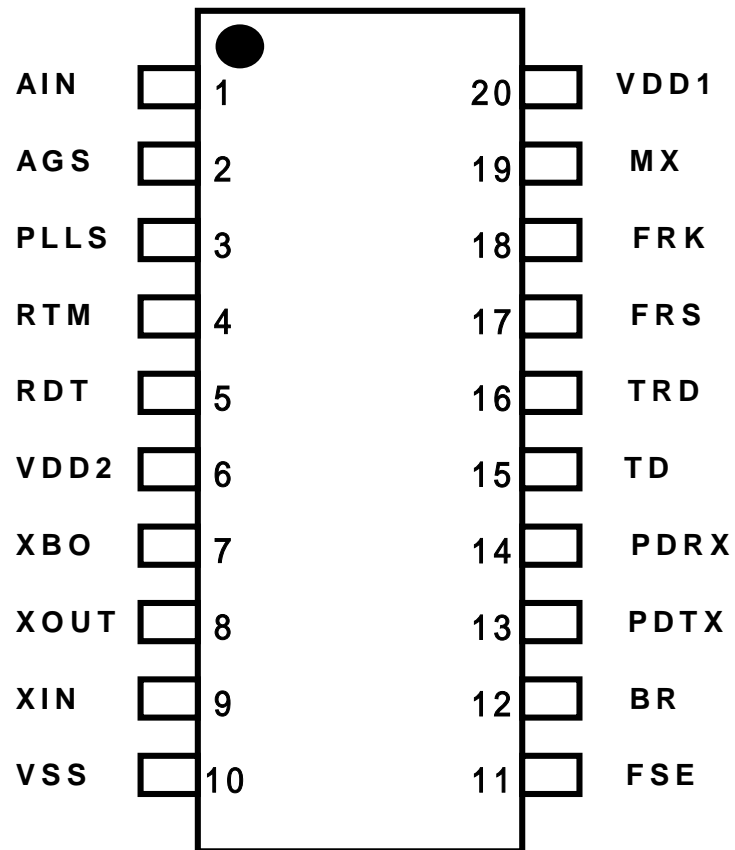
外形 SSOP20 ( 参考 6.5 × 6.4mm、0.65mm )

\* 「SSOP20」詳細寸法は、弊社の IC パッケージ情報 ( 半導体に関する製品情報 ) をご参照願います。

### ブロック図



端子配列

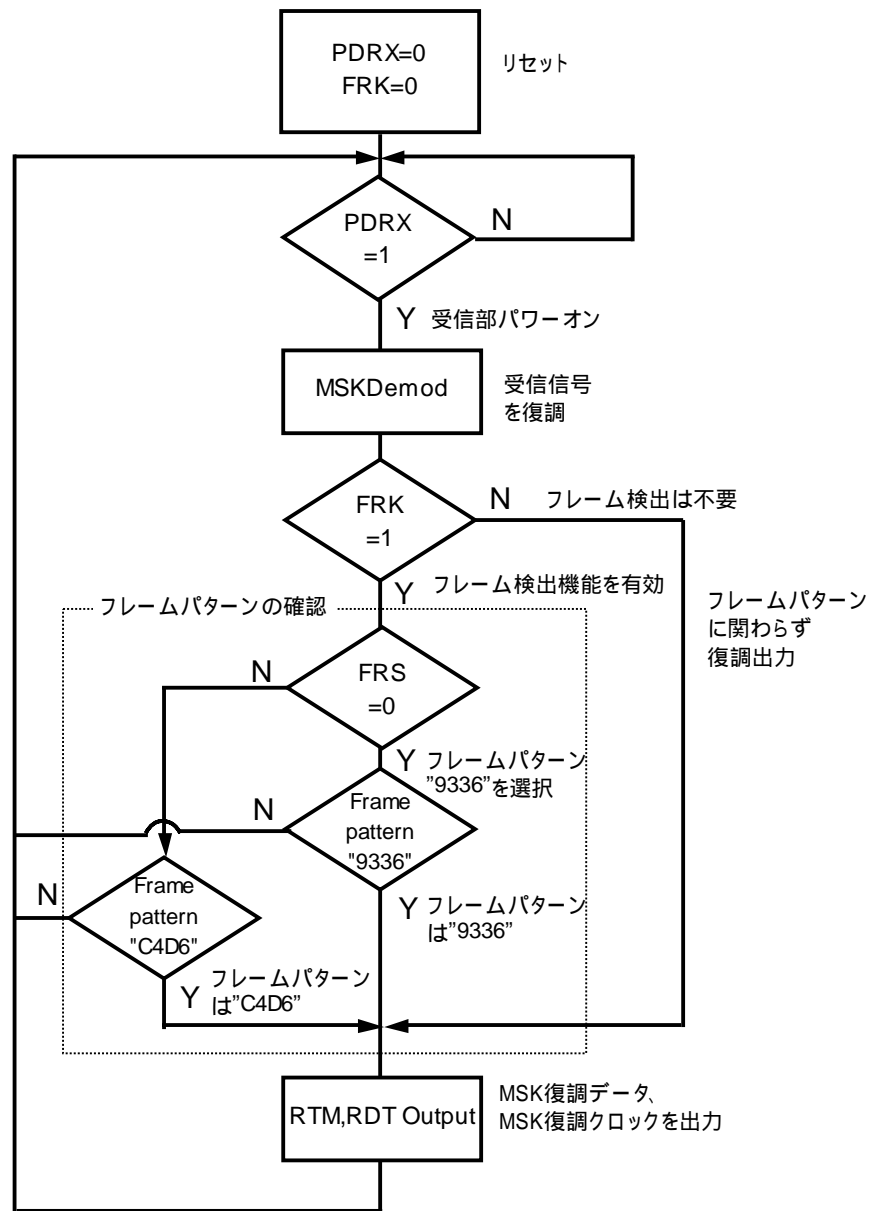


NJU7512VT

## 端子説明

端子番号	端子名	機 能	パワーダウン時												
			PDTX = Lo	PDRX = Lo											
1	AIN	入力アンプの入力端子													
2	AGS	入力アンプの出力端子		Loレベル											
3	PLLS	PLL 制御入力端子 PLL の位相修正速度を低速修正か高速修正のどちらかを選択します。	<table border="1"> <tr> <th>PLLS</th> <th>位相修正速度</th> </tr> <tr> <td>Hi</td> <td>低速位相修正</td> </tr> <tr> <td>Lo</td> <td>高速位相修正</td> </tr> </table>	PLLS	位相修正速度	Hi	低速位相修正	Lo	高速位相修正						
PLLS	位相修正速度														
Hi	低速位相修正														
Lo	高速位相修正														
4	RTM	MSK 復調同期クロック出力端子		Hiレベル											
5	RDT	MSK 復調データ出力端子 MSK 復調同期クロックの立下がりに同期します。													
6	VDD2	発振回路電源端子													
7	XBO	発振回路バッファ出力端子 外部回路に供給するための発振回路バッファ出力です。		Hiレベル											
8	XOUT	発振回路出力端子 XIN 端子との間に水晶振動子を接続します。 外部クロックを使用する場合は開放として下さい。		Hiレベル											
9	XIN	発振回路入力端子 XOUT 端子との間に水晶振動子を接続します。 外部クロックを使用する場合はクロックの入力端子となります。													
10	VSS	グランド端子													
11	FSE	バッファ出力周波数切り替え端子 バッファ出力周波数を発振周波数か 1/4 周波数のどちらかを選択します。 *水晶振動子は周波数 14.7456MHz を使用	<table border="1"> <tr> <th>FSE</th> <th>出力周波数 MHz</th> </tr> <tr> <td>Hi</td> <td>3.6864</td> </tr> <tr> <td>Lo</td> <td>14.7456</td> </tr> </table>	FSE	出力周波数 MHz	Hi	3.6864	Lo	14.7456						
FSE	出力周波数 MHz														
Hi	3.6864														
Lo	14.7456														
12	BR	通信速度制御端子 常時 Hi	<table border="1"> <tr> <th rowspan="2">BR</th> <th rowspan="2">通信速度 bps</th> <th colspan="2">キャリア周波数 Hz</th> </tr> <tr> <th>データ 1</th> <th>データ 0</th> </tr> <tr> <td>Hi</td> <td>1200</td> <td>1200</td> <td>1800</td> </tr> </table>	BR	通信速度 bps	キャリア周波数 Hz		データ 1	データ 0	Hi	1200	1200	1800		
BR	通信速度 bps	キャリア周波数 Hz													
		データ 1	データ 0												
Hi	1200	1200	1800												
13	PDTX	変調部パワーダウン制御端子	<table border="1"> <tr> <th>PDTX</th> <th>動作</th> </tr> <tr> <td>Hi</td> <td>変調部パワーオン</td> </tr> <tr> <td>Lo</td> <td>変調部パワーダウン</td> </tr> </table>	PDTX	動作	Hi	変調部パワーオン	Lo	変調部パワーダウン						
PDTX	動作														
Hi	変調部パワーオン														
Lo	変調部パワーダウン														
14	PDRX	復調部パワーダウン制御端子	<table border="1"> <tr> <th>PDRX</th> <th>動作</th> </tr> <tr> <td>Hi</td> <td>復調部パワーオン</td> </tr> <tr> <td>Lo</td> <td>復調部パワーダウン</td> </tr> </table>	PDRX	動作	Hi	復調部パワーオン	Lo	復調部パワーダウン						
PDRX	動作														
Hi	復調部パワーオン														
Lo	復調部パワーダウン														
15	TD	MSK 変調データ入力端子 TRD 端子出力の立ち上がりに同期して取り込みます。													
16	TRD	MSK 変調データ取り込みタイミング出力端子 立ち上がりに同期して、TD 端子のデータを取り込みます。		Loレベル											
17	FRS	フレームパターン選択入力端子 16 ビット 2 種類のフレームパターンが選択できます。選択したフレームパターンと受信したパターンが一致した後、RTM、RDT を出力します。	<table border="1"> <tr> <th>FRS</th> <th>選択フレームパターン</th> </tr> <tr> <td>Hi</td> <td>1100010011010110 B (C4D6 H)</td> </tr> <tr> <td>Lo</td> <td>1001001100110110 B (9336 H)</td> </tr> </table>	FRS	選択フレームパターン	Hi	1100010011010110 B (C4D6 H)	Lo	1001001100110110 B (9336 H)						
FRS	選択フレームパターン														
Hi	1100010011010110 B (C4D6 H)														
Lo	1001001100110110 B (9336 H)														
18	FRK	フレーム検出機能選択端子 フレーム検出回路を有効 / 無効を選択します。	<table border="1"> <tr> <th>FRK</th> <th>動作</th> </tr> <tr> <td>Hi</td> <td>フレーム検出機能有効</td> </tr> <tr> <td>Lo</td> <td>フレーム検出機能無効</td> </tr> </table>	FRK	動作	Hi	フレーム検出機能有効	Lo	フレーム検出機能無効						
FRK	動作														
Hi	フレーム検出機能有効														
Lo	フレーム検出機能無効														
19	MX	MSK 変調信号出力端子		Loレベル											
20	VDD1	電源端子													

復調動作フローチャート



AIN に入力されるアナログ MSK 変調信号の基本構造は次の通りです。

選択フレームパターンあり (FRK = 1 に設定):

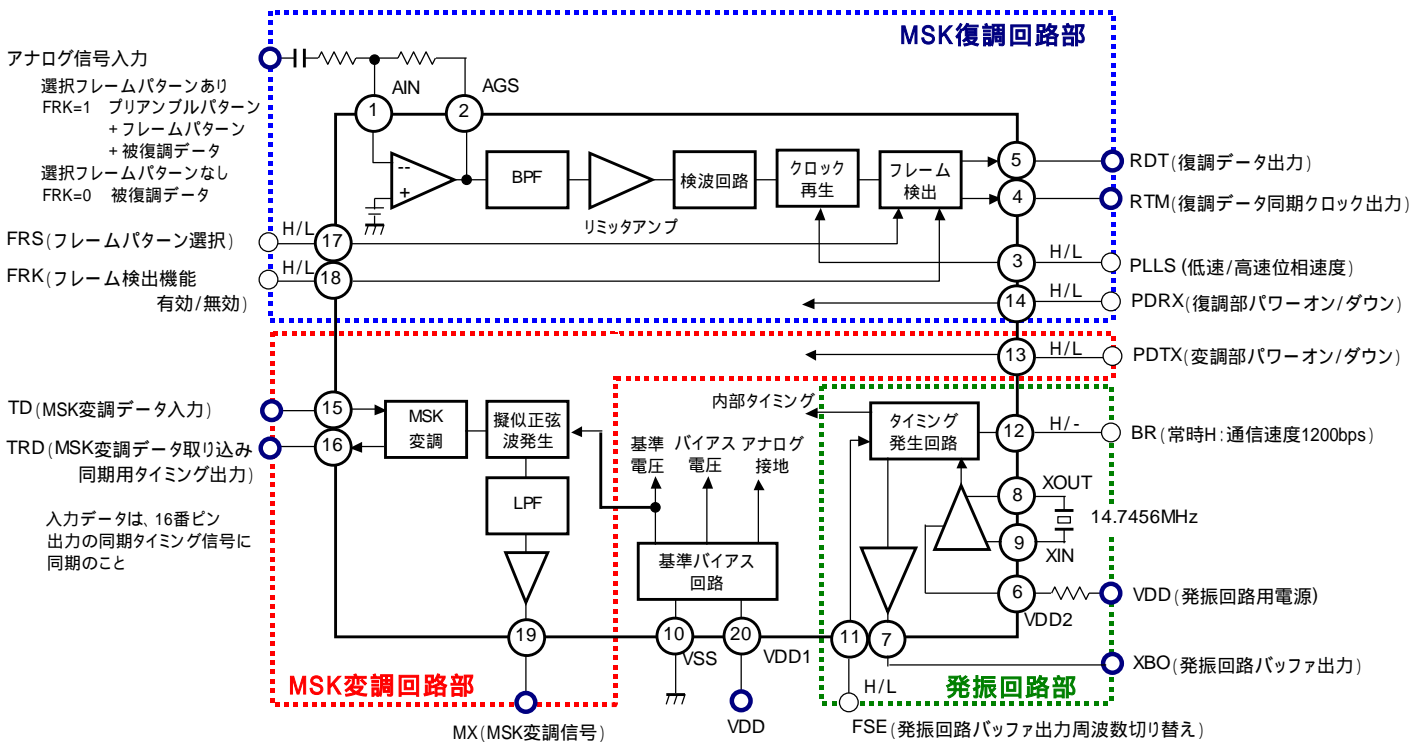
プリアンブルパターン + 16 ビットフレームパターン + 被復調データ

選択フレームパターンなし (FRK = 0 に設定):

復調データ

プリアンブルパターンは、101010...の"1"と"0"の繰り返しで、PLL 同期のために必要であり、ビット数は PLLS 端子 (3 番ピン) の設定により、12 ビットもしくは 50 ビット以上を推奨します。FRK = 1 の場合、被復調データが復調されて、RDT 端子 (5 番ピン) より出力されます。FRK = 0 の場合、フレームパターン有無に関わらず入力されたアナログ信号が復調され、RDT 端子 (5 番ピン) より出力されます。

ブロック別端子機能説明詳細



【 MSK復調回路部 】

入力アナログ信号

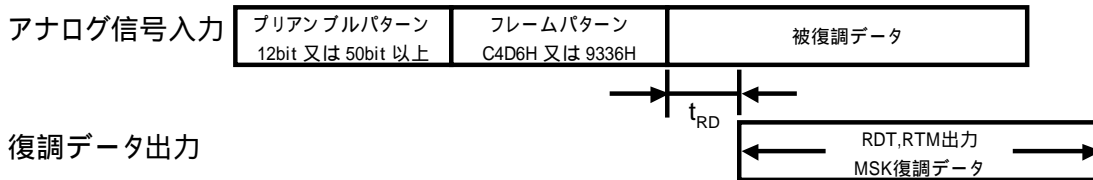
デジタルデータを High 1200Hz (1周期/ビット、833.3usec) Low 1800Hz (1.5周期/ビット、833.3usec) に変換したアナログ信号をアナログ信号アンプに入力します。デジタルデータのスピードは 1200bps です。

アナログ信号は、被復調データ以外に2種類の16ビットフレームパターン信号 (C4D6 または 9336) のどちらかを加えることができます。

フレーム検出機能を有効にされる際は、FRK 端子 (18 番ピン) を Hi、FRS 端子 (17 番ピン) を Hi か Lo に設定し、判別するフレームパターンを指定します。

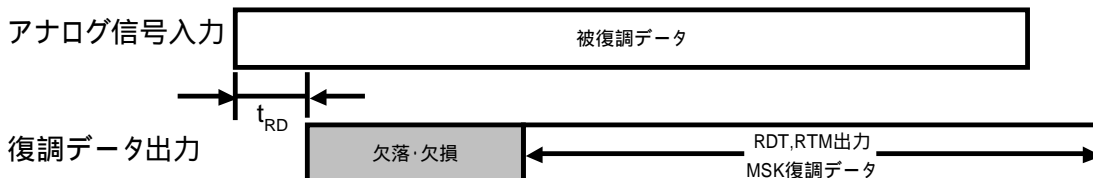
フレーム検出機能を有効にされる際のデータ構成は、プリアンブルパターン+フレームパターン+被復調データとなり、RDT 端子 (5 番ピン) から出力される MSK 復調データは、被復調データのみとなります。

なお、プリアンブルパターンが PLLS 端子 (3 番ピン) 設定の推奨値より少ない場合は、正常な MSK 復調データが得られない可能性があります。



フレーム検出機能を無効にされる際は、FRK 端子 (18 番ピン) を Lo に設定します。

フレーム検出機能を無効にされた際は、入力されたアナログ信号すべてが被復調データとなります。ただし、RDT 端子 (5 番ピン) から出力される MSK 復調データは、被復調データの初期データに欠落や欠損が発生する可能性があります。

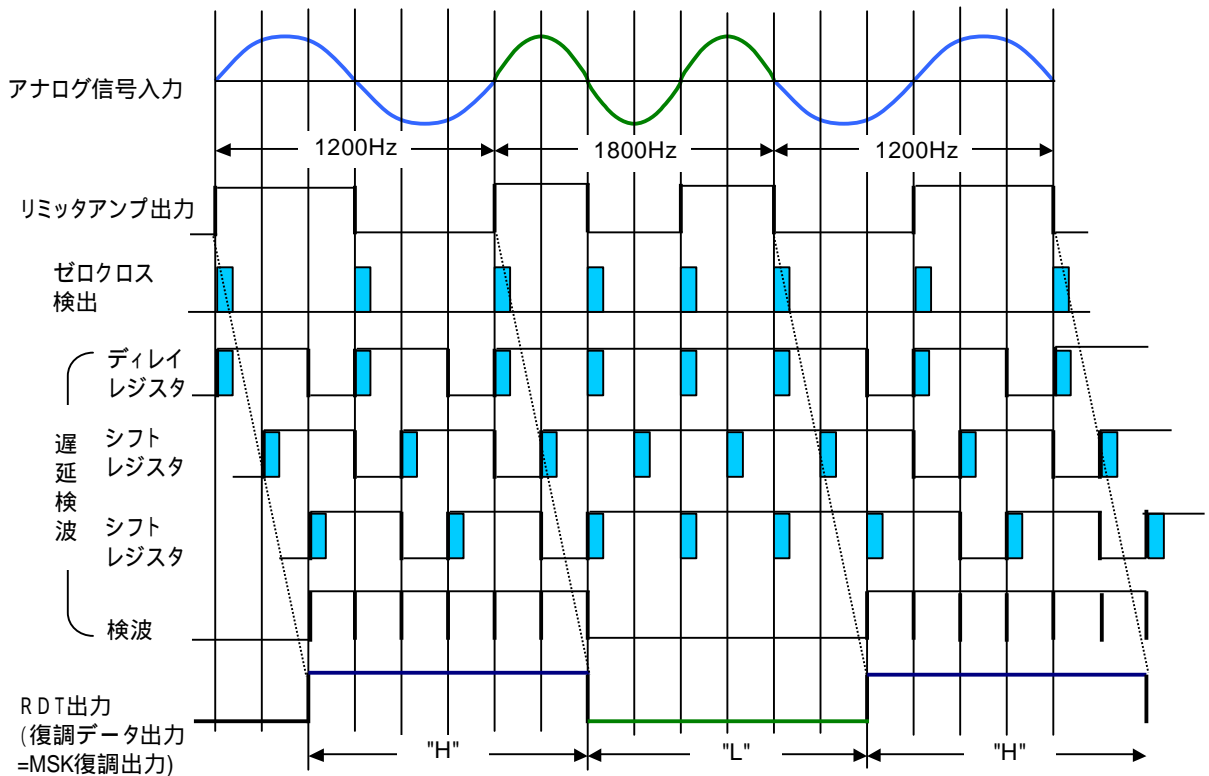


**アナログ信号アンプ**

アナログ信号アンプは、AIN 端子 (1 番ピン) と AGS 端子 (2 番ピン) に設けられ、オープンループゲインは min60dB です。アナログ信号入力レベルに応じて、外部帰還抵抗を設定することで BER (Bit Error Rate) を最適化出来ます。アナログ信号アンプ出力となる AGS 端子 (2 番ピン) の最適レベルは、特性例【復調ビット誤り率】を参照願います。

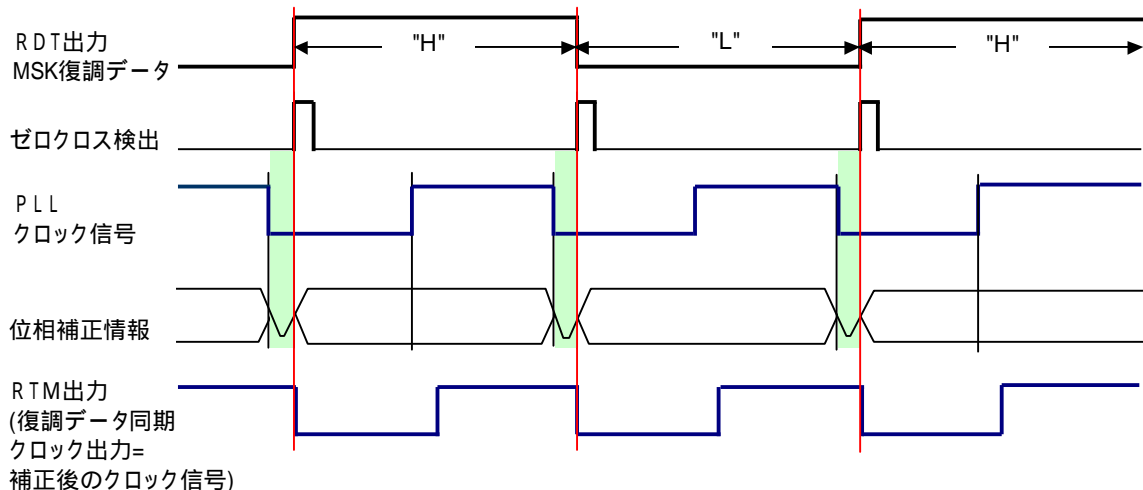
**復調データ出力端子 (RDT)**

MSK 変調されたアナログ信号入力に対して、RDT 端子 (5 番ピン) から MSK 復調されたデジタルデータを出力します。出力電圧は、High : VDD ~ VDD-0.4V、Low : VSS ~ 0.4V です。



**復調同期クロック出力端子 (RTM)**

MSK 復調された RDT 端子 (5 番ピン) のデジタルデータに同期したクロックを RTM 端子 (4 番ピン) から出力します。RDT 端子は、RTM 端子の信号立下がりに同期します。



## 制御端子 (FRS, FRK, PLLS, PDRX)

### フレームパターン選択 (FRS)

フレーム検出機能を有効にされる際は、16ビット2種類のフレームパターンを選択できます。判別するフレームパターンを指定します。

FRS	選択フレームパターン
Hi	1100010011010110 B (C4D6 H)
Lo	1001001100110110 B (9336 H)

### フレーム検出機能選択 (FRK)

フレーム検出機能を有効とするか、無効とするかの選択をします。フレーム検出を行わない場合は、アナログ信号はすべて被復調データとなります。

FRK	動作
Hi	フレーム検出機能有効
Lo	フレーム検出機能無効

### クロック再生時の位相修正速度選択 (PLLS)

PLLの引き込み特性すなわち引き込みビット数を制御する端子です。同期クロックを作る為、内部クロックに位相修正をかけていますが、最大位相修正角度は、低速モードでは3.75°、高速モードでは30°です。低速モードでは50ビット以上、高速モードでは12ビット以上のプリアンブルパターン(101010...の"1"と"0"の繰り返し)設定を推奨します。

PLLS	位相修正速度
Hi	低速位相修正
Lo	高位相修正

### MSK復調回路部パワーオン/パワーダウン選択 (PDRX)

PDRX パワーオンでMSK復調回路部が動作モードに、パワーダウンで非動作モードになります。またパワーダウンによりフレーム検出回路部がリセットされます。

PDRX	動作
Hi	復調部パワーオン
Lo	復調部パワーダウン

**【重要】**電源立ち上げ時、およびFRK端子(18番ピン)、FRS端子(17番ピン)の状態を切り替えた場合には、誤動作防止の為、一旦パワーダウンを選択して下さい。

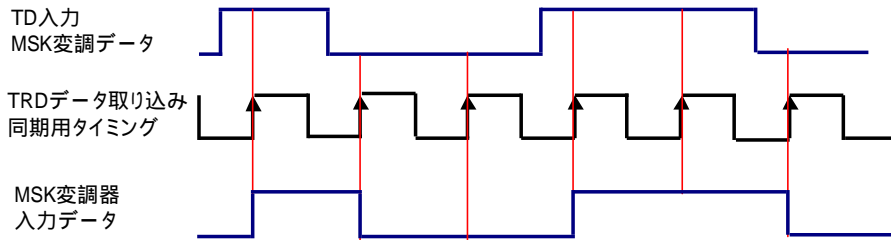
【 MSK変調回路部 】

データ取り込み同期用タイミング出力 (TRD)

クロック信号 (一周期 833.3usec) を出力します。TD 端子 (15 番ピン) から取り込むデジタルデータはこれに同期しなくてはなりません。

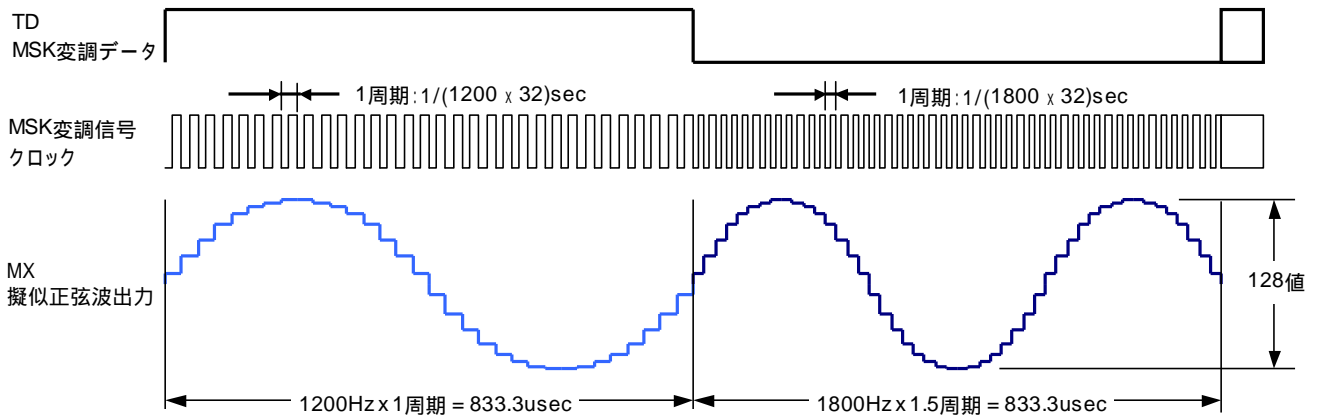
変調データ入力 (TD)

MSK 変調データを入力します。TRD (16 番ピン) のクロック信号立ち上がり同期して変調データを取り込みます。



変調信号出力 (MX)

TD 端子 (15 番ピン) から取り込んだデジタルデータを High 1200Hz (1 周期 / ビット、833.3usec) Low 1800Hz (1.5 周期 / ビット、833.3usec) に変換したアナログ信号が出力されます。出力レベルは、-6dBV (標準値、負荷 30kΩ/50pF) です。尚、0dBV = 1Vrms とします。尚、擬似正弦波発生回路の高調波成分を除去する為に、2 次バタースローパスフィルタ (カットオフ周波数 16kHz) を通して出力されます。



変調部パワーダウン制御端子 (PDTX)

PDTX パワーオンで MSK 変調回路部が動作モードに、パワーダウンで非動作モードになります。パワーダウンにより内部回路部がリセットされます。

PDTX	動作
Hi	変調部パワーオン
Lo	変調部パワーダウン

電源立ち上げ時には、誤動作防止の為、一旦パワーダウンを選択して下さい。なお、変調回路動作中にパワーダウンすると変調出力信号の欠落が発生します。パワーダウン時の欠落防止の為に【タイミング図】を参照下さい。また、PDTX パワーオン直後に、パワーアップ時間  $t_{PU}$  分の内部回路遅延が発生します。詳細は【タイミング図】MSK 復調タイミングチャートを参照下さい。

【参考】未使用時の端子処理

変調回路を使用しない場合は、PDTX 端子 (13 番ピン) = VSS、TD 端子 (15 番ピン) = High (VDD) または Low (VSS)、TRD 端子 (16 番ピン) = オープン、MX 端子 (19 番ピン) = オープンとします。



【 発振回路部 】

**発振回路入力端子 (XIN)**

XOUT 端子 (8 番ピン) との間で、水晶振動子を接続します (推奨)。水晶振動子の周波数は、14.7456MHz をご使用下さい。

水晶振動子の代わりに外部クロック信号を使う場合は、外部クロック信号の入力端子になります。

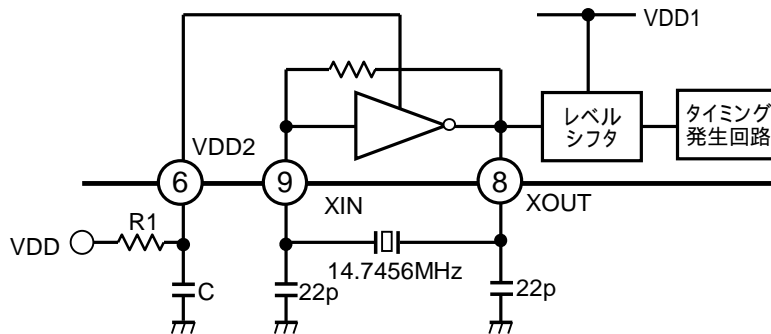
**発振回路出力端子 (XOUT)**

XIN 端子 (9 番ピン) との間で、水晶振動子を接続します。

水晶振動子の代わりに外部クロック信号を使う場合、開放にして下さい。

**発振回路電源端子 (VDD2)**

主要発振回路部には VDD2 を使い、発振回路レベルシフタの出力段には、VDD1 を使っています。VDD2 は VDD1 以下 ( $VDD2 \leq VDD1$ ) にして下さい。VDD1 に対し、VDD2 を下げることにより、発振回路の励振レベルを下げる事が出来ます。VDD2 を調整して、使用する水晶振動子の最大励振電力を超えないようにして下さい。



**発振回路バッファ出力端子 (XBO)**

インバータ出力端子です。FSE 端子 (11 番ピン) で選択された周波数の方形波を出力します。

外部デバイスのクロックとして使用できますが、この場合には外部デバイスの仕様を十分確認願います。

**制御端子 (FSE、BR)**

**発振回路バッファ出力周波数切り替え端子 (FSE)**

XBO 端子 (7 番ピン) から出力される信号の周波数の選択をします。

FSE	出力周波数
Hi	3.6864MHz
Lo	14.7456MHz

**通信速度制御端子 (BR)**

常時 High に設定します。

**電気的特性記号説明**

記号	名称	対象端子	説明	
I <sub>DD1</sub>	送受信動作時消費電流	VDD1, VDD2	送受信動作時の VDD1, VDD2 端子に流入するトータル電流	
I <sub>DD2</sub>	送受信パワーダウン時消費電流	VDD1, VDD2	送受信パワーダウン時の VDD1, VDD2 端子に流入するトータル電流	
I <sub>DD3</sub>	送信時消費電流	VDD1, VDD2	送信動作時の VDD1, VDD2 端子に流入するトータル電流	
I <sub>DD4</sub>	受信時消費電流	VDD1, VDD2	受信動作時の VDD1, VDD2 端子に流入するトータル電流	
V <sub>IH</sub>	制御入力端子 Hi レベル入力電圧	全制御端子	各制御端子に供給する Hi レベル電圧	
V <sub>IL</sub>	制御入力端子 Lo レベル入力電圧	全制御端子	各制御端子に供給する Lo レベル電圧	
V <sub>HS</sub>	制御入力端子ヒステリシス幅電圧	全制御端子	各制御端子の Lo Hi 時の切り替わり電圧と Hi Lo への切り替わり電圧の差	
V <sub>OL</sub>	デジタル出力端子 Lo レベル出力電圧	TRD, RTM, RDT	各デジタル信号出力端子から出力される Lo レベル電圧	
V <sub>OH</sub>	デジタル出力端子 Hi レベル出力電圧	TRD, RTM, RDT	各デジタル信号出力端子から出力される Hi レベル電圧	
I <sub>I</sub>	制御入力端子電流	全制御端子	各制御端子に流出/流入電流	
I <sub>IA</sub>	アナログ入力端子電流	AIN	AIN 端子に流入する電流	
V <sub>B1</sub>	AGS 端子バイアス電圧	AGS	AGS 端子の DC バイアス電圧	
V <sub>B2</sub>	MX 端子バイアス電圧	MX	MX 出力端子の DC バイアス電圧	
V <sub>OS1</sub>	AGS 端子オフセット電圧	AGS	AGS 端子の DC オフセット電圧	
V <sub>OS2</sub>	MX 端子オフセット電圧	MX	MX 端子の DC オフセット電圧	
G <sub>O</sub>	オープンループ利得	AIN - AGS	入力アンプのオープン利得	
f <sub>T</sub>	入力アンプ帯域幅	AIN - AGX	入力アンプの周波数帯域幅	
V <sub>OM</sub>	MX 端子変調信号レベル	MX	MX 端子から出力される擬似正弦波信号レベル	
E <sub>BR1</sub>	復調ビット誤り率 1	RDT	復調出力データの BER(Bit Error Rate)	
E <sub>BR2</sub>	復調ビット誤り率 2	RDT	復調出力データの BER	
E <sub>BR3</sub>	復調ビット誤り率 3	RDT	復調出力データの BER	
N <sub>LH</sub>	PLL 引き込みビット数 1	RTM	低速位相速度設定時の位相差 22.5 度以内に引き込むまでのビット数	
N <sub>LL</sub>	PLL 引き込みビット数 2	RTM	高速位相速度設定時の位相差 22.5 度以内に引き込むまでのビット数	
D <sub>F</sub>	復調データ同期ずれビット数	RTM	復調データと PLL 同期信号とのずれ	
MXd	MX 端子変調信号歪率	MX	MX 端子から出力される擬似正弦波信号の設定負荷条件での波形歪	
F <sub>CK</sub>	水晶発振周波数	XBO	水晶発振回路の発振周波数精度	
t <sub>DA</sub>	送信ホールド時間		タイミングチャート参照	
t <sub>DS</sub>	データセットアップ時間			
t <sub>DH</sub>	データホールド時間			
t <sub>OM</sub>	変調出力遅延時間			
t <sub>FR</sub>	フレームリセット時間			
t <sub>PU</sub>	パワーアップ時間			
t <sub>TC</sub>	送信周期時間			
t <sub>RD</sub>	復調遅延時間			
t <sub>CY</sub>	受信クロック周期			
t <sub>TH</sub>	受信クロック高レベル幅			
t <sub>TL</sub>	受信クロック低レベル幅			
t <sub>DD</sub>	データ出力遅延時間			
t <sub>PD</sub>	パワーダウン遅延時間			
f <sub>FR</sub>	フレームリセット時間			

**絶対最大定格** (指定なき場合には  $T_a = 25^\circ\text{C}$ )

項目	記号	最大定格	単位
電源電圧	VDD	7.0	V
消費電力	$P_D$	375	mW
入力電圧範囲 (制御入力端子)	$V_{IND}$	$V_{SS} - 0.5 \sim V_{DD1} + 0.5$	V
動作温度	$T_{opr}$	$-40 \sim +105$	$^\circ\text{C}$
保存温度	$T_{stg}$	$-40 \sim +150$	$^\circ\text{C}$

注1) 電源電圧 VDD は、測定回路図を参照のこと。

**推奨動作条件** (指定なき場合には  $T_a = 25^\circ\text{C}$ )

項目	記号	最小値	標準値	最大値	単位
電源電圧 1	VDD1	1.8	-	5.5	V
電源電圧 2	VDD2	1.8	-	VDD1	V

**電気的特性 1**

 ( 指定なき場合には  $T_a = 25^\circ\text{C}$ 、 $V_{SS} = 0\text{V}$ 、測定回路参照、 $V_{DD} = V_{DD1} = V_{DD2} = 1.8\text{V}$  時  $R_1 = 0\Omega$  )

**【DC特性】**

項目	記号	条件	最小値	標準値	最大値	単位
送受信動作時 消費電流	$I_{DD1}$	$V_{DD} = 1.8\text{V}$ , 無信号時	-	1.9	2.2	mA
送受信 パワーダウン時消 費電流	$I_{DD2}$	$V_{DD} = 1.8\text{V}$ , 無信号時	-	0.01	10	$\mu\text{A}$
送信時 消費電流	$I_{DD3}$	$V_{DD} = 1.8\text{V}$ , 無信号時	-	1.1	1.2	mA
受信時 消費電流	$I_{DD4}$	$V_{DD} = 1.8\text{V}$ , 無信号時	-	1.7	1.9	mA
制御入力端子 Hi レベル 入力電圧	$V_{IH}$	$V_{DD} = 1.8\text{V}$ , 無信号時 注2)	$0.75 \times V_{DD}$	-	VDD	V
制御入力端子 Lo レベル 入力電圧	$V_{IL}$	$V_{DD} = 1.8\text{V}$ , 無信号時 注2)	VSS	-	$0.25 \times V_{DD}$	V
制御入力端子 ヒステリシス幅 電圧	$V_{HS}$	$V_{DD} = 1.8\text{V}$ , 無信号時 注3)	-	0.5	-	V

デジタル出力端子 Lo レベル 出力電圧	$V_{OL}$	VDD=1.8V, 無信号時 $I_o=-1.6\text{mA}$ 注4)	VSS	-	0.4	V
デジタル出力端子 Hi レベル 出力電圧	$V_{OH}$	VDD=1.8V, 無信号時 $I_o=+0.4\text{mA}$ 注4)	VDD-0.4	-	VDD	V
制御入力 端子電流	$I_i$	VDD=1.8V, 各端子入力電圧=VSSorVDD 注2)	-200	-	200	nA
アナログ入力 端子電流	$I_A$	VDD=1.8V, 無信号時 AIN 端子入力電圧=VSSorVDD	-100	-	100	nA
AGS 端子 バイアス電圧	$V_{B1}$	VDD=1.8V, 無信号時 注3)	-	$0.39 \times$ VDD	-	V
MX 端子 バイアス電圧	$V_{B2}$	VDD=1.8V, 無信号時 注3)	-	0.90	-	V
AGS 端子 オフセット電圧	$V_{OS1}$	VDD=1.8V, 無信号時 0.39×VDDを基準	-50	-	+50	mV
MX 端子 オフセット電圧	$V_{OS2}$	VDD=1.8V, 無信号時 0.9Vを基準	-150	-	+150	mV

注2) 測定端子はBR、FSE、PDTX、PDRX、TD、FRS、FRK、PLLS。

注3) 特性例を参考値として参照のこと。

注4) 測定端子はTRD、RTM、RDT。 $I_o$ は各端子流入電流(マイナス値は流出電流)を表す。

**【AC特性】**

項目	記号	条件	最小値	標準値	最大値	単位
オープンループ利得	G <sub>O</sub>	VDD=1.8V, 無負荷	60	-	-	dB
入力アンプ帯域幅	f <sub>T</sub>	VDD=1.8V, 無負荷	0.8	1.0	-	MHz
MX 端子変調信号レベル	V <sub>OM</sub>	VDD=1.8V, 負荷30kΩ//50pF	-7	-6	-5	dBV
復調ビット誤り率 1	E <sub>BR1</sub>	VDD=1.8V, PLLS=VSS, BR=VDD SN=8dB, S=-2 ~ -32dBV N=Gaussian Noise (5kHz), 注3)	-	1 × 10 <sup>-3</sup>	-	-
復調ビット誤り率 2	E <sub>BR2</sub>	VDD=1.8V, PLLS=VSS, BR=VDD SN=10dB, S=-2 ~ -32dBV N=Gaussian Noise (5kHz) 注3)	-	5 × 10 <sup>-5</sup>	-	-
復調ビット誤り率 3	E <sub>BR3</sub>	VDD=1.8V, PLLS=VSS, BR=VDD SN=6dB, S=-20dBV N=Gaussian Noise (5kHz)	-	-	5 × 10 <sup>-2</sup>	-
PLL 引き込みビット数 1	N <sub>LH</sub>	VDD=1.8V, PLLS=VSS 位相差22.5deg 以内	-	-	12	bit
PLL 引き込みビット数 2	N <sub>LL</sub>	VDD=1.8V, PLLS=VDD 位相差22.5deg 以内	-	-	50	bit
復調データ同期ずれビット数	D <sub>F</sub>	VDD=1.8V, PLLS=VDD or VSS 注3)	-	2.4	-	%
MX 端子変調信号歪率	MXd	VDD=1.8V, BR=VDD, TD=VDD, 負荷30kΩ//50pF	-	1.5	3	%
水晶発振周波数	F <sub>CK</sub>	VDD=1.8V, 無信号時	14.7440	14.7456	14.7472	MHz

注3) 特性例を参考値として参照のこと。

**【タイミング特性】**

項目	記号	条件	最小値	標準値	最大値	単位
送信 ホールド時間	$t_{DA}$	VDD=1.8V, BR=VDD 注3)	-	400	-	us
データ セットアップ 時間	$t_{DS}$	VDD=1.8V, BR=VDD 注3)	-	416.7	-	ns
データホールド 時間	$t_{DH}$	VDD=1.8V, BR=VDD 注3)	-	416.7	-	ns
変調出力 遅延時間	$t_{OM}$	VDD=1.8V, BR=VDD	-	-	300	us
フレーム リセット時間	$t_{FR}$	VDD=1.8V, BR=VDD	1	-	-	us
パワーアップ 時間	$t_{PU}$	VDD=1.8V, BR=VDD	0.04	-	2.00	ms
送信周期	$t_{TC}$	VDD=1.8V, BR=VDD	833	-	834	us
復調遅延時間	$t_{RD}$	VDD=1.8V, BR=VDD	-	-	2	ms
受信 クロック周期	$t_{CY}$	VDD=1.8V, BR=VDD	755	-	912	us
受信クロック 高レベル幅	$t_{TH}$	VDD=1.8V, BR=VDD	416	-	417	us
受信クロック 低レベル幅	$t_{TL}$	VDD=1.8V, BR=VDD	338	-	496	us
データ出力 遅延時間	$t_{DD}$	VDD=1.8V, BR=VDD	-	-	50	ns
パワーダウン 遅延時間	$t_{PD}$	VDD=1.8V, BR=VDD	-	-	200	ns

注3) 特性例を参考値として参照のこと。

**■ 電気的特性 2**

 ( 指定なき場合には  $T_a = -40^{\circ}\text{C} / +105^{\circ}\text{C}$ 、 $V_{SS} = 0\text{V}$ 、測定回路参照、 $V_{DD} = 1.8\text{V}$  時  $R_1 = 0\Omega$  )

**【DC特性】**

項目	記号	条件	最小値	標準値	最大値	単位
送受信動作時消費電流	$I_{DD1}$	$V_{DD}=1.8\text{V}$ , 無信号時	-	-	2.2	mA
送受信パワーダウン時消費電流	$I_{DD2}$	$V_{DD}=1.8\text{V}$ , 無信号時	-	-	10	$\mu\text{A}$
送信時消費電流	$I_{DD3}$	$V_{DD}=1.8\text{V}$ , 無信号時	-	-	1.2	mA
受信時消費電流	$I_{DD4}$	$V_{DD}=1.8\text{V}$ , 無信号時	-	-	1.9	mA
制御入力端子 Hi レベル入力電圧	$V_{IH}$	$V_{DD}=1.8\text{V}$ , 無信号時 注2)	$0.75 \times V_{DD}$	-	$V_{DD}$	V
制御入力端子 Lo レベル入力電圧	$V_{IL}$	$V_{DD}=1.8\text{V}$ , 無信号時 注2)	$V_{SS}$	-	$0.25 \times V_{DD}$	V
デジタル出力端子 Lo レベル出力電圧	$V_{OL}$	$V_{DD}=1.8\text{V}$ , 無信号時 $I_O = -1.6\text{mA}$ 注4)	$V_{SS}$	-	0.4	V
デジタル出力端子 Hi レベル出力電圧	$V_{OH}$	$V_{DD}=1.8\text{V}$ , 無信号時 $I_O = +0.4\text{mA}$ 注4)	$V_{DD}-0.4$	-	$V_{DD}$	V
制御入力端子電流	$I_I$	$V_{DD}=1.8\text{V}$ , 入力電圧= $V_{SS}$ , $V_{DD}$ 注2)	-200	-	200	nA
アナログ入力端子電流	$I_{IA}$	$V_{DD}=1.8\text{V}$ , 無信号時 $A_{IN} = V_{SS}$ , $V_{DD}$	-100	-	100	nA
AGS 端子オフセット電圧	$V_{OS1}$	$V_{DD}=1.8\text{V}$ , 無信号時 $0.39 \times V_{DD}$ を基準	-50	-	+50	mV
MX 端子オフセット電圧	$V_{OS2}$	$V_{DD}=1.8\text{V}$ , 無信号時 $0.9\text{V}$ を基準	-150	-	+150	mV

注 2 ) 測定端子は BR、FSE、PDTX、PDRX、TD、FRS、FRK、PLLS。

 注 4 ) 測定端子は TRD、RTM、RDT。  $I_O$  は各端子流入電流 ( マイナス値は流出電流 ) を表す。

**【AC特性】**

項目	記号	条件	最小値	標準値	最大値	単位
オープンループ利得	$G_o$	VDD=1.8V, 無負荷	60	-	-	dB
入力アンプ帯域幅	$f_T$	VDD=1.8V, 無負荷	0.8	-	-	MHz
MX 端子変調信号レベル	$V_{OM}$	VDD=1.8V, 負荷30k $\Omega$ //50pF	-7	-	-5	dBV
復調ビット誤り率3	$E_{BR3}$	VDD=1.8V, PLLS=VSS, BR=VDD SN=6dB, S=-20dBV N=Gaussian Noise (5kHz)	-	-	$5 \times 10^{-2}$	-
PLL 引き込みビット数1	$N_{LH}$	VDD=1.8V, PLLS=VSS 位相差22.5deg 以内	-	-	12	bit
PLL 引き込みビット数2	$N_{LL}$	VDD=1.8V, PLLS=VDD 位相差22.5deg 以内	-	-	50	bit
MX 端子変調信号歪率	MXd	VDD=1.8V, BR=VDD, TD=VDD, 負荷30k $\Omega$ //50pF	-	-	3	%
水晶発振周波数	$F_{\text{CK}}$	VDD=1.8V, 無信号時	14.7440	-	14.7472	MHz

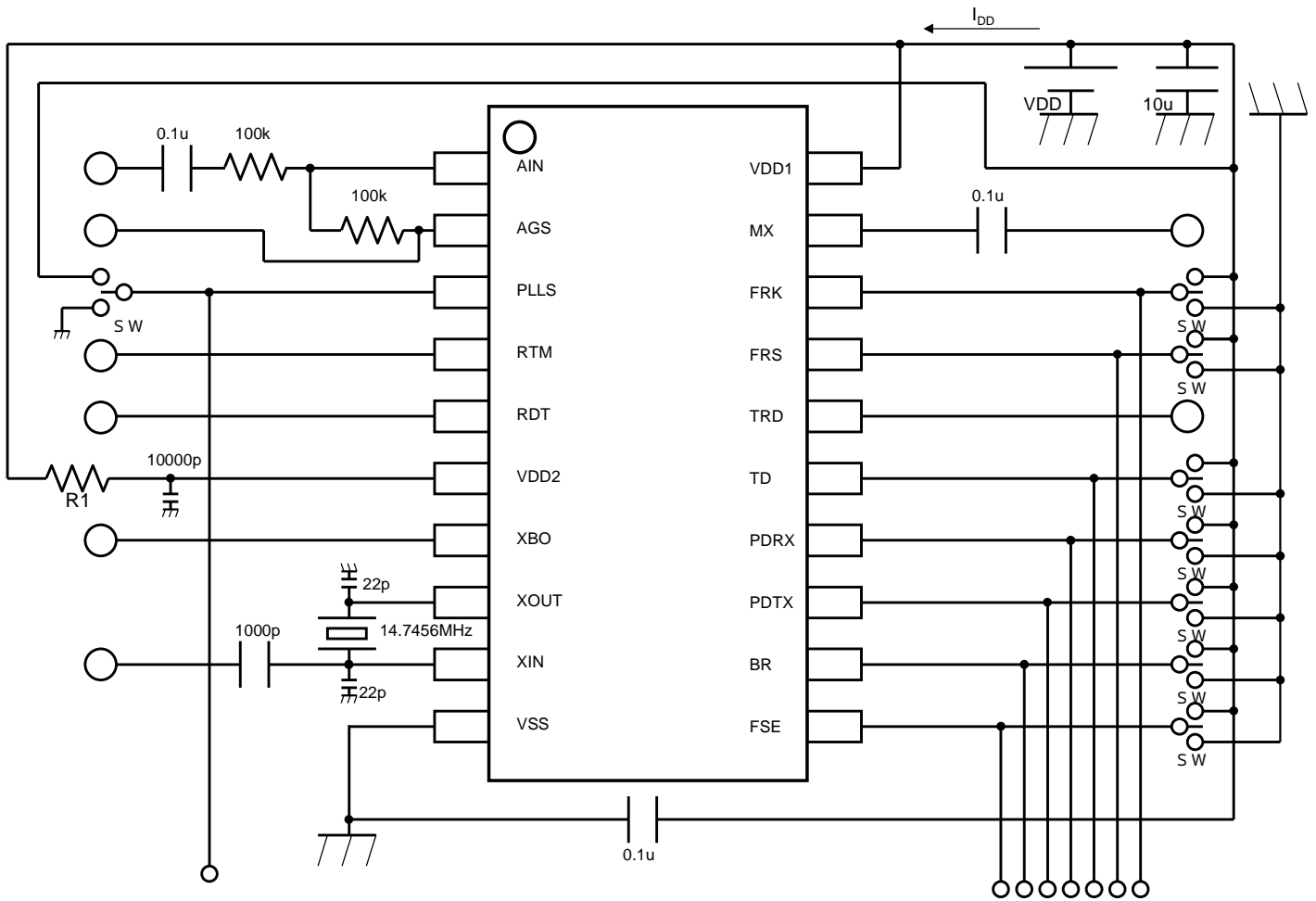


**【タイミング特性】**

項目	記号	条件	最小値	標準値	最大値	単位
変調出力 遅延時間	$t_{OM}$	VDD=1.8V, BR=VDD	-	-	300	us
フレーム リセット時間	$t_{FR}$	VDD=1.8V, BR=VDD	1	-	-	us
パワーアップ 時間	$t_{PU}$	VDD=1.8V, BR=VDD	0.04	-	2.00	ms
送信周期	$t_{TC}$	VDD=1.8V, BR=VDD	833.0	-	834.0	us
復調遅延時間	$t_{RD}$	VDD=1.8V, BR=VDD	-	-	2	ms
受信 クロック周期	$t_{CY}$	VDD=1.8V, BR=VDD	755	-	912	us
受信クロック 高レベル幅	$t_{TH}$	VDD=1.8V, BR=VDD	416	-	417	us
受信クロック 低レベル幅	$t_{TL}$	VDD=1.8V, BR=VDD	338	-	496	us
データ出力 遅延時間	$t_{DD}$	VDD=1.8V, BR=VDD	-	-	50	ns
パワーダウン 遅延時間	$t_{PD}$	VDD=1.8V, BR=VDD	-	-	200	ns



■ 測定回路図



注7) R1

R1を調整して、使用する水晶振動子の最大励振電力を越えないようにして下さい。

本測定回路図では次のように設定しています。

- ・水晶振動子：NX4025DA（仕様書番号U-816-78）（日本電波工業株式会社）相当品
- ・R1：

VDD = 1.8V の時、 R1 = 0Ω

VDD = 5.5V の時、 R1 = 3kΩ

水晶振動子の仕様につきましては、水晶メーカーに確認願います。

■ 等価回路

( Ta = 25°C、VSS = 0V、VDD = VDD1 = VDD2 = 1.8V 時、R1 = 0Ω )

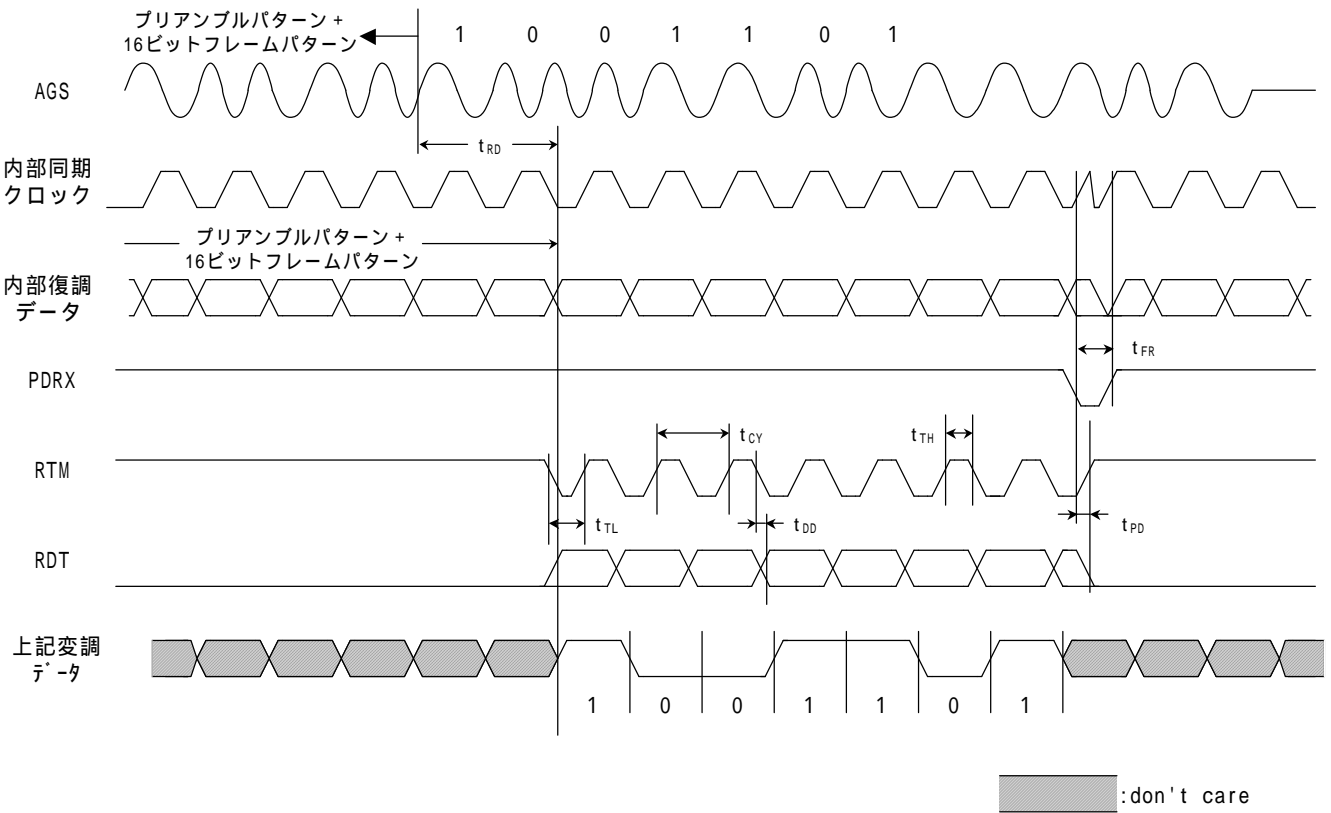
端子	端子名	内部等価回路	端子電圧	備考
1	AIN			<p>アナログ信号入力アンプの入力端子です。</p> <p>2 番ピン間に接続される外部帰還抵抗でゲインを調整します。</p> <p>アナログ信号入力レベルに応じて、ゲインコントロールをすることで、BER(Bit Error Rate)を最適化出来ます。</p>
2	AGS		0.4 x VDD1	<p>アナログ信号入力アンプの出力端子です。</p> <p>1 番ピン間に接続される外部帰還抵抗でゲインを調整します。</p> <p>最適レベルは、特性例の【復調ビット誤り率】を参照願います。</p>
3	PLLS			<p>PLL 制御入力端子です。</p> <p>PLL の引き込み特性すなわち引き込みビット数を制御する端子です。</p> <p>最大位相修正角度                      Hi : 低速位相修正 (3.75°)                      Lo : 高速位相修正 (30°)</p>
4	RTM		VSS ~ 0.4 , VDD ~ VDD-0.4	<p>MSK 復調同期クロック出力端子です。</p> <p>復調されたデジタルデータに同期したクロックが出力します。</p> <p>内部PLLで生成されたクロックに位相修正をかけ、クロック信号を再生します。</p>
5	RDT			<p>MSK 復調データ出力端子です。</p> <p>受信信号に対して、復調されたデジタルデータを出力します。</p> <p>4 番ピン信号の立下がりに同期してデータを出力します。</p>

端子	端子名	内部等価回路	端子電圧	備考
6	VDD2			発振回路電源端子です。 VDD2はVDD1以下( $VDD2 = <VDD1$ ) にしてください。 VDD2を調整して、使用する水晶振動子 の最大励振電力を超えないようにして下 さい。
7	XBO		VSS ~ VDD1	発振回路バッファ出力端子です。 11番ピンで選択された周波数の方形波 を出力します。 外部デバイスのクロックとして使用でき ます。
8 9	XOUT XIN		VSS ~ VDD2	8番ピンは発振回路出力端子です。 9番ピンは発振回路入力端子です。 水晶振動子を接続します(推奨) 水晶振動子の周波数は、 14.7456MHzをご使用下さい。 水晶振動子の代わりに外部クロック信号 を使う場合は、 9番ピンを、入力端子とし、 8番ピンは、開放にしてください。
10	VSS			グランド端子です。
11	FSE			バッファ出力周波数切り替え端子です。 7番ピン出力周波数を選択します。 Hi: 発振周波数 Lo: 発振周波数の1/4
12	BR			通信速度制御端子です。 常時 High に設定します。
13	PDTX			変調部パワーダウン制御端子です。 Hi: 変調回路部動作モード Lo: 変調回路部非動作モード
14	PDRX			復調部パワーダウン制御端子です。 Hi: 復調回路部動作モード Lo: 復調回路部非動作モード
15	TD			MSK 変調データ入力端子です。 16番ピンのクロック信号に同期した変 調データを取り込みます。

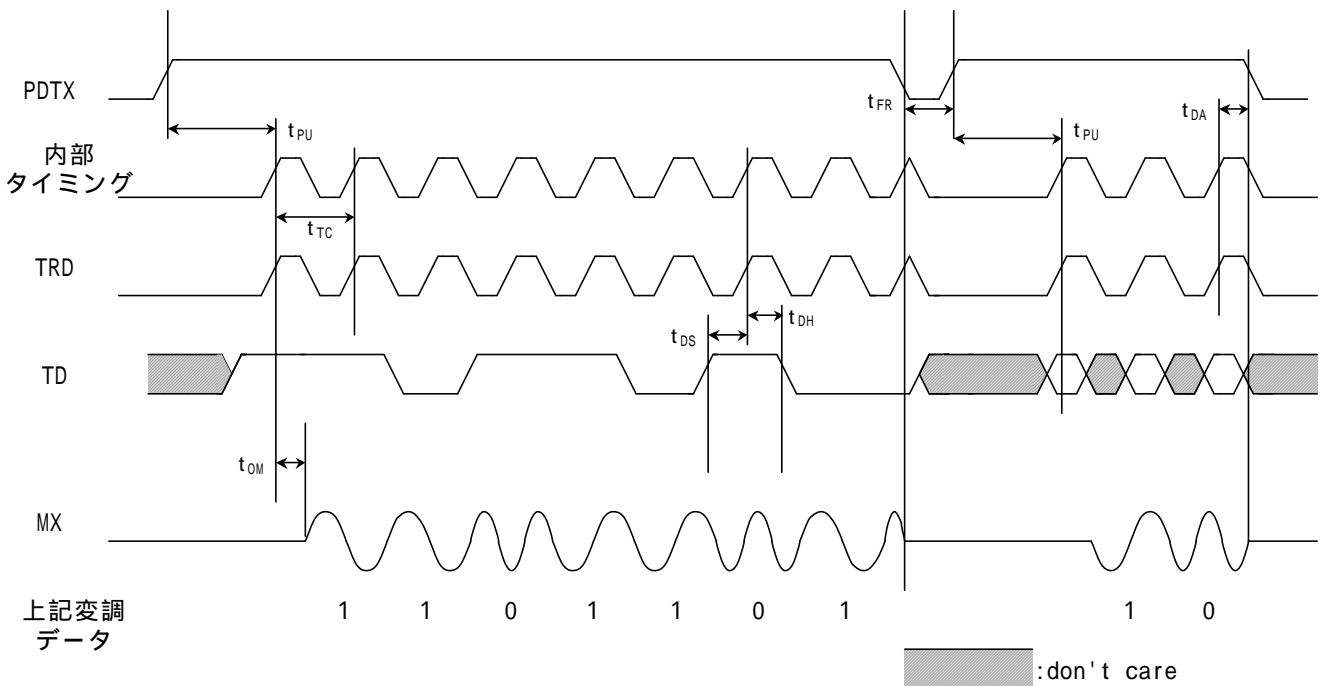
端子	端子名	内部等価回路	端子電圧	備考
16	TRD		VSS ~ 0.4 , VDD ~ VDD-0.4	MSK 変調データ取り込みタイミング出力端子です。 クロック信号を出力します。 クロック信号の立ち上がりに同期して、15 番ピンのデータを取り込みます。
17	FRS			フレームパターン選択入力端子です。 Hi : C4D6H Lo : 9336H
18	FRK		フレーム検出機能選択端子です。 Hi : フレーム検出機能有効 Lo : フレーム検出機能無効	
19	MX		0.9V	MSK 変調信号出力端子です。 15 番ピンから取り込んだデジタルデータをアナログ信号に変換し出力します (High : 1200Hz、Low : 1800Hz)。 出力レベルは、-6dBV です。 擬似正弦波発生回路の高調波成分を除去する為に、2 次パワースローパスフィルタを通して出力します。
20	VDD1			電源端子です。 主要発振回路部には VDD2 を使い、発振回路レベルシフタの出力段およびその他回路には、VDD1 を使います。

タイミング図

M S K 復調 タイミングチャート



M S K 変調 タイミングチャート



**■ 端子動作タイミング**
**PDTX : 送信部パワーダウン**

PDTX は内部回路のリセットをかねておりますので、電源立ち上げ時は、誤動作防止のため一度 PDTX 端子 (13 番ピン) を Lo にして下さい。

PDTX を Hi から Lo に切り替えると、MX 端子 (19 番ピン) から出力している MSK 変調信号は停止しますので、PDTX のタイミングによっては MSK 変調信号の最後が欠落する場合があります。

**PDRX : 受信部パワーダウン**

PDRX はフレーム検出回路のリセットをかねておりますので、電源立ち上げ時と FRK 端子 (18 番ピン)、FRS 端子 (17 番ピン) の状態を変えた場合には、一度 PDRX 端子 (14 番ピン) を Lo にして下さい。

**FRK : フレーム検出機能選択**

FRK の設定切り替え時は以下の表のように動作します。

FRK(フレーム検出機能選択) の切り替え時動作

	フレーム検出完了時	フレーム検出未完了時
Low(無効) Hi(有効)	停止し、フレーム検出後にRTM、RDTは出力開始	
Hi(有効) Low(無効)	RTM、RDTは継続し出力	RTM、RDTは出力開始

**FRS : フレームパターン選択**

FRS の設定切り替え時は以下のように動作します。

FRS(フレームパターン選択) の切り替え時動作

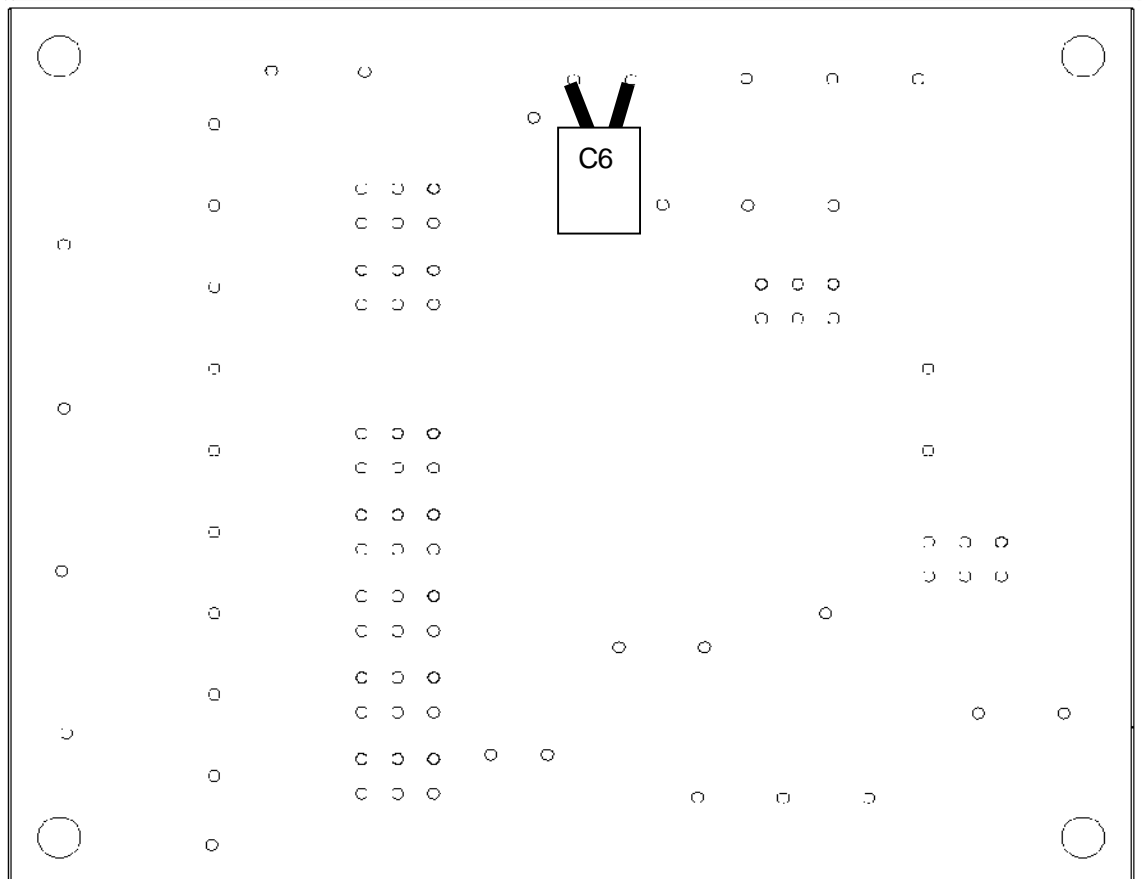
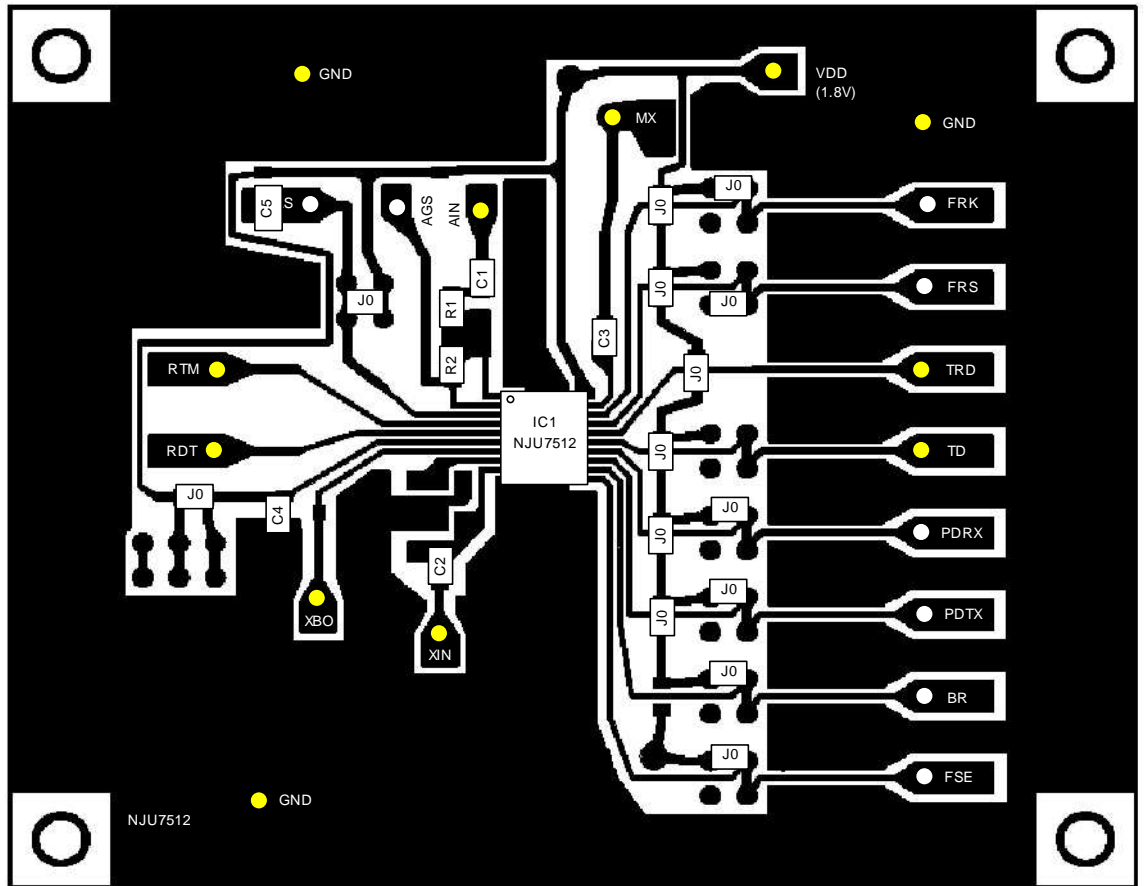
	フレーム検出完了時	フレーム検出未完了時
Low Hi、Hi Low	*1)RTM、RDTは継続し出力	フレーム検出後にRTM、RDTは出力開始

注8) PDRX 端子 (14 番ピン) を一旦 Low にすると、RTM、RDT は停止し、フレーム検出後に RTM、RDT は出力開始します。

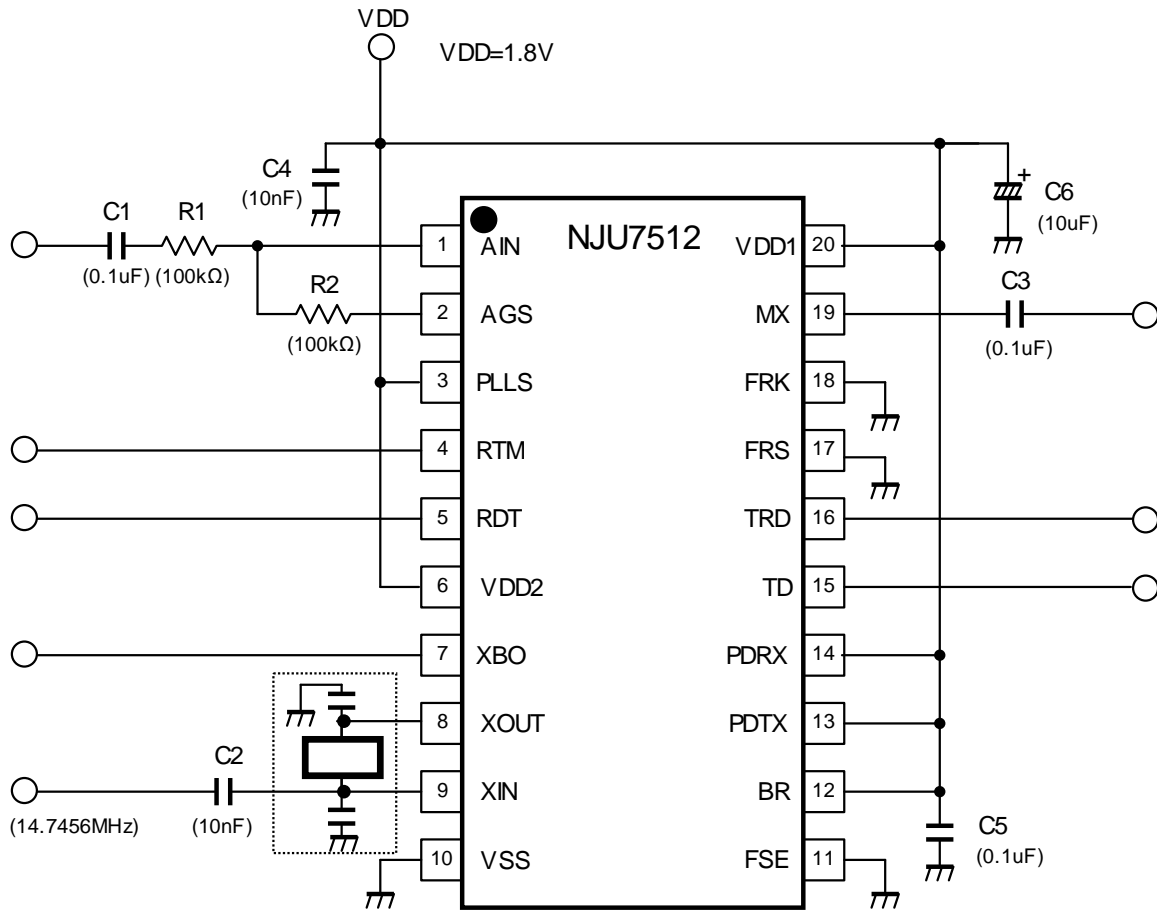


評価基板

レイアウト図



回路図



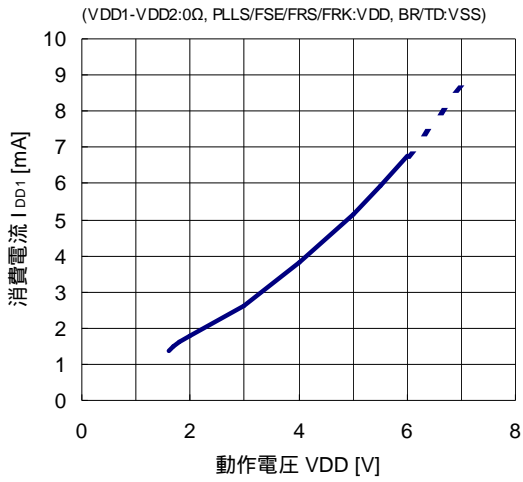
注9) レイアウト図に記載の J0 はチップ抵抗器 (ジャンパー、R=0Ω) です。

注10) 水晶振動子部分 (水晶振動子、コンデンサ) は、工場出荷時にはついていません。

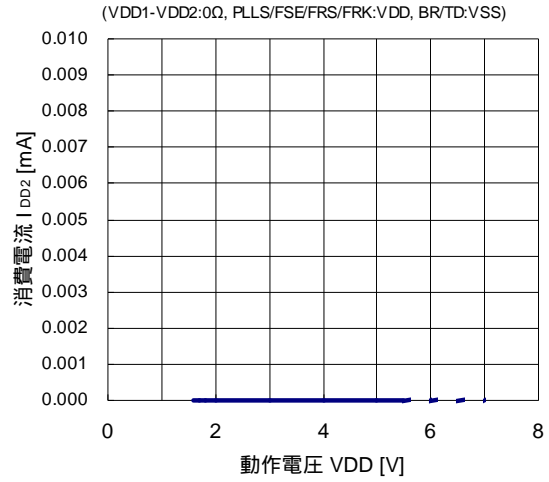
特性例 (指定なき場合には  $T_a = 25^\circ\text{C}$ 、 $V_{SS} = 0\text{V}$ 、測定回路参照、 $V_{DD} = 1.8\text{V}$  時  $R_1 = 0\Omega$ )

【DC 特性】

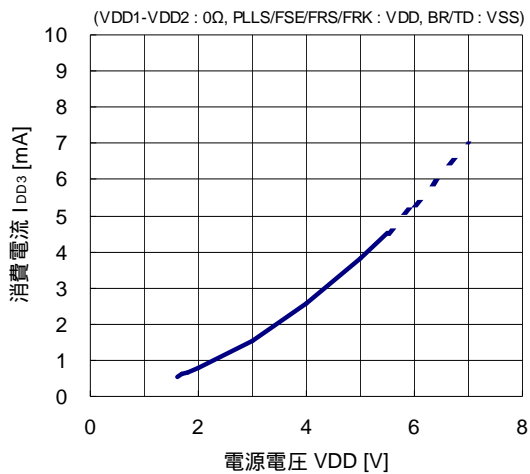
送受信動作時消費電流特性



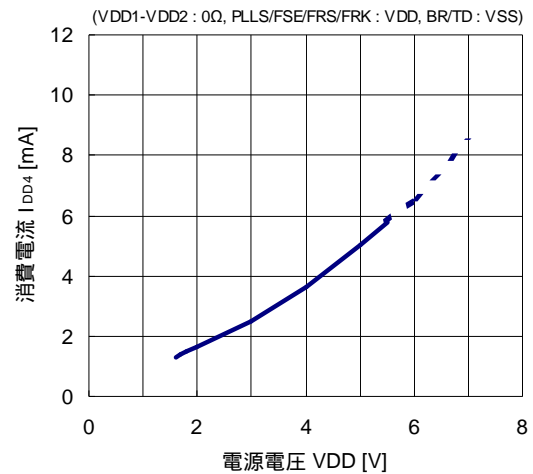
送受信ハ'ワ-ダウン時消費電流特性



送信動作時消費電流特性



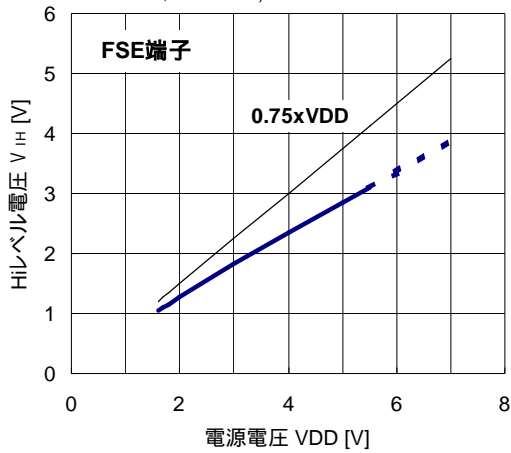
受信時消費電流特性



【DC 特性】

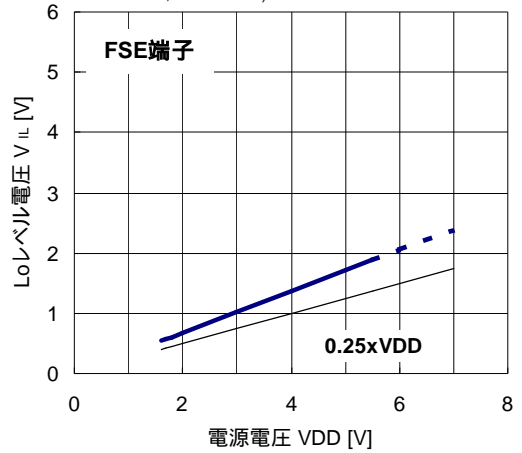
制御入力端子Hiレベル入力電圧特性

(VDD1-VDD2 : 0Ω @ VDD<5.5V / 3kΩ @ VDD>5.5V, PDX : VDD, PDRX : VDD)



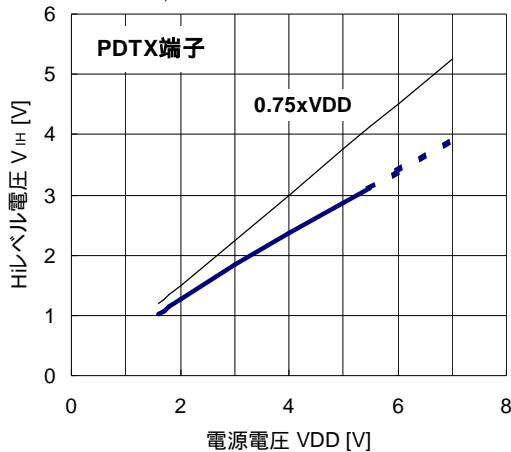
制御入力端子Loレベル入力電圧特性

(VDD1-VDD2 : 0Ω @ VDD<5.5V / 3kΩ @ VDD>5.5V, PDX : VDD, PDRX : VDD)



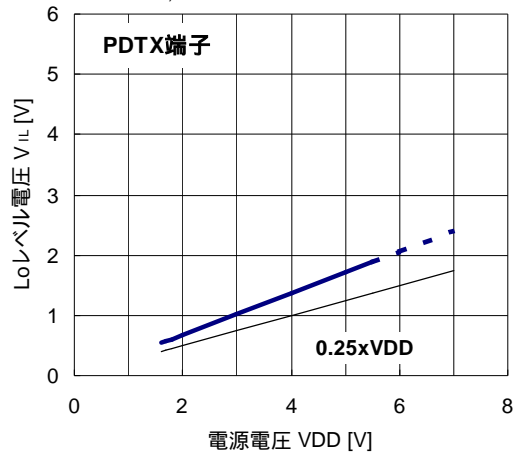
制御入力端子Hiレベル入力電圧特性

(VDD1-VDD2 : 0Ω @ VDD<5.5V / 3kΩ @ VDD>5.5V, PDX : VSS)



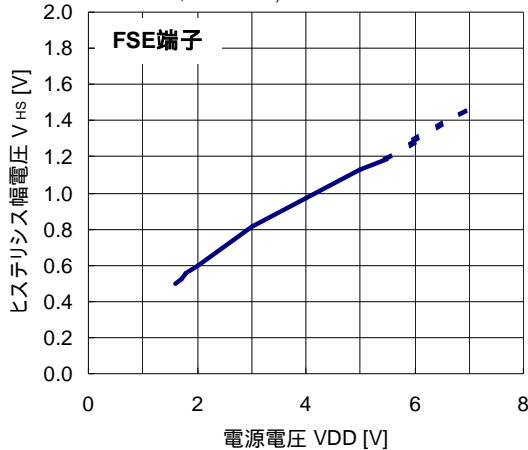
制御入力端子Loレベル入力電圧特性

(VDD1-VDD2 : 0Ω @ VDD<5.5V / 3kΩ @ VDD>5.5V, PDX : VSS)



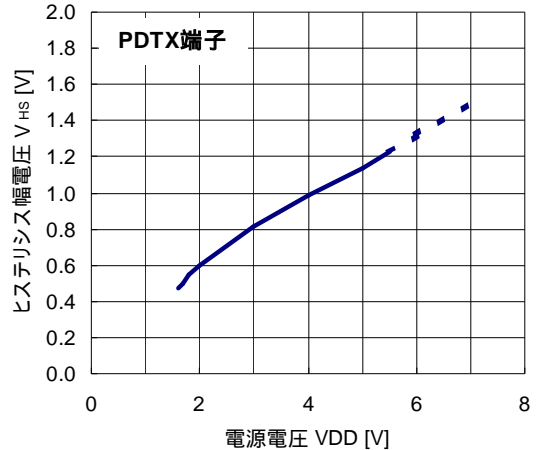
制御入力端子ヒステリシス幅電圧特性

(VDD1-VDD2 : 0Ω @ VDD<5.5V / 3kΩ @ VDD>5.5V, PDX : VDD, PDRX : VDD)



制御入力端子ヒステリシス幅電圧特性

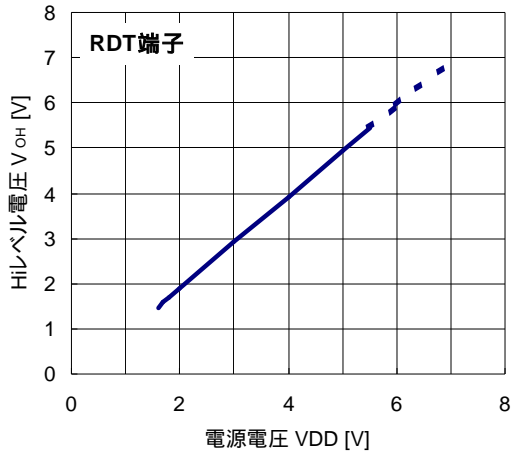
(VDD1-VDD2 : 0Ω @ VDD<5.5V / 3kΩ @ VDD>5.5V, PDX : VSS)



【DC 特性】

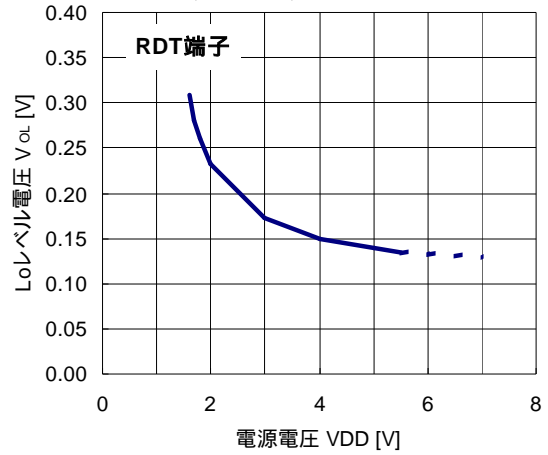
デジタル出力端子Hiレベル出力電圧特性

(VDD1-VDD2 : 0Ω @VDD<5.5V / 3kΩ @VDD>5.5V,  
PDTX : VDD, PDRX : VSS, I<sub>b</sub> = 0.4mA



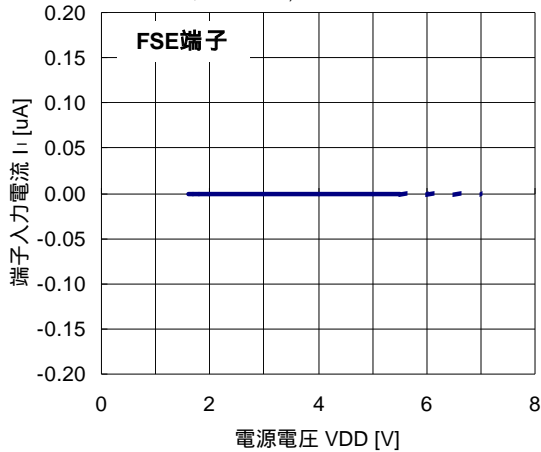
デジタル出力端子Loレベル出力電圧特性

(VDD1-VDD2 : 0Ω @VDD<5.5V / 3kΩ @VDD>5.5V,  
PDTX : VDD, PDRX : VSS, I<sub>b</sub> = -1.6mA



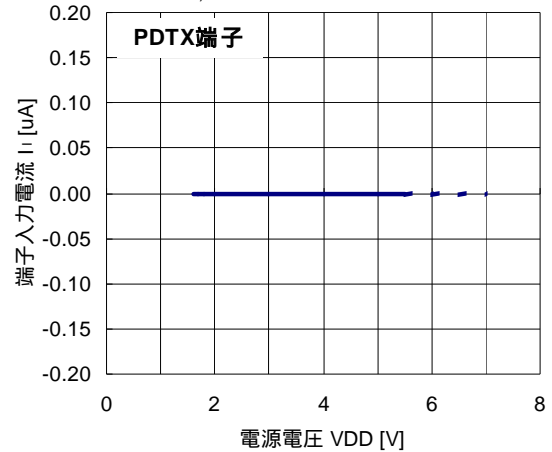
制御入力端子電流特性

(VDD1-VDD2 : 0Ω @VDD<5.5V / 3kΩ @VDD>5.5V,  
PDTX : VDD, PDRX : VSS)



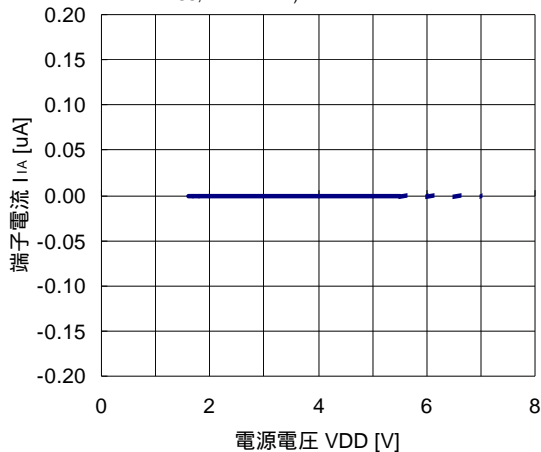
制御入力端子電流特性

(VDD1-VDD2 : 0Ω @VDD<5.5V / 3kΩ @VDD>5.5V,  
PDRX : VDD)



アナログ入力端子電流特性

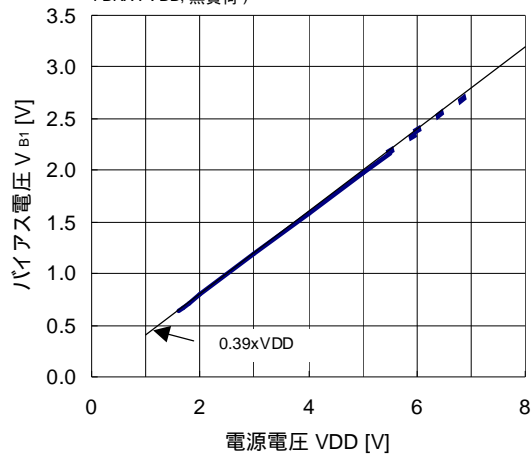
(VDD1-VDD2 : 0Ω @VDD<5.5V / 3kΩ @VDD>5.5V,  
PDTX : VSS, PDRX : VDD)



【DC 特性】

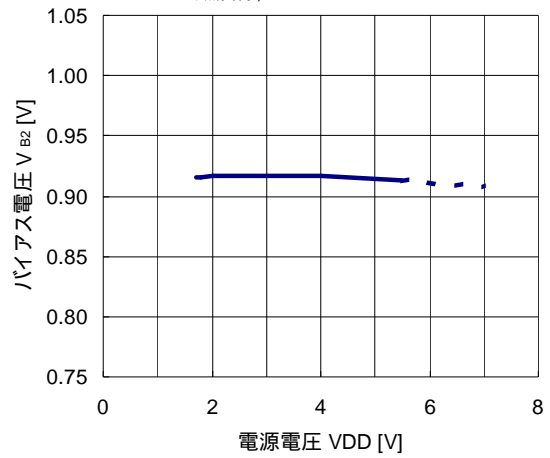
AGS端子バイアス電圧特性

(VDD1-VDD2 : 0Ω @ VDD<5.5V / 3kΩ @ VDD>5.5V,  
PDRX : VDD, 無負荷)



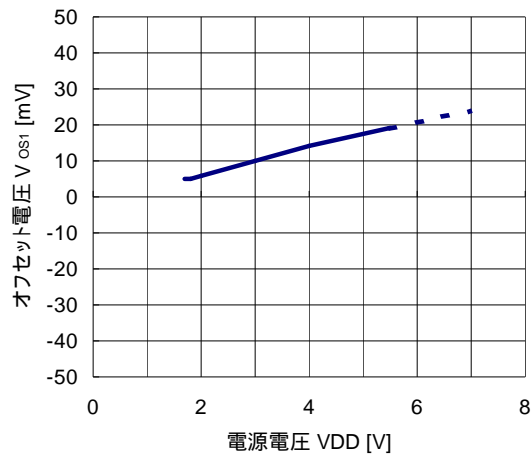
MX端子バイアス電圧特性

(VDD1-VDD2 : 0Ω @ VDD<5.5V / 3kΩ @ VDD>5.5V,  
PDTX : VDD, 無負荷)



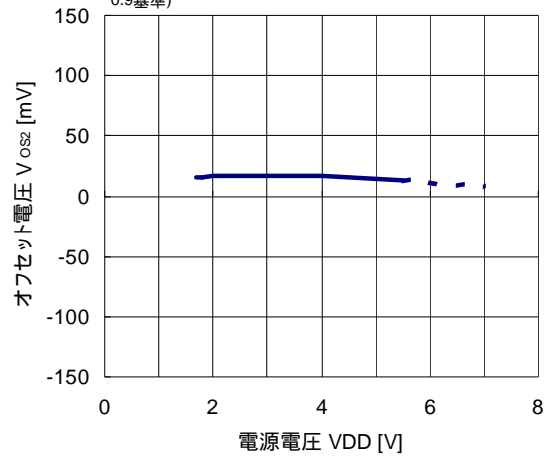
AGS端子オフセット電圧特性

(VDD1-VDD2 : 0Ω @ VDD<5.5V / 3kΩ @ VDD>5.5V,  
0.4 X VDD基準)



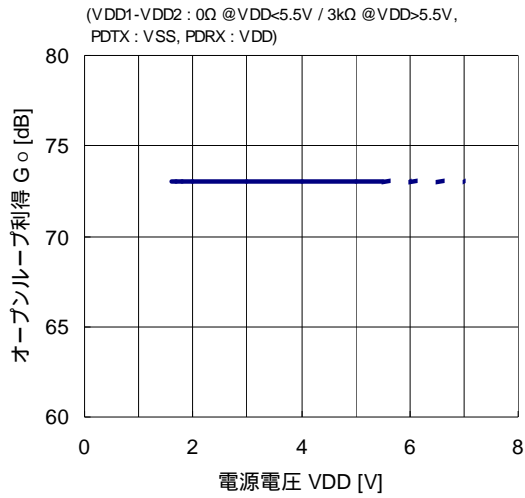
MX端子オフセット電圧特性

(VDD1-VDD2 : 0Ω @ VDD<5.5V / 3kΩ @ VDD>5.5V,  
0.9基準)

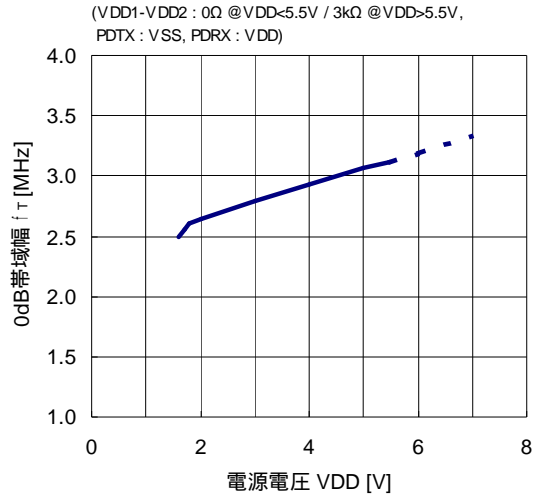


【AC 特性】復調ビット誤り率については、別項に記載。

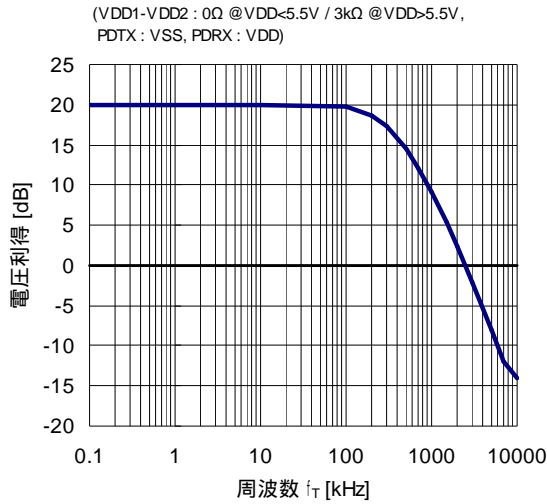
オープンループ利得特性



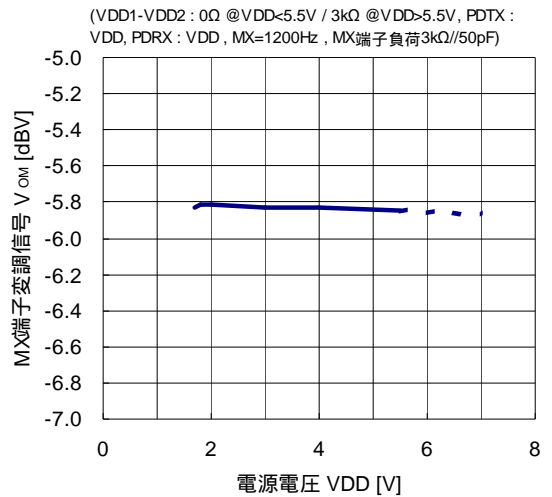
入力アンプ帯域幅特性



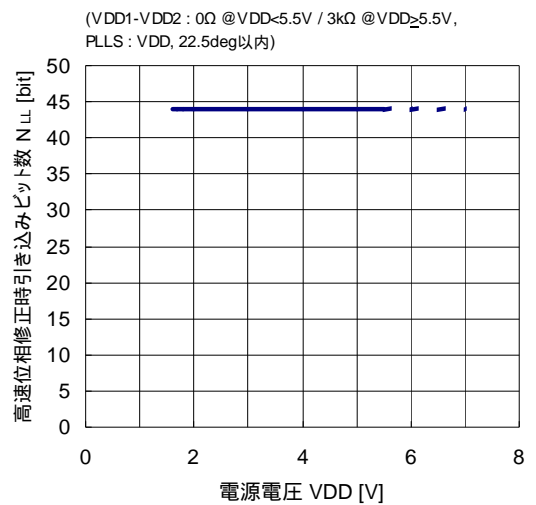
入力アンプ帯域幅特性



MX端子変調信号レベル特性



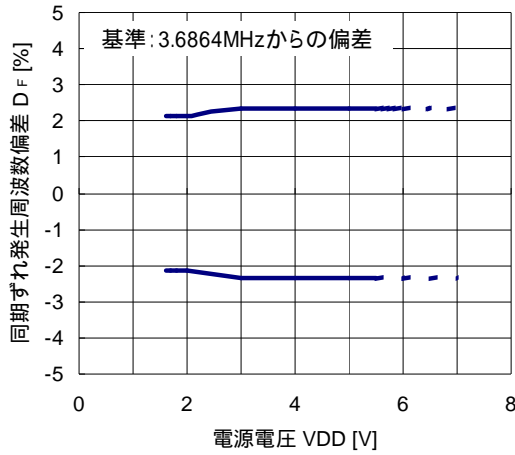
PLL引き込みビット数2特性



【AC 特性】復調ビット誤り率については、別項に記載。

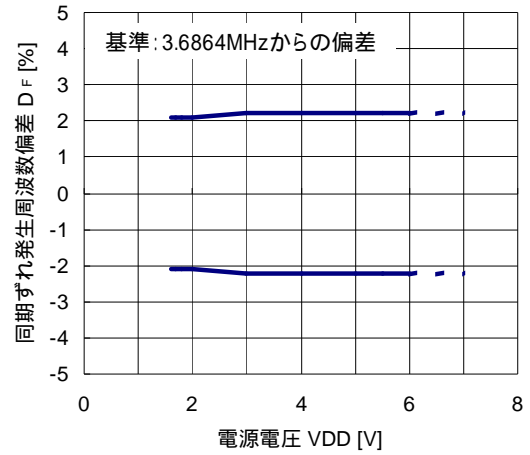
### 復調データ同期ずれビット数特性

(VDD1-VDD2 : 0Ω @ VDD<5.5V / 3kΩ @ VDD≥5.5V, PLLS : VSS, "1"連続)



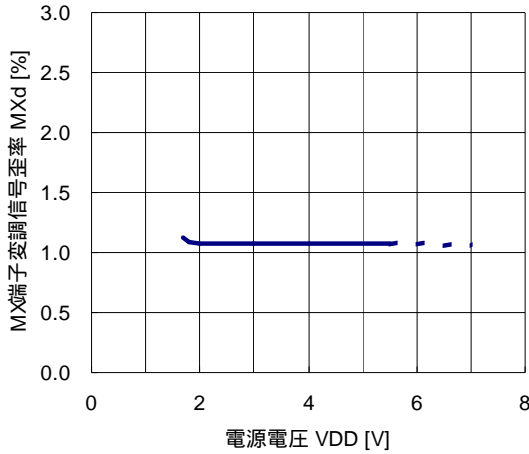
### 復調データ同期ずれビット数特性

(VDD1-VDD2 : 0Ω @ VDD<5.5V / 3kΩ @ VDD≥5.5V, PLLS : VDD, "1"連続)



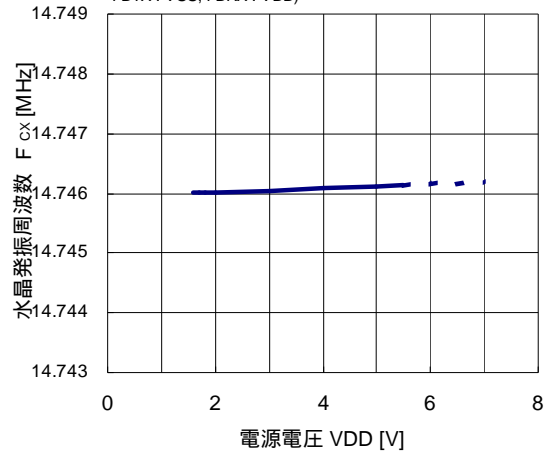
### MX端子変調信号歪率特性

(VDD1-VDD2 : 0Ω @ VDD<5.5V / 3kΩ @ VDD≥5.5V, PDTX : VDD, PDRX : VSS, MX=1200Hz, MX端子負荷 : 30kΩ/50pF)



### 水晶発振周波数特性

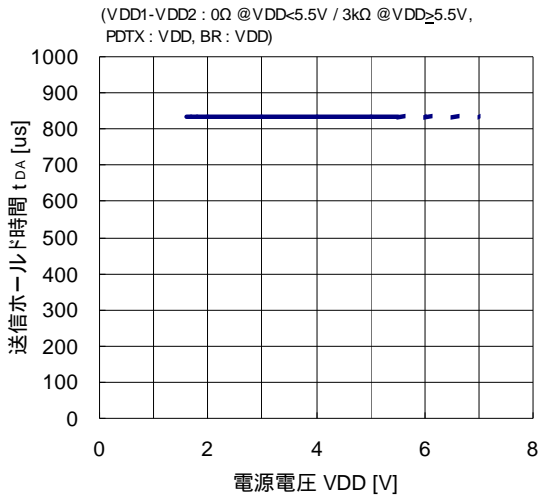
(VDD1-VDD2 : 0Ω @ VDD<5.5V / 3kΩ @ VDD≥5.5V, PDTX : VSS, PDRX : VDD)



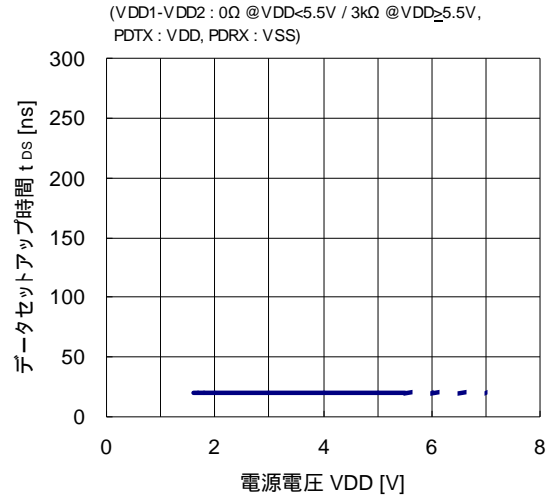


## 【タイミング特性】

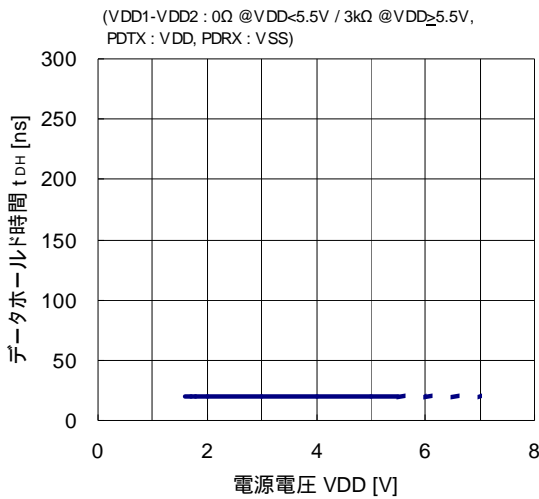
### 送信ホールド時間特性



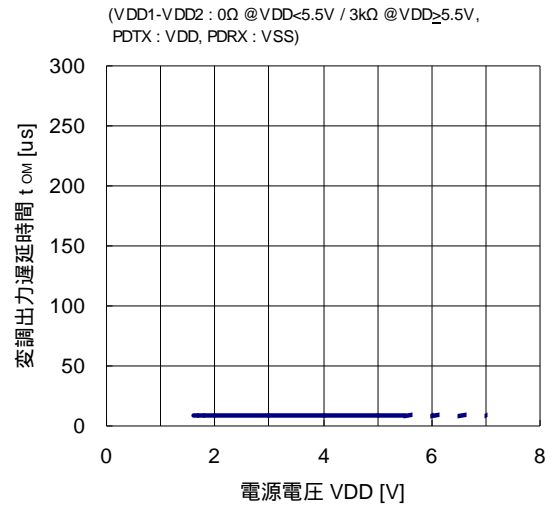
### データセットアップ時間特性



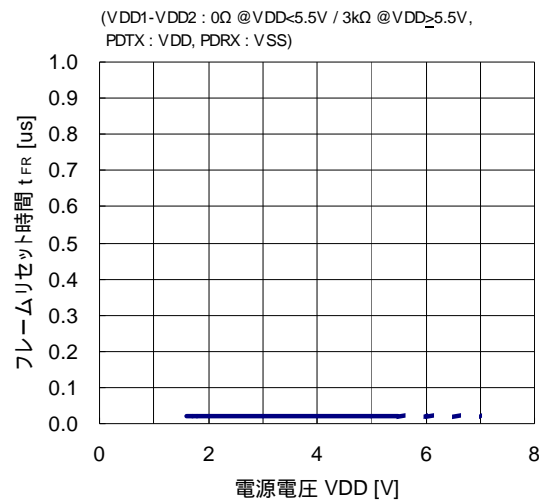
### データホールド時間特性



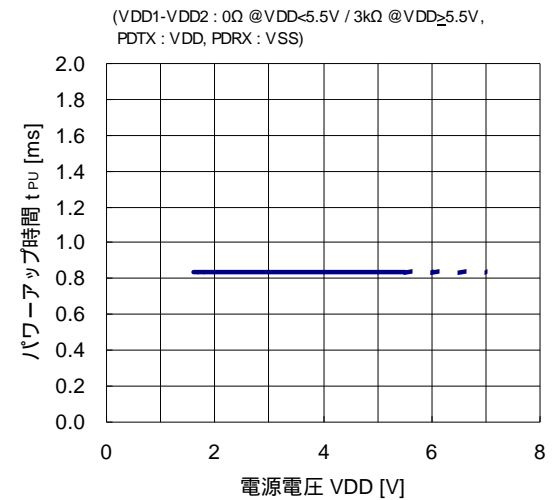
### 変調出力遅延時間特性



### フレームリセット時間特性



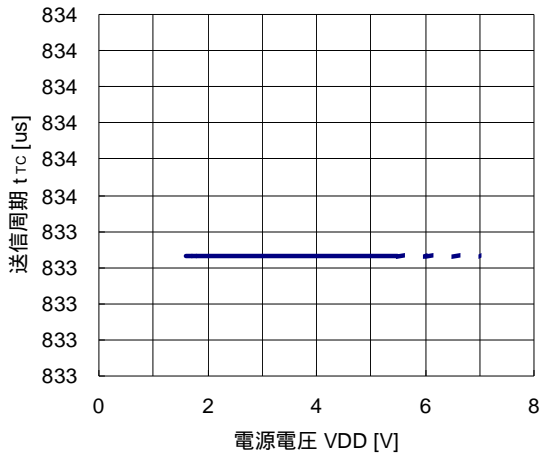
### パワーアップ時間特性



【タイミング特性】

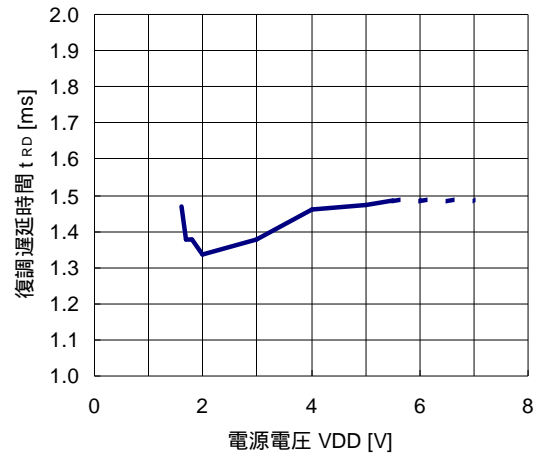
送信周期特性

(VDD1-VDD2 : 0Ω @VDD<5.5V / 3kΩ @VDD≥5.5V,  
PDTX : VDD, BR : VDD)



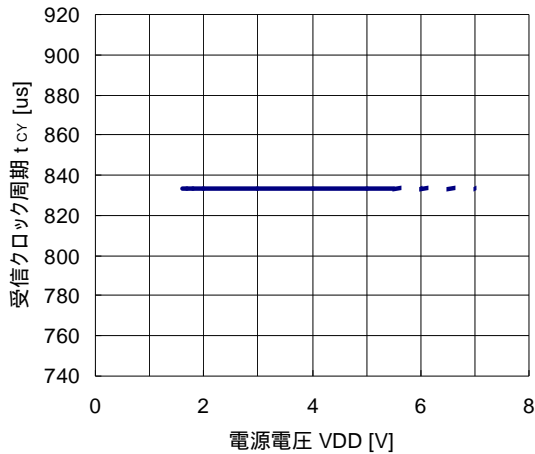
復調遅延時間特性

(VDD1-VDD2 : 0Ω @VDD<5.5V / 3kΩ @VDD≥5.5V,  
PDTX : VSS, PDRX : VDD)



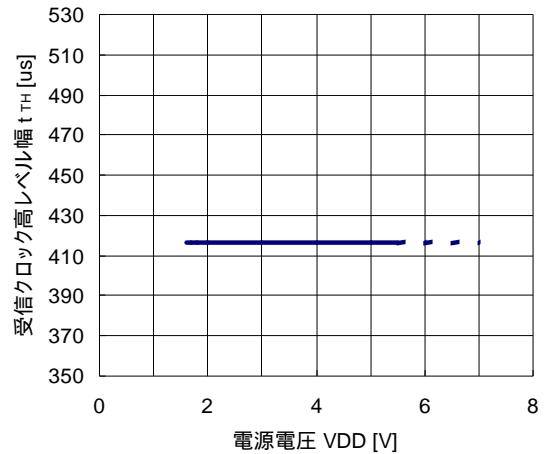
受信クロック周期特性

(VDD1-VDD2 : 0Ω @VDD<5.5V / 3kΩ @VDD≥5.5V,  
PDTX : VDD, BR : VDD)



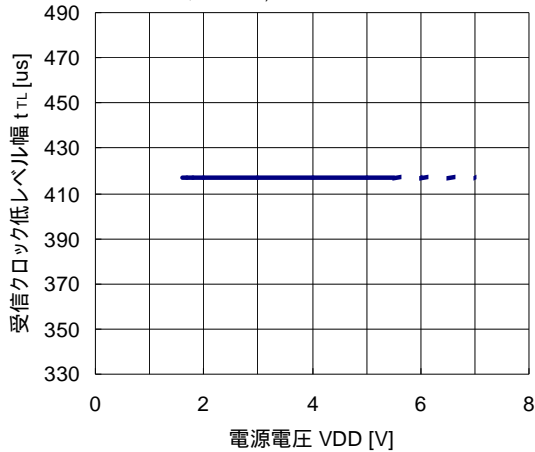
受信クロック高レベル幅特性

(VDD1-VDD2 : 0Ω @VDD<5.5V / 3kΩ @VDD≥5.5V,  
PDRX : VDD, BR : VDD)



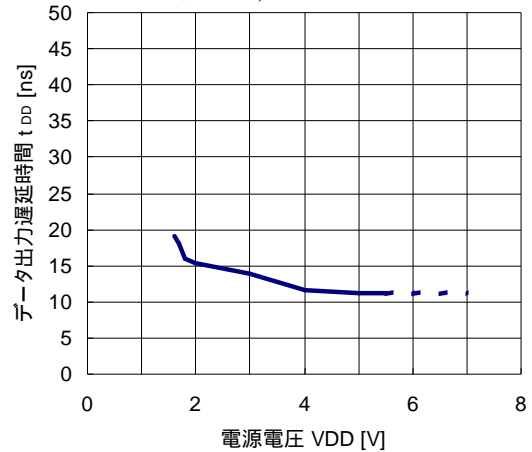
受信クロック低レベル幅特性

(VDD1-VDD2 : 0Ω @VDD<5.5V / 3kΩ @VDD≥5.5V,  
PDRX : VDD, BR : VDD)



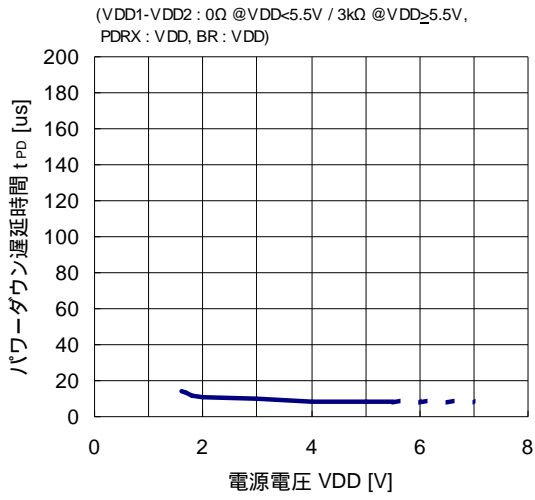
データ出力遅延時間特性

(VDD1-VDD2 : 0Ω @VDD<5.5V / 3kΩ @VDD≥5.5V,  
PDRX : VDD, BR : VDD)



【タイミング特性】

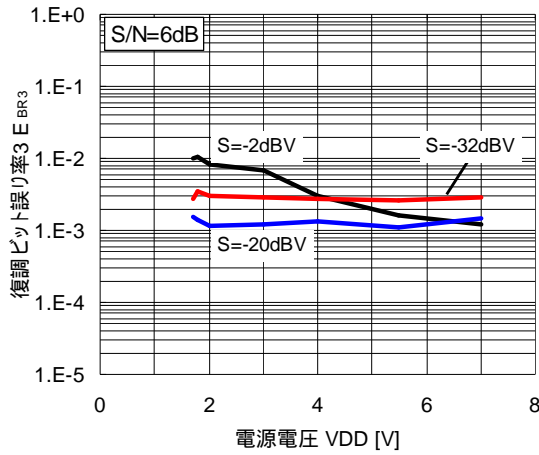
パワーダウン遅延時間特性



【復調ビット誤り率】

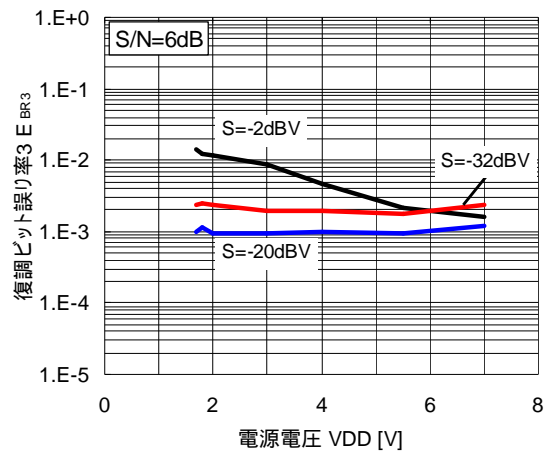
復調ビット誤り率3 対 電源電圧特性  
PDRX:VDD, BR:VDD, PLLS:VDD

(VDD1-VDD2 : 0Ω @VDD<5.5V / 3kΩ @VDD≥5.5V)



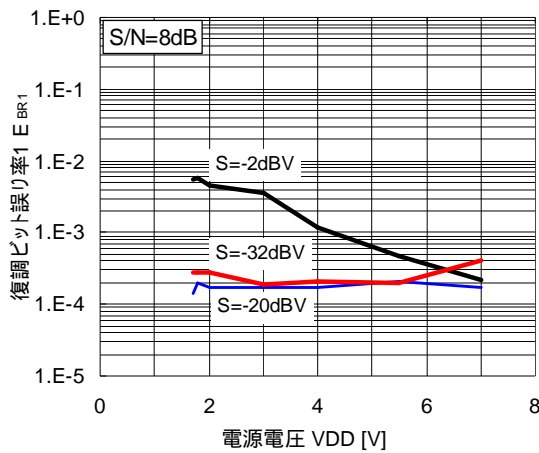
復調ビット誤り率3 対 電源電圧特性  
PDRX:VDD, BR:VDD, PLLS:VSS

(VDD1-VDD2 : 0Ω @VDD<5.5V / 3kΩ @VDD≥5.5V)



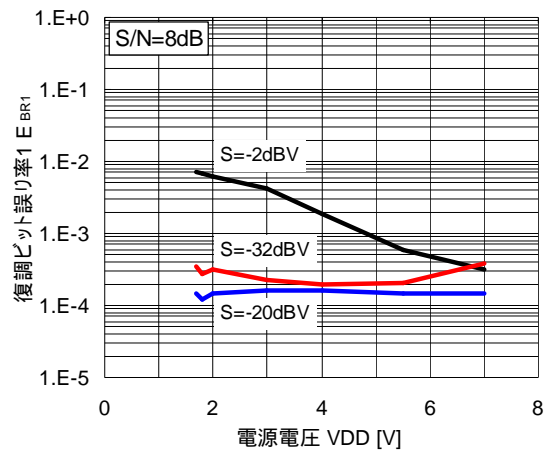
復調ビット誤り率1 対 電源電圧特性  
PDRX:VDD, BR:VDD, PLLS:VDD

(VDD1-VDD2 : 0Ω @VDD<5.5V / 3kΩ @VDD≥5.5V)



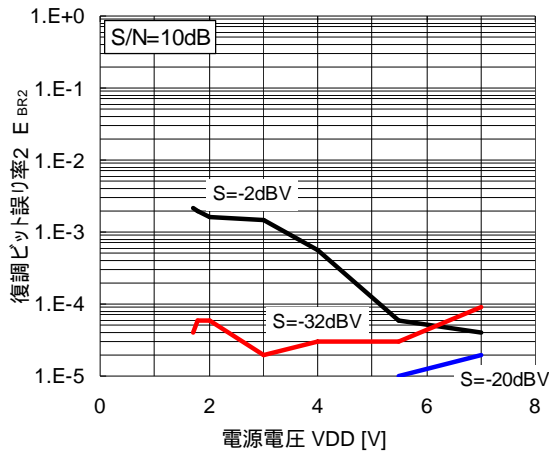
復調ビット誤り率1 対 電源電圧特性  
PDRX:VDD, BR:VDD, PLLS:VSS

(VDD1-VDD2 : 0Ω @VDD<5.5V / 3kΩ @VDD≥5.5V)



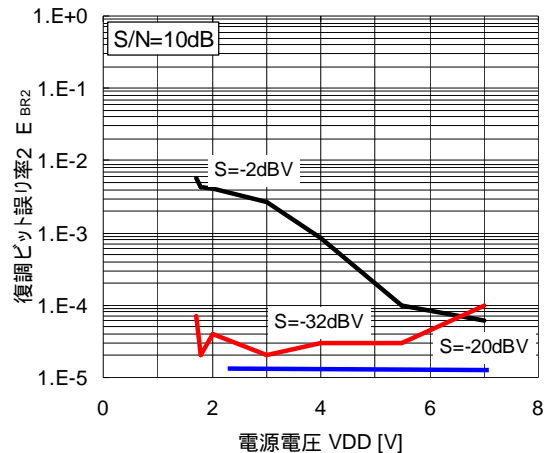
復調ビット誤り率2 対 電源電圧特性  
PDRX:VDD, BR:VDD, PLLS:VDD

(VDD1-VDD2 : 0Ω @VDD<5.5V / 3kΩ @VDD≥5.5V)



復調ビット誤り率2 対 電源電圧特性  
PDRX:VDD, BR:VDD, PLLS:VSS

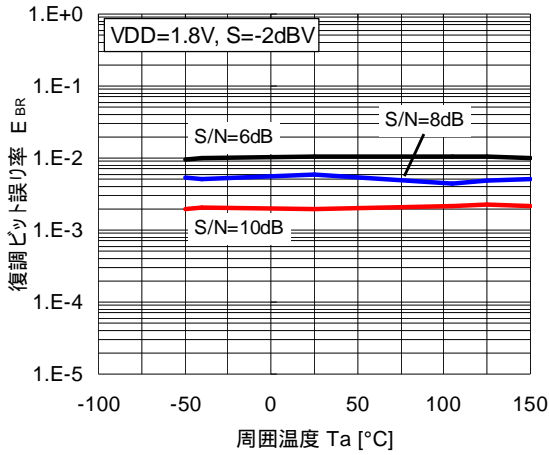
(VDD1-VDD2 : 0Ω @VDD<5.5V / 3kΩ @VDD≥5.5V)



【復調ビット誤り率】

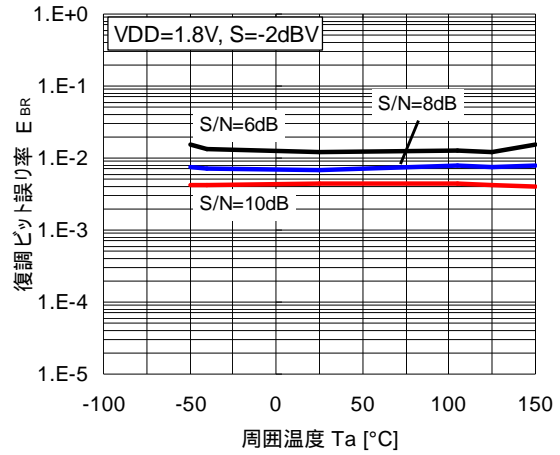
復調ビット誤り率 対 周囲温度  
PDRX:VDD, BR:VDD, PLLS:VDD

(VDD1-VDD2 : 0Ω @VDD<5.5V)



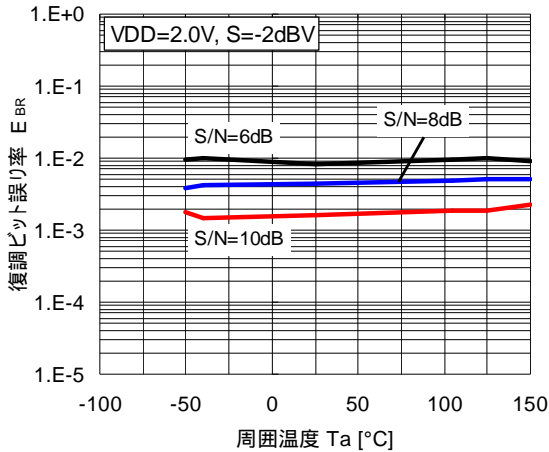
復調ビット誤り率 対 周囲温度  
PDRX:VDD, BR:VDD, PLLS:VSS

(VDD1-VDD2 : 0Ω @VDD<5.5V)



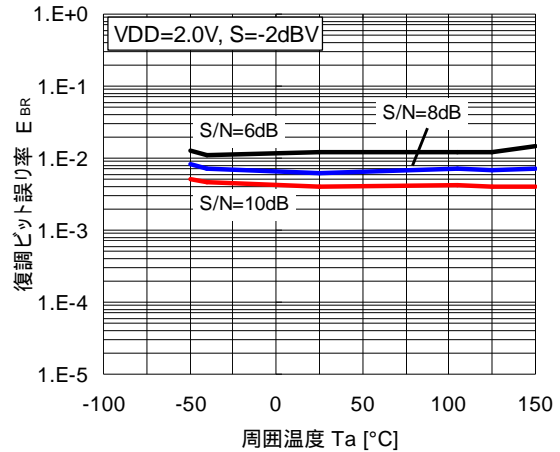
復調ビット誤り率 対 周囲温度  
PDRX:VDD, BR:VDD, PLLS:VDD

(VDD1-VDD2 : 0Ω @VDD<5.5V)



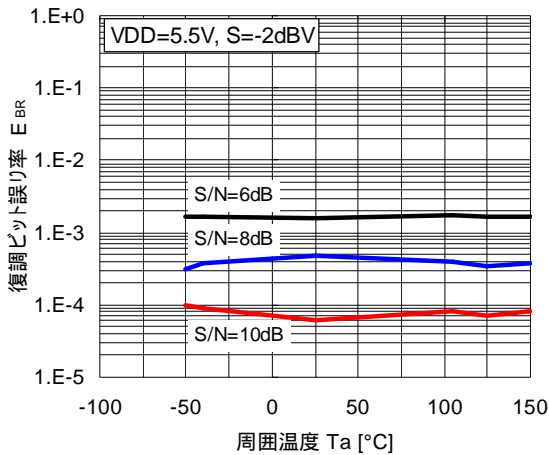
復調ビット誤り率 対 周囲温度  
PDRX:VDD, BR:VDD, PLLS:VSS

(VDD1-VDD2 : 0Ω @VDD<5.5V)



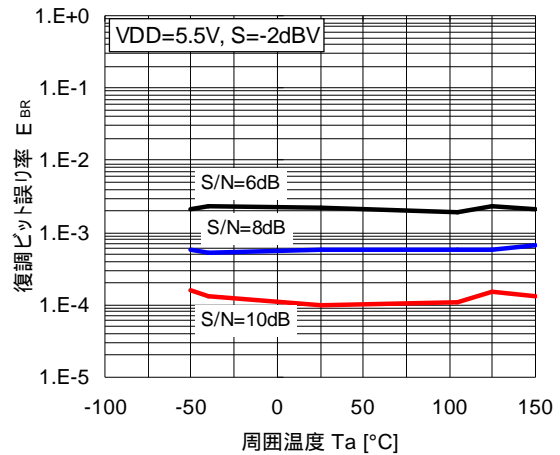
復調ビット誤り率 対 周囲温度  
PDRX:VDD, BR:VDD, PLLS:VDD

(VDD1-VDD2 : 3kΩ @VDD≥5.5V)



復調ビット誤り率 対 周囲温度  
PDRX:VDD, BR:VDD, PLLS:VSS

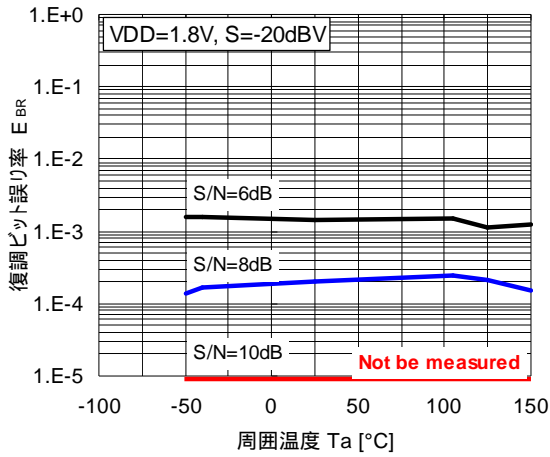
(VDD1-VDD2 : 3kΩ @VDD≥5.5V)



【復調ビット誤り率】

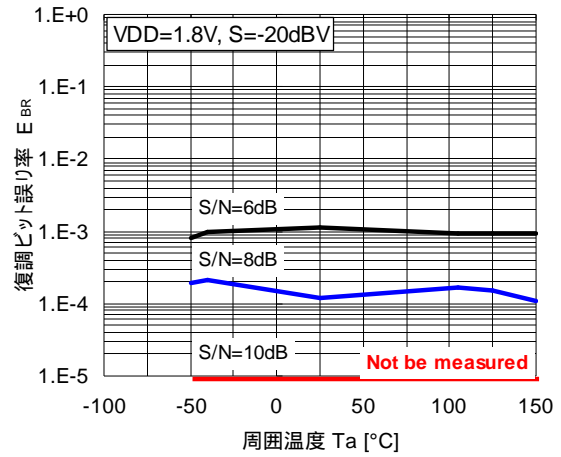
復調ビット誤り率 対 周囲温度  
PDRX:VDD, BR:VDD, PLLS:VDD

(VDD1-VDD2 : 0Ω @ VDD<5.5V)



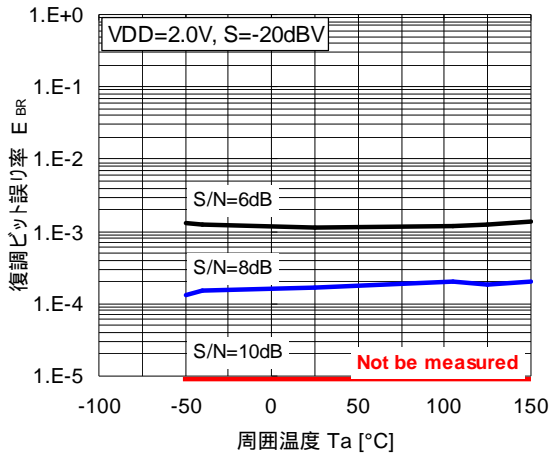
復調ビット誤り率 対 周囲温度  
PDRX:VDD, BR:VDD, PLLS:VSS

(VDD1-VDD2 : 0Ω @ VDD<5.5V)



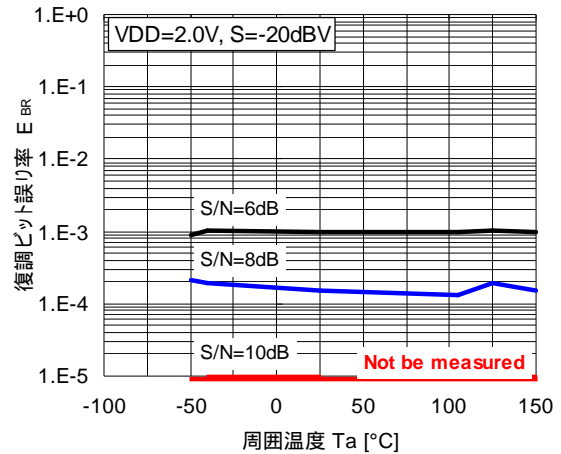
復調ビット誤り率 対 周囲温度  
PDRX:VDD, BR:VDD, PLLS:VDD

(VDD1-VDD2 : 0Ω @ VDD<5.5V)



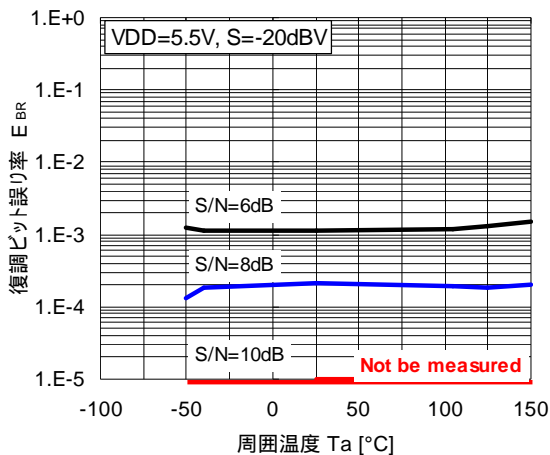
復調ビット誤り率 対 周囲温度  
PDRX:VDD, BR:VDD, PLLS:VSS

(VDD1-VDD2 : 0Ω @ VDD<5.5V)



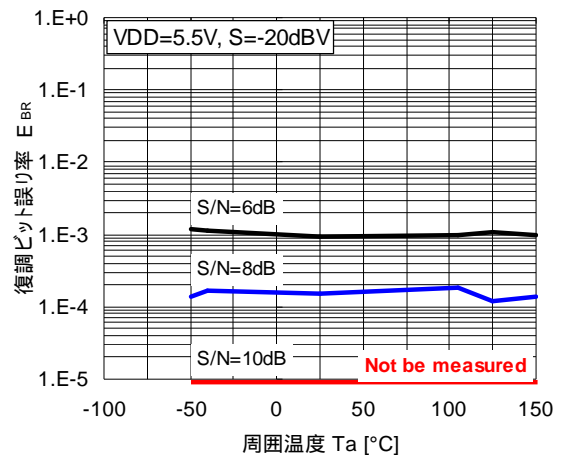
復調ビット誤り率 対 周囲温度  
PDRX:VDD, BR:VDD, PLLS:VDD

(VDD1-VDD2 : 3kΩ @ VDD≥5.5V)



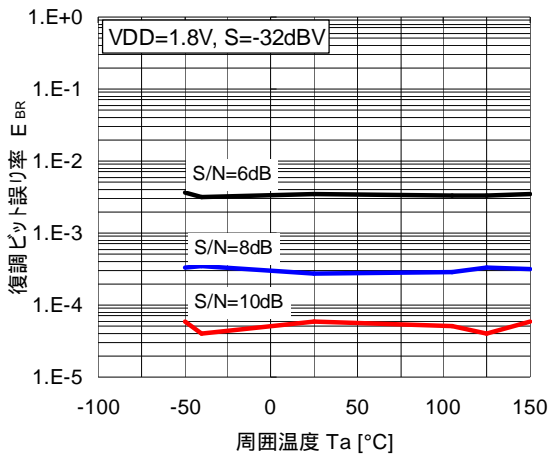
復調ビット誤り率 対 周囲温度  
PDRX:VDD, BR:VDD, PLLS:VSS

(VDD1-VDD2 : 3kΩ @ VDD≥5.5V)

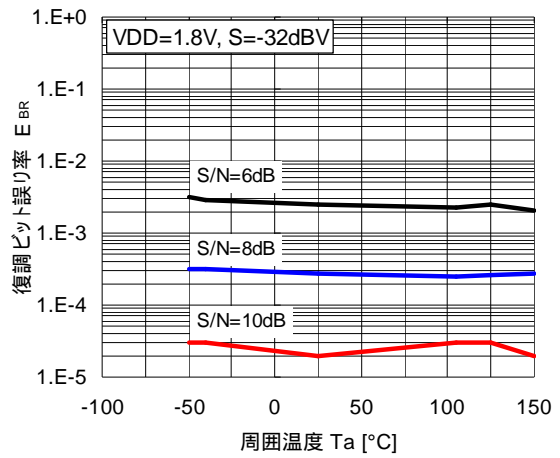


【復調ビット誤り率】

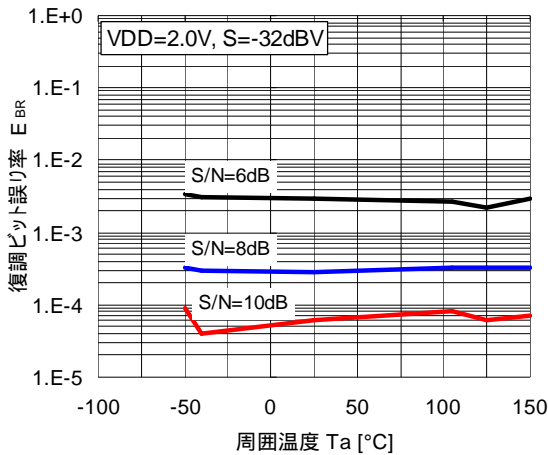
復調ビット誤り率 対 周囲温度  
PDRX:VDD, BR:VDD, PLLS:VDD  
(VDD1-VDD2 : 0Ω @VDD<5.5V)



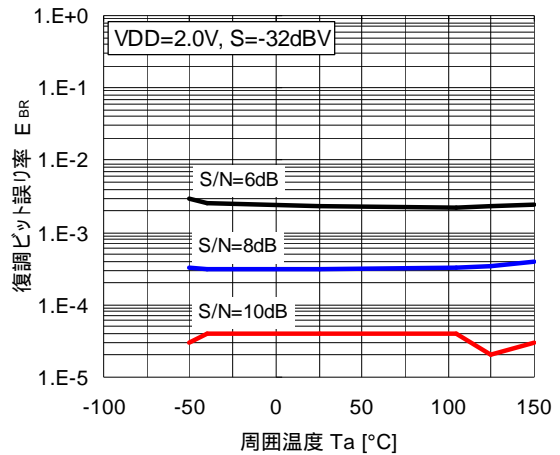
復調ビット誤り率 対 周囲温度  
PDRX:VDD, BR:VDD, PLLS:VSS  
(VDD1-VDD2 : 0Ω @VDD<5.5V)



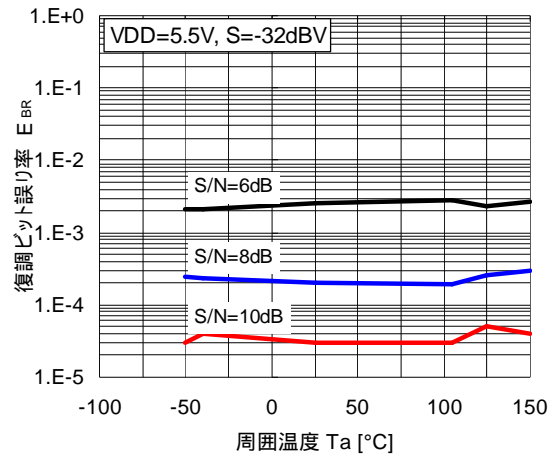
復調ビット誤り率 対 周囲温度  
PDRX:VDD, BR:VDD, PLLS:VDD  
(VDD1-VDD2 : 0Ω @VDD<5.5V)



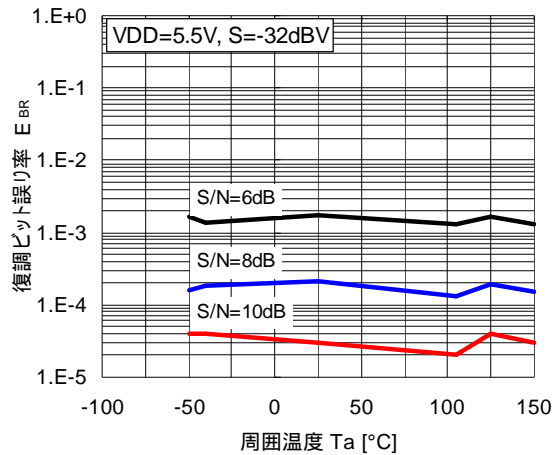
復調ビット誤り率 対 周囲温度  
PDRX:VDD, BR:VDD, PLLS:VSS  
(VDD1-VDD2 : 0Ω @VDD<5.5V)



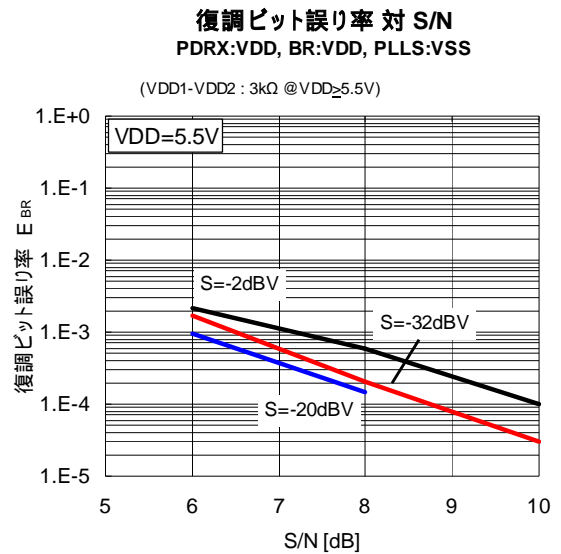
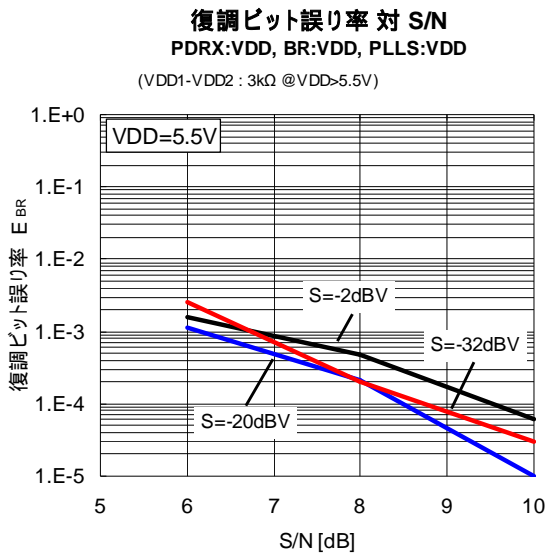
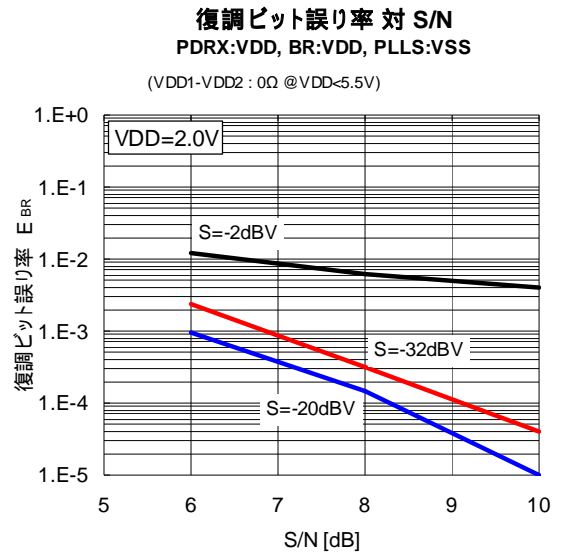
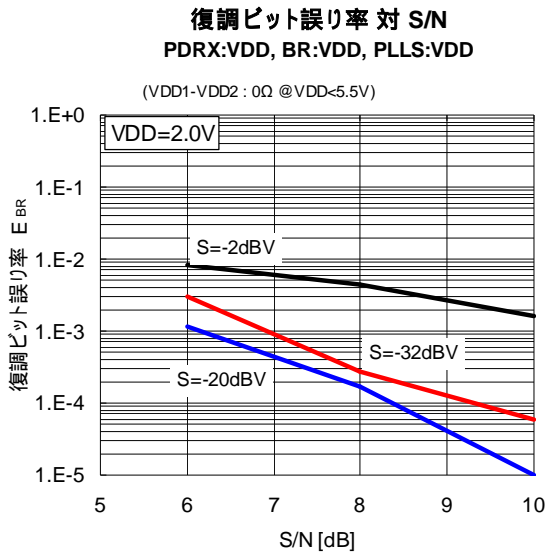
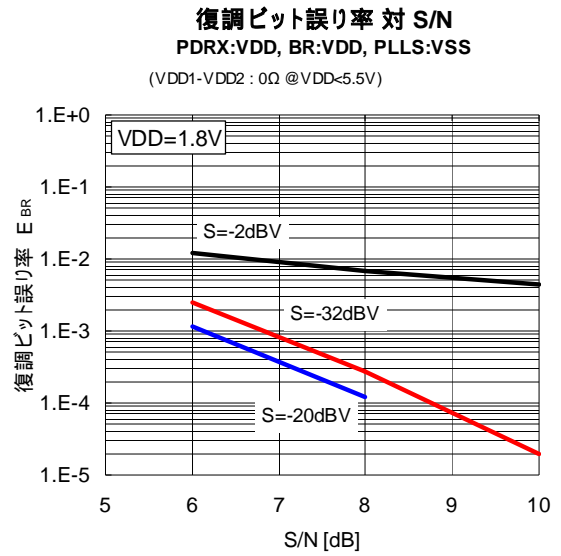
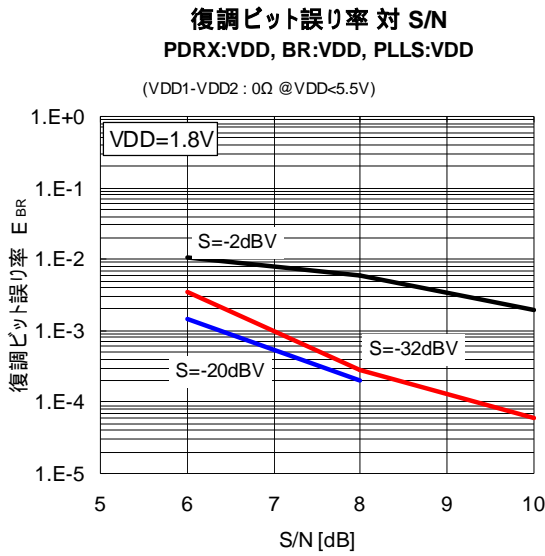
復調ビット誤り率 対 周囲温度  
PDRX:VDD, BR:VDD, PLLS:VDD  
(VDD1-VDD2 : 3kΩ @VDD≥5.5V)



復調ビット誤り率 対 周囲温度  
PDRX:VDD, BR:VDD, PLLS:VSS  
(VDD1-VDD2 : 3kΩ @VDD≥5.5V)



【復調ビット誤り率】

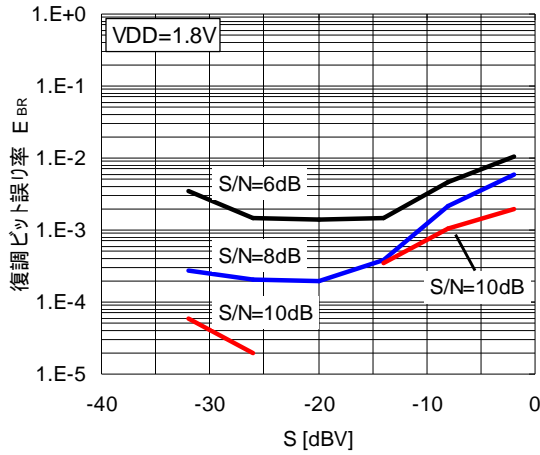




【復調ビット誤り率】

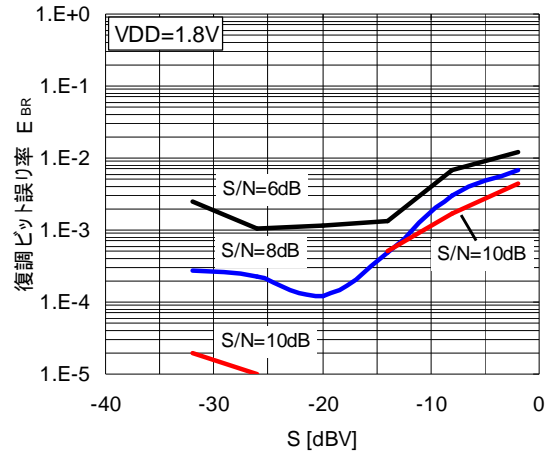
復調ビット誤り率 対 Sレベル  
PDRX:VDD, BR:VDD, PLL:VDD

(VDD1-VDD2 : 0Ω @VDD<5.5V)



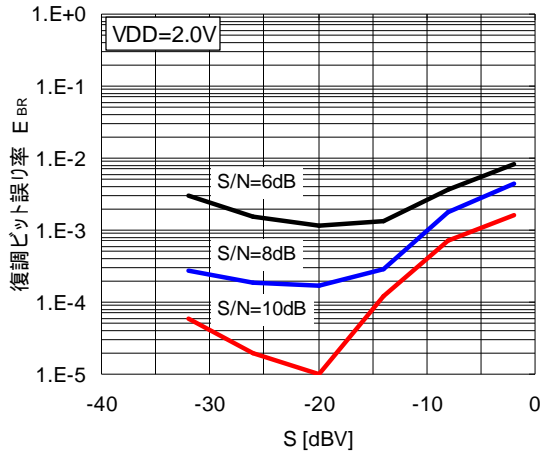
復調ビット誤り率 対 Sレベル  
PDRX:VDD, BR:VDD, PLL:VSS

(VDD1-VDD2 : 0Ω @VDD<5.5V)



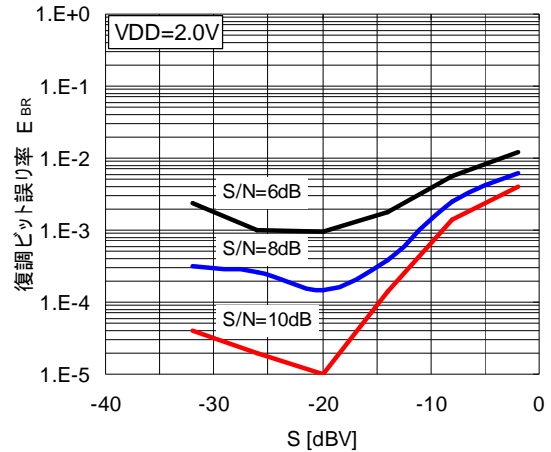
復調ビット誤り率 対 Sレベル  
PDRX:VDD, BR:VDD, PLL:VDD

(VDD1-VDD2 : 0Ω @VDD<5.5V)



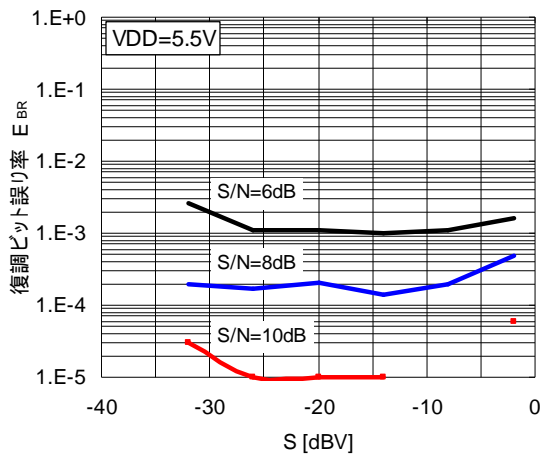
復調ビット誤り率 対 Sレベル  
PDRX:VDD, BR:VDD, PLL:VSS

(VDD1-VDD2 : 0Ω @VDD<5.5V)



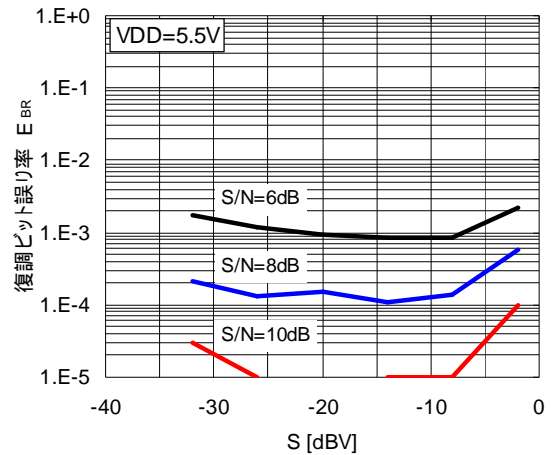
復調ビット誤り率 対 Sレベル  
PDRX:VDD, BR:VDD, PLL:VDD

(VDD1-VDD2 : 3kΩ @VDD>5.5V)



復調ビット誤り率 対 Sレベル  
PDRX:VDD, BR:VDD, PLL:VSS

(VDD1-VDD2 : 3kΩ @VDD>5.5V)



<注意事項>

このデータブックの掲載内容の正確さには万全を期しておりますが、掲載内容について何らかの法的な保証を行うものではありません。とくに応用回路については、製品の代表的な応用例を説明するためのものです。また、工業所有権その他の権利の実施権の許諾を伴うものではなく、第三者の権利を侵害しないことを保証するものではありません。