

LPF内蔵グラウンド基準2Vrms出力ステレオラインアンプ

概要

NJU72013はチャージポンプ回路を内蔵し、単電源3.3Vの供給電圧で2Vrmsの出力振幅を得られるステレオラインアンプです。グラウンド基準出力であるため出力カップリングコンデンサが不要です。またポップノイズ抑制回路により、電源投入/遮断時のポップノイズを除去します。

外形



NJU72013RB2

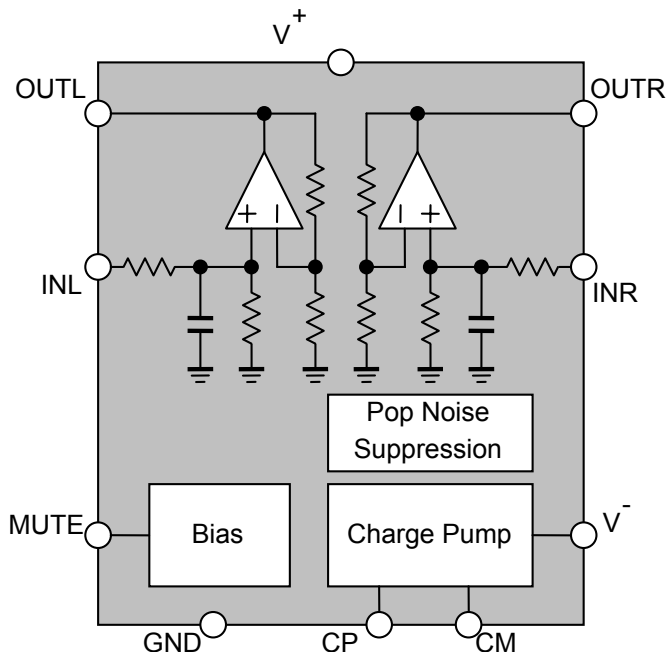
アプリケーション

- ・ 2Vrmsのライン出力を必要とするAV機器

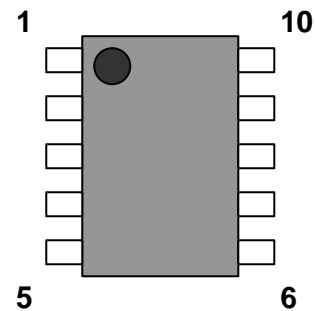
特徴

- 動作電圧 $V^+ = 2.7 \sim 3.6 \text{ V}$
- 動作時消費電流 $I_{DD1} = 4.5 \text{ mA typ. (} V^+ = 3.3 \text{ V, } R_L = 47 \text{ k} \text{、無信号時)}$
- 出力カップリングコンデンサレス
- ポップノイズ抑制回路内蔵
- LPF内蔵
- C-MOS構造
- 外形 TVSP10

ブロック図



端子配列



No.	Symbol	Function
1	INL	Lch 入力端子
2	OUTL	Lch 出力端子
3	V+	電源端子
4	CP	極性変換用コンデンサ接続端子
5	CN	極性変換用コンデンサ接続端子
6	V-	負電圧端子
7	MUTE	MUTE 制御端子
8	GND	接地端子
9	OUTR	Rch 出力端子
10	INR	Rch 入力端子

絶対最大定格 (Ta = 25)

項目	記号	定格値	単位
電源電圧	V ⁺	4	V
消費電力	P _D	530 ^(Note1)	mW
最大入力電圧	V _{IN}	-V ⁺ -0.3 ~ V ⁺ +0.3	V
動作温度	Topr	-40 ~ +85	
保存温度	Tstg	-40 ~ +125	

(Note1) EIA/JEDEC 仕様基板 (76.2x114.3x1.6mm, 2layer, FR-4) 実装時

推奨動作範囲 (指定なき場合には Ta = 25)

項目	記号	条件	最小	標準	最大	単位
動作電源電圧	V ⁺		2.7	3.3	3.6	V

電気的特性

◆電源特性 (指定なき場合には Ta=25 , V⁺=3.3V, f=1kHz, Vin=1Vrms, Mute=OFF, R_L=47k)

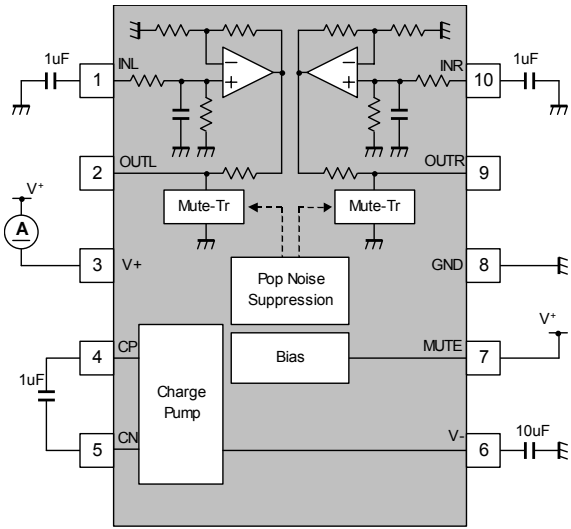
項目	記号	条件	最小	標準	最大	単位
消費電流	I _{DD}	無信号	-	4.5	10	mA
電圧利得	G _V		5.2	6.2	7.2	dB
チャンネル間利得差	G _V		-0.5	0	0.5	dB
最大出力電圧	V _{OMAX}	THD=1%	-	2.3	-	Vrms
ミュートレベル	V _{MUTE}	Rg=0 , MUTE=ON	-	-110	-	dB
入力換算雑音電圧	V _{NO}	Rg=0 , BW:400Hz-22kHz	-	-106	-	dB
全高調波歪率	THD	BW:400Hz-22kHz	-	0.003	-	%
チャンネルセパレーション	CS	Rg=600	80	-	-	dB
カットオフ周波数	f _C	2次LPF	100	150	200	kHz
出力オフセット電圧	V _{OS}	Rg=0	-	1	5	mV
電源リップル除去比	PSRR	Vripple=1kHz / 100mVrms	-	50	-	dB
出力抵抗	R _{OUT}		-	300	-	

◆制御部特性 (指定なき場合には Ta=25 , V⁺=3.3V, R_L=47k)

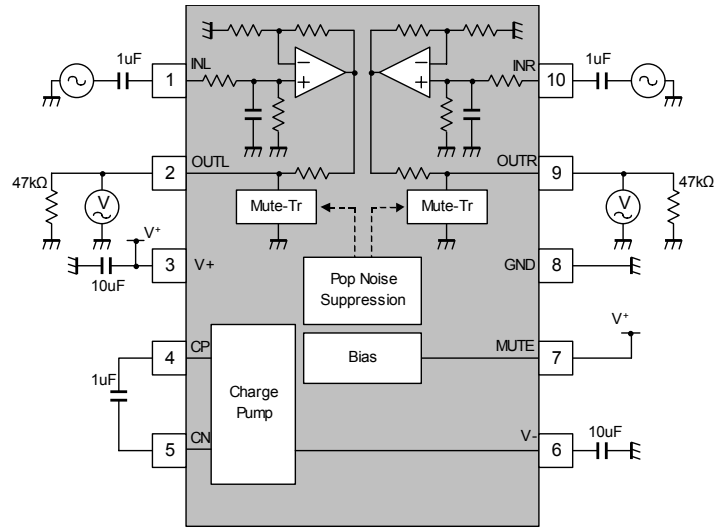
項目	記号	条件	最小	標準	最大	単位
MUTE端子H	MuteH	Mute=OFF	0.8V ⁺	-	V ⁺	V
MUTE端子L	MuteL	Mute=ON	0	-	0.2V ⁺	V

測定回路図

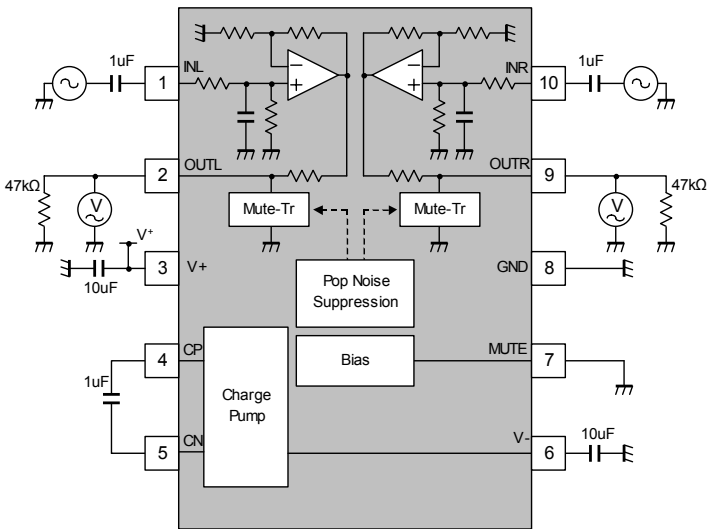
I_{DD}



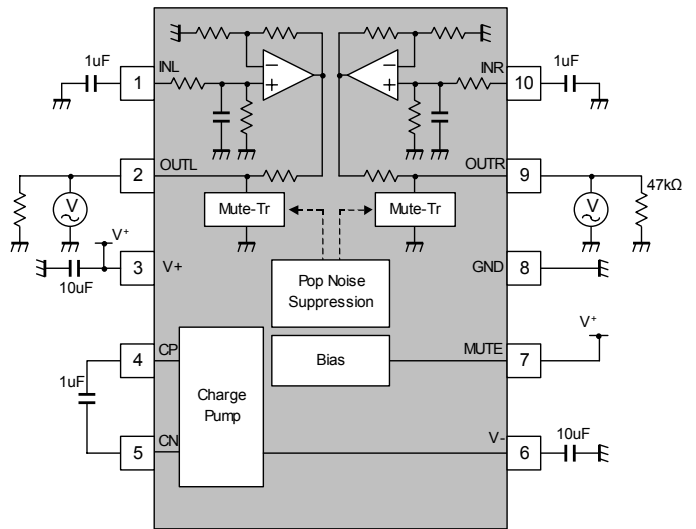
G_V, V_{OMAX}, THD



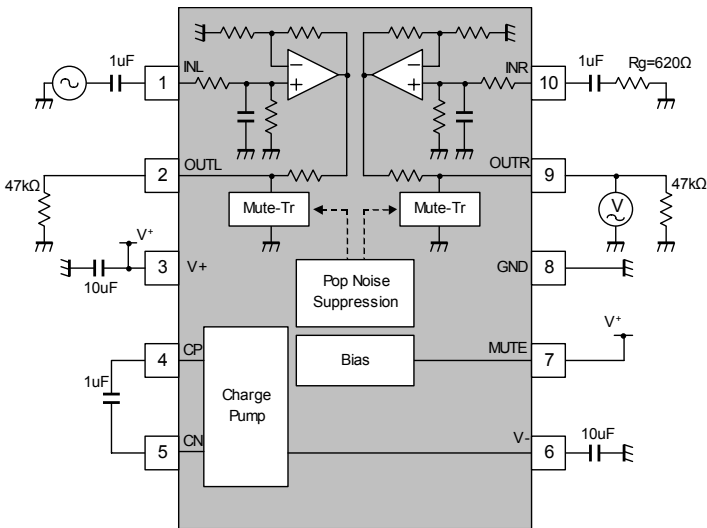
V_{MUTE}



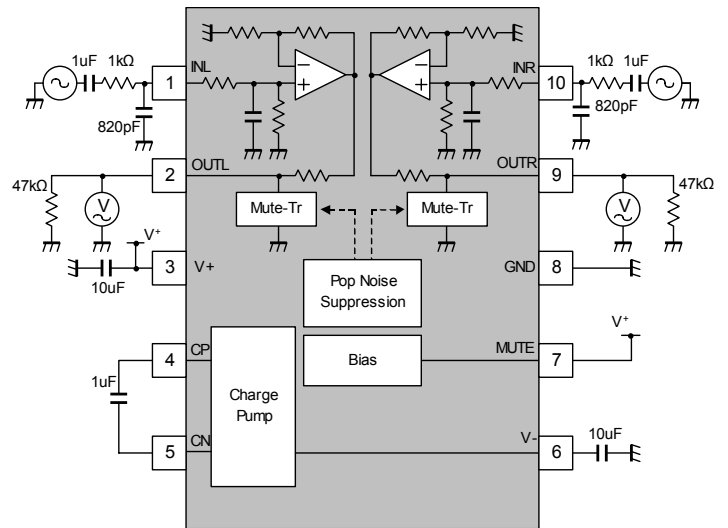
V_{NO} [$V_{NO}=(\text{measurement})-G_V1$]



CS



f_c



アプリケーションノート

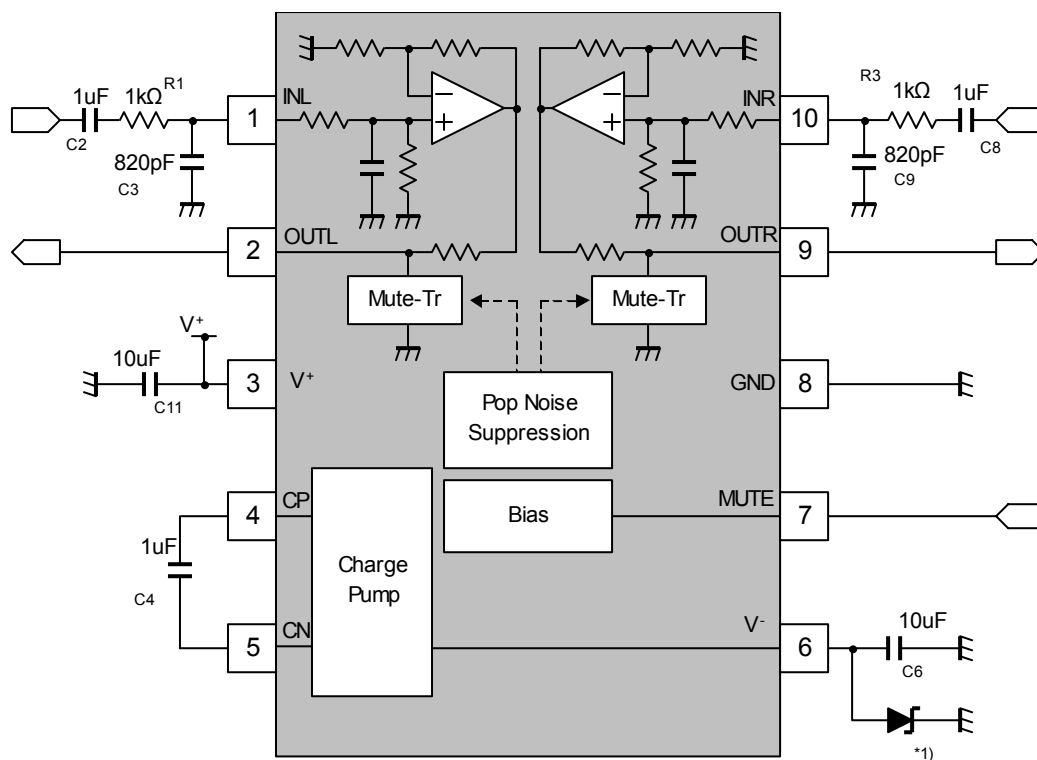
NJU72013 はオーディオ向けグラウンド基準ステレオラインアンプです。本 IC は内部に負電圧レギュレータを搭載しており、出力をグラウンド基準で動作させることでカップリングコンデンサが不要となります。また、出力にはポップノイズ抑制回路を内蔵しており、電源投入時、遮断時、ミュート制御時のポップノイズを低減します。

このアプリケーションノートでは、NJU72013 の製品概要と使用上の注意について述べています。

1. 動作概要

図 1 は NJU72013 のブロック図で、非反転入力オペアンプ、負電圧レギュレータ、ポップノイズ抑制回路、バイアス回路、ミュートトランジスタ回路で構成されています。

負電圧レギュレータを搭載している為、出力はグラウンド基準で動作させることができ、カップリングコンデンサが不要となります。また、出力にはポップノイズ抑制回路を搭載しており、電源投入時、遮断時、ミュート時のポップノイズを低減します。



*1) V-端子(6pin)が、V+端子(3pin)との短絡が懸念される場合は V-端子と GND 端子間にツェナーダイオードを接続してください。

(図 1) NJU72013 ブロック図

1.1 外付け素子

(図 1)について各外付け素子の役割及び注意事項を記載します。

1.1.1 入力カップリングコンデンサ C_i (C_2, C_8)

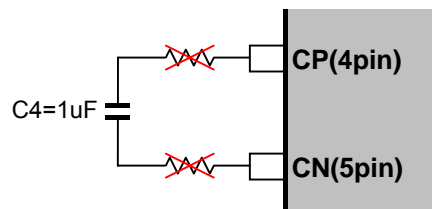
入力信号は、入力カップリングコンデンサ C_i と入力端子の LPF 用抵抗 R_1 と入力端子の入力抵抗 $218k$ とで形成されるハイ・パス・フィルタによって低域がカットされます。カットオフ周波数は次式により求めることができ、 $C_i = 1\mu F$ 以上を推奨します。

$$f_c = 1 / (2 \times \pi \times (R_1 + 218k\Omega) \times C_i)$$

1.1.2 フライングコンデンサ (C_4)

負電圧の生成効率を確保する為、積層セラミックコンデンサのような ESR の低いコンデンサを使用して下さい。

また、フライングコンデンサ C_4 と CP 端子(4pin)と CN 端子(5pin)を出来る限り近づけて配置して下さい。



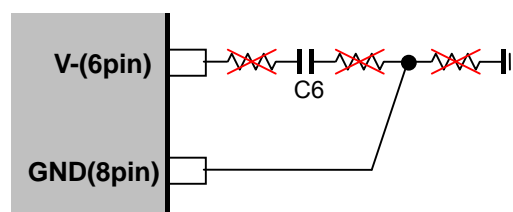
(図 2) 4pin, 5pin 周辺部回路図

1.1.3 負電圧出力コンデンサ (C_6)

負電圧の生成効率を確保する為、積層セラミックコンデンサのような ESR の低いコンデンサを推奨いたします。また、 C_6 と V-端子 (6pin) は出来る限り近づけて配置し、基板の GND パターンも出来る限り短くして下さい。

また、GND 端子 (8pin) へのスイッチングノイズ混入を避ける為、V-端子(6pin)が接続される GND パターンと出来る限り共通インピーダンスを避けてパターンレイアウト設計して下さい。

また、V-端子(6pin)は V+端子(3pin)とパターンレイアウト上でショートしないよう注意して下さい。



(図 3) 6pin, 8pin 周辺部回路図

1.2 V+端子/MUTE 端子制御方法について

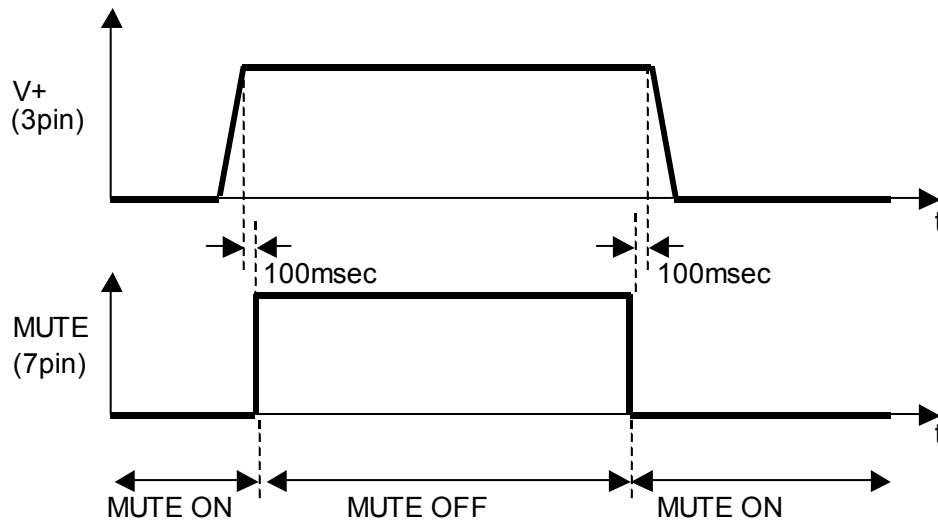
1.2.1 V+投入時シーケンス

ミュートコントロール電圧 V_{cnt} を Low に設定し、V+を立ち上げます。

V+が安定した後、100msec 以上の間隔を置いてミュートコントロール電圧 V_{cnt} を High に設定することを推奨します。

1.2.2 V+遮断時シーケンス

ミュートコントロール電圧 V_{cnt} を Low に設定し MUTE ON 後、V+を立ち下げて下さい。



(図 4) V+投入時、遮断時タイミングチャート

端子等価回路

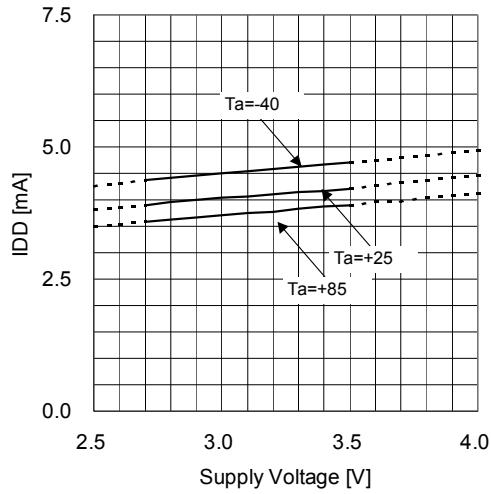
端子	端子名	機能名	内部等価回路	端子電圧
1 10	INL INR	AC 信号入力端子		0V
2 9	OUTL OUTR	AC 信号出力端子		0V
3	V+	電源電圧端子		V+
4	CP	極性変換用 コンデンサ接続端子		

端子等価回路

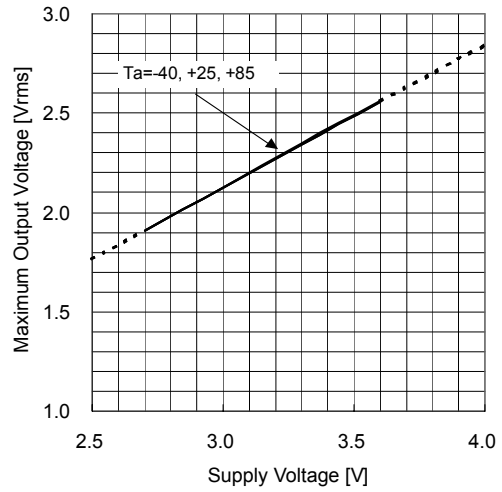
端子	端子名	機能名	内部等価回路	端子電圧
5	CN	極性変換用 コンデンサ接続端子	<p>The diagram shows a terminal labeled '5' connected to a circuit. The circuit includes a capacitor and a MOSFET. The MOSFET's gate is connected to a terminal labeled 'V-'. The other terminal of the capacitor is connected to ground.</p>	
6	V-	負電圧端子	<p>The diagram shows a terminal labeled '6' connected to a circuit. The circuit includes a MOSFET and a terminal labeled 'V+'. The MOSFET's gate is connected to the 'V+' terminal. The other terminal of the MOSFET is connected to ground.</p>	-[V+]
7	MUTE	MUTE 制御端子	<p>The diagram shows a terminal labeled '7' connected to a circuit. The circuit includes a MOSFET, a terminal labeled 'V+', a terminal labeled 'V-', and a terminal labeled 'GND'. A 100Ω resistor is connected between the terminal and the MOSFET's gate. A 400kΩ resistor is connected between the MOSFET's gate and 'GND'. The MOSFET's source is connected to 'GND' and its drain is connected to a terminal labeled 'V+'.</p>	0V

特性例

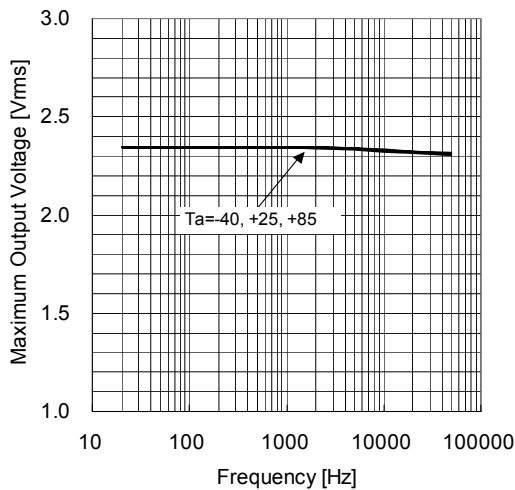
IDD vs Supply Voltage
No signal



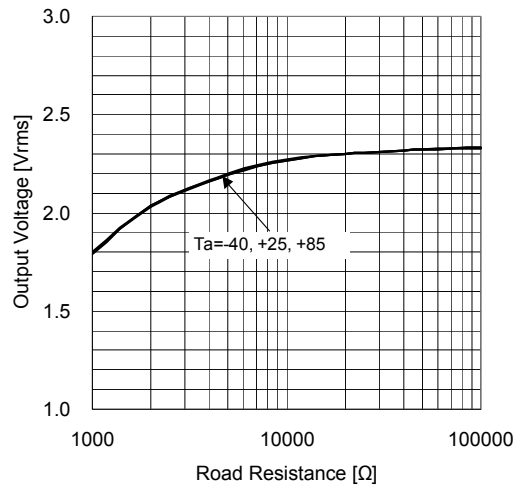
Maximum Output Voltage vs Supply Voltage
THD+N=1%, RL=47kohm, I/O=INL-OUTL



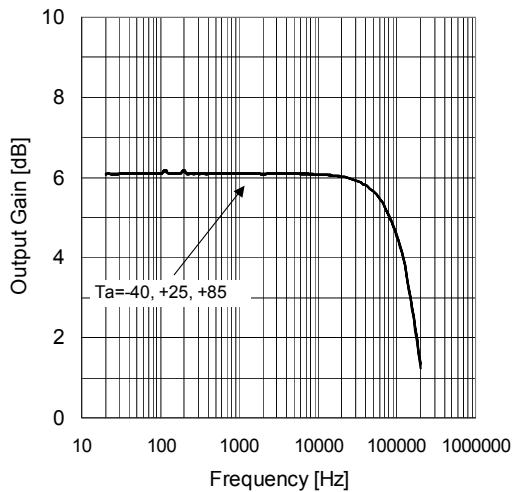
Maximum Output Voltage vs Frequency
V+=3.3V, THD+N=1%, RL=47kohm, I/O=INL-OUTL



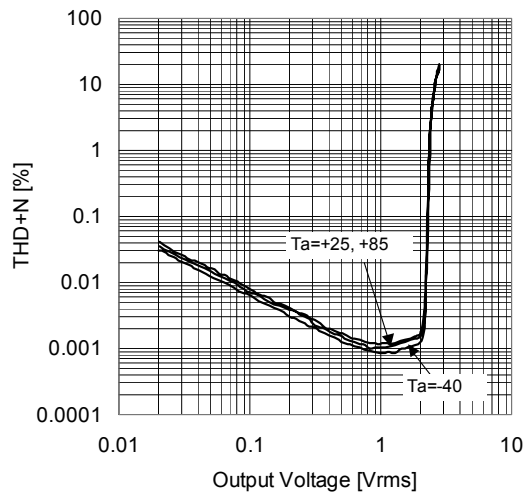
Output Voltage vs Road Resistance
V+=3.3V, Vin=1.15Vrms, f=1kHz, I/O=INL-OUTL



Output Gain vs Frequency (2nd LPF)
V+=3.3V, Vin=1Vrms, RL=47kohm, 2nd LPF, I/O=INL-OUTL



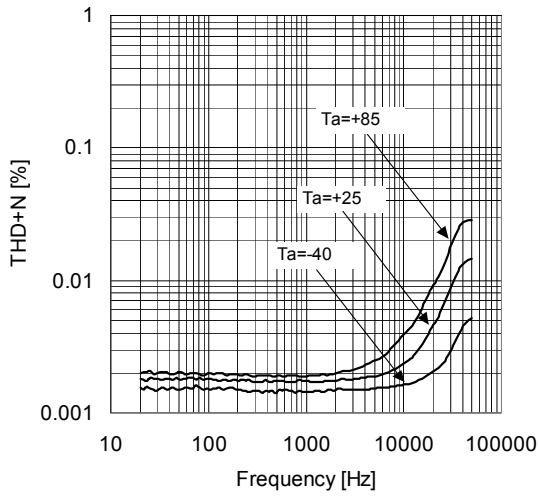
THD+N vs Output Voltage
V+=3.3V, f=1kHz, BW: 400-22kHz(f=1kHz), I/O=INL-OUTL



特性例

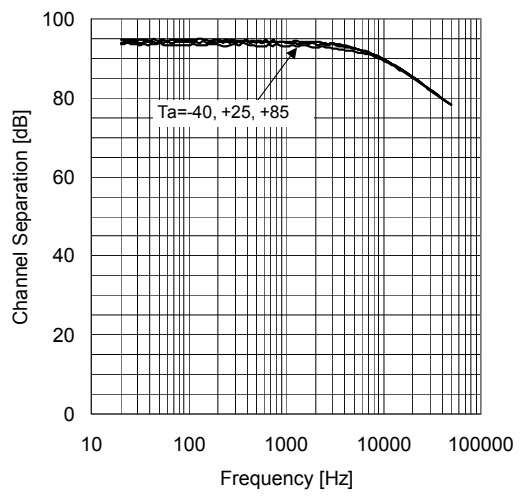
THD+N vs Frequency

V+=3.3V, Vin=1Vrms, RL=47kohm, BW=10-80kHz, I/O:INL-OUTL



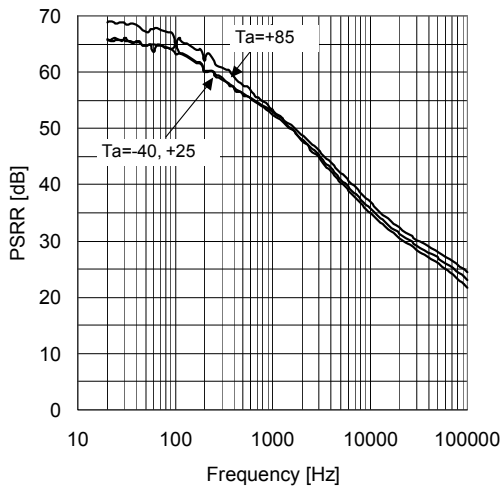
Channel Separation vs Frequency

V+=3.3V, RL=47kohm, Vin=1Vrms, BW:10-80kHz, Rg=600Ω, I/O: INR-OUTL



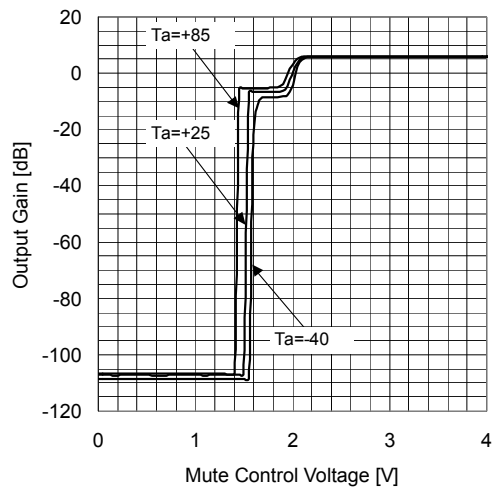
PSRR vs Frequency

V+=3.3V, Vripple=100mVrms, f=1kHz, BW: Bandpass



Output Gain vs Mute Control Voltage

V+=3.3V, Vin=1Vrms, f=1kHz, BW: 400-22kHz



<注意事項>

このデータブックの掲載内容の正確さには万全を期しておりますが、掲載内容について何らかの法的な保証を行うものではありません。とくに応用回路については、製品の代表的な応用例を説明するためのものです。また、工業所有権その他の権利の実施権の許諾を伴うものではなく、第三者の権利を侵害しないことを保証するものでもありません。