

低電圧1.8V動作1.2Wモノラルオーディオパワーアンプ

概要

NJU7089は、1.2W出力可能な低電圧動作オーディオパワーアンプです。1.8Vから動作が可能となっており、電池駆動で低電圧動作が必要とされるポータブル機器やセキュリティー機器等のアプリケーションに最適です。

スタンバイ機能を搭載しており、入力信号のミュートと同時に消費電流の低減が可能です。また、スタンバイモード切替時のノイズ対策を施しています。

特徴

動作電源電圧	$V^+=+1.8V \sim +5.5V$
消費電流	$I_{DD1}=3.0mA$ typ. (@ $V^+=5V, RL=$,無信号時) $I_{DD1}=2.5mA$ typ. (@ $V^+=3V, RL=$,無信号時)
出力電力	$P_o=1.2W$ typ. (@ $V^+=5V, RL=8\Omega, THD=1\%$) $P_o=500mW$ typ. (@ $V^+=3.3V, RL=8\Omega, THD=1\%$)
シャットダウン機能	
TSD(サーマルシャットダウン)機能	
POP音対策	
過電流保護回路内蔵	
CMOS構造	
外形	VSP8 / SSOP20-C3 / ESON8-V1 / HTSSOP24-P1

外形



NJU7089R



NJU7089VC3

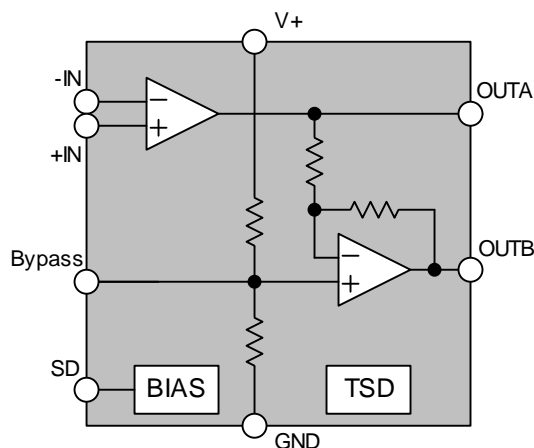


NJU7089KV1

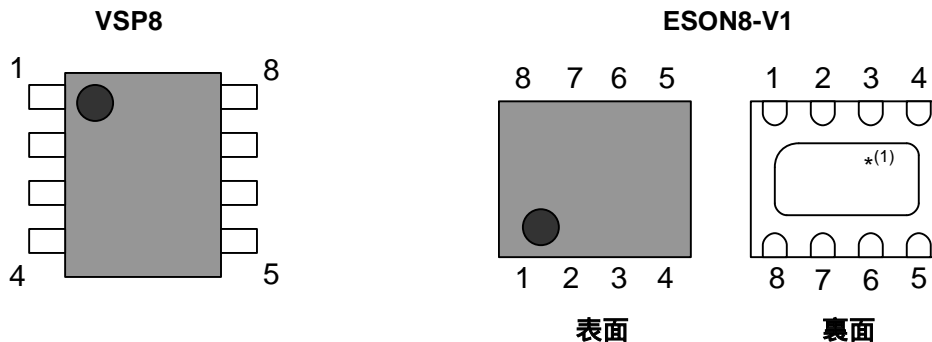


NJU7089VP1

ブロック図

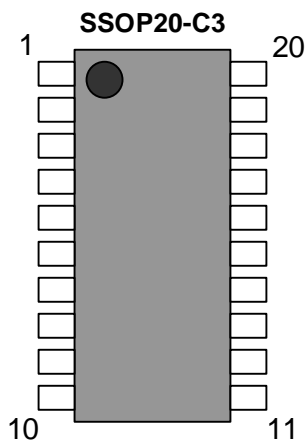


端子配列



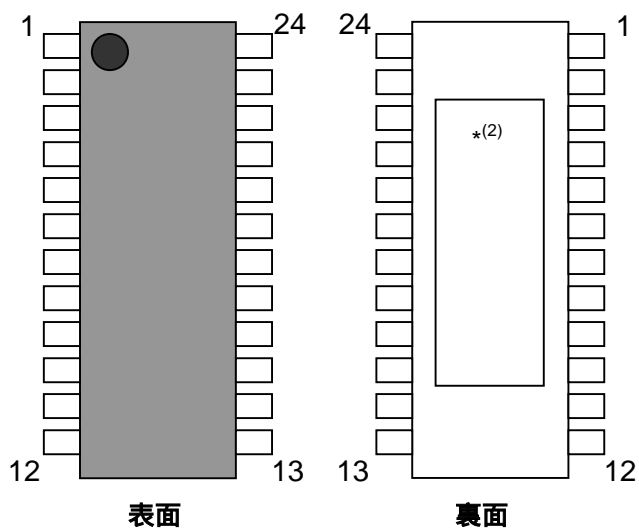
*⁽¹⁾ 裏面中央部の電極は、内部 SUB 電位である為、GND に接続して下さい

No.	端子名	機能
1	SD	シャットダウン端子
2	Bypass	基準電圧端子
3	+IN	非反転入力端子
4	-IN	反転入力端子
5	OUTA	出力端子 A
6	V+	電源電圧端子
7	GND	接地端子
8	OUTB	出力端子 B



No.	端子名	機能	No.	端子名	機能
1	NC	未接続	11	NC	未接続
2	NC	未接続	12	NC	未接続
3	NC	未接続	13	NC	未接続
4	SD	シャットダウン端子	14	OUTA	出力端子 A
5	Bypass	基準電圧端子	15	V+	電源電圧端子
6	+IN	非反転入力端子	16	GND	接地端子
7	-IN	反転入力端子	17	OUTB	出力端子 B
8	NC	未接続	18	NC	未接続
9	NC	未接続	19	NC	未接続
10	NC	未接続	20	NC	未接続

HTSSOP24-P1



*⁽²⁾ 裏面中央部の電極は、内部 SUB 電位である為、GND に接続して下さい

No.	端子名	機能	No.	端子名	機能
1	NC	未接続	13	NC	未接続
2	NC	未接続	14	NC	未接続
3	NC	未接続	15	NC	未接続
4	NC	未接続	16	NC	未接続
5	SD	シャットダウン端子	17	OUTA	出力端子 A
6	Bypass	基準電圧端子	18	V+	電源電圧端子
7	+IN	非反転入力端子	19	GND	接地端子
8	-IN	反転入力端子	20	OUTB	出力端子 B
9	NC	未接続	21	NC	未接続
10	NC	未接続	22	NC	未接続
11	NC	未接続	23	NC	未接続
12	NC	未接続	24	NC	未接続

絶対最大定格 (Ta=25°C)

項目	記号	最大定格	単位
電源電圧	V ⁺	+7	V
消費電力	P _D	570 ^(注1) / 770 ^(注2) (VSP8) 970 ^(注1) / 1400 ^(注2) (SSOP20-C3) 570 ^(注3) / 1700 ^(注4) (ESON8-V1) 1000 ^(注5) / 3000 ^(注6) (HTSSOP24-P1)	mW
出力電流	I _o	600	mA
最大入力電圧	V _{IN}	-0.3V to V ⁺ +0.3V ^(注7)	V
動作温度範囲	Topr	-40 to 85	°C
保存温度範囲	Tstg	-40 to 150	°C

(注1) EIA/JEDEC 仕様基板(76.2×114.3×1.6mm、2層、FR-4)実装時。

(注2) EIA/JEDEC 仕様基板(76.2×114.3×1.6mm、4層、FR-4)実装時。

(注3) EIA/JEDEC 仕様基板(76.2×114.3×1.6mm、2層、FR-4)実装、裏面中央部の電極を GND に接続時。

(注4) EIA/JEDEC 仕様基板(76.2×114.3×1.6mm、4層、FR-4、JEDEC 規格 JESD51-5 に基づき基板にサーマルビアホールを適用)実装、裏面中央部の電極を GND に接続時。

(注5) EIA/JEDEC 仕様基板(114.5×101.5×1.6mm、2層、FR-4)実装、裏面中央部の電極を GND に接続時。

(注6) EIA/JEDEC 仕様基板(114.5×101.5×1.6mm、4層、FR-4、JEDEC 規格 JESD51-5 に基づき基板にサーマルビアホールを適用)実装、裏面中央部の電極を GND に接続時。

(注7) SD, IN+, IN-, OUTA, OUTB 端子。

推奨動作範囲

項目	記号	条件	最小	標準	最大	単位
動作電圧範囲	V ⁺		1.8	3.0	5.5	V

電気的特性

アンプ部

(指定なき場合には Ta=25°C, V⁺=5V, Gv=6dB, f=1KHz, R_L=8Ω, アクティブモード)

項目	記号	条件	最小	標準	最大	単位
消費電流 1	I _{DD1}	無信号時, RL=	-	3.0	6	mA
消費電流 2	I _{DD2}	無信号, RL=, V _{SD} =0.25V	-	-	2	μA
出力電力 1	P _{O1}	THD 1%	0.9	1.2	-	W
出力電力 2	P _{O2}	V ⁺ =3.3V, THD 1%	375	500	-	mW
出力電力 3	P _{O3}	V ⁺ =1.8V, THD 1%	-	125	-	mW
全高調波歪率 (THD+N)	THD+N	P _o =1W	-	0.1	-	%
シャットダウン減衰量	ATT _{SD}	V _{in} =1Vrms, シャットダウン		-135		dB
電源電圧変動除去比	PSRR	V _{ripple} =100mVrms	-	55	-	dB
出力間電位差	V _{OD}	無信号時	-	-	35	mV

(指定なき場合には Ta=25°C, V⁺=3V, Gv=6dB, f=1KHz, R_L=8Ω, アクティブモード)

項目	記号	条件	最小	標準	最大	単位
消費電流 1	I _{DD1}	無信号時, RL=	-	2.5	4	mA
消費電流 2	I _{DD2}	無信号, RL=, V _{SD} =0.25V	-	-	2	μA
全高調波歪率 (THD+N)	THD+N	P _o =400mW	-	0.1	-	%
シャットダウン減衰量	ATT _{SD}	V _{in} =500mVrms, シャットダウン		-130		dB
電源電圧変動除去比	PSRR	V _{ripple} =100mVrms	-	55	-	dB
出力間電位差	V _{OD}	無信号時	-	-	35	mV

制御部

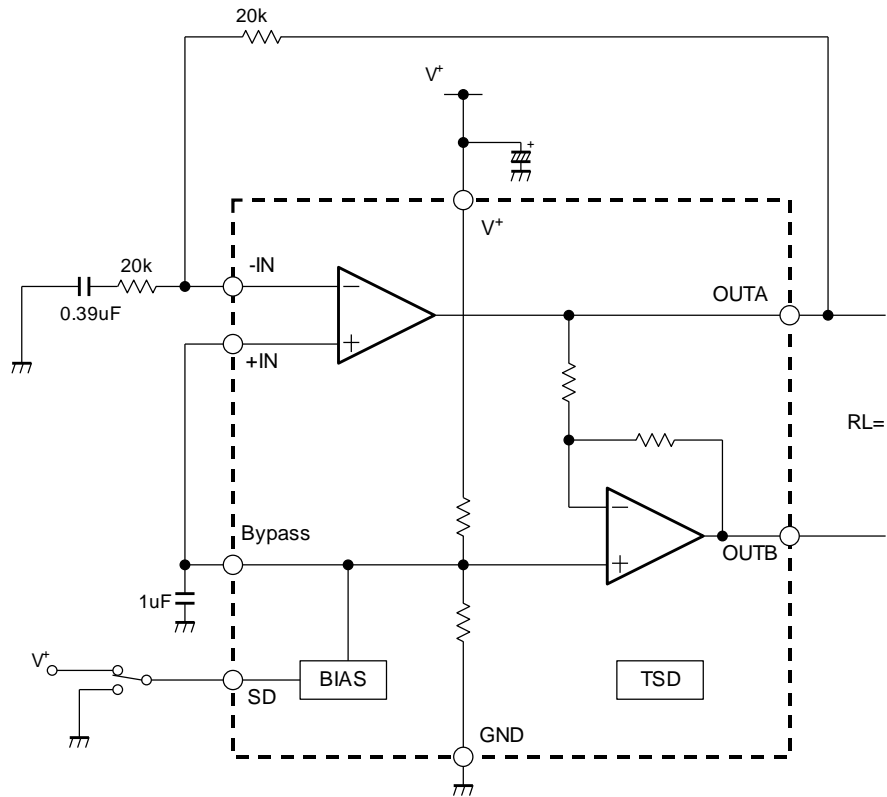
項 目	記 号	条 件	最 小	標 準	最 大	単 位
シャットダウン OFF 電圧	V_{IH}		1.5	-	V^+	V
シャットダウン ON 電圧	V_{IL}		0	-	0.25	V

動作制御説明

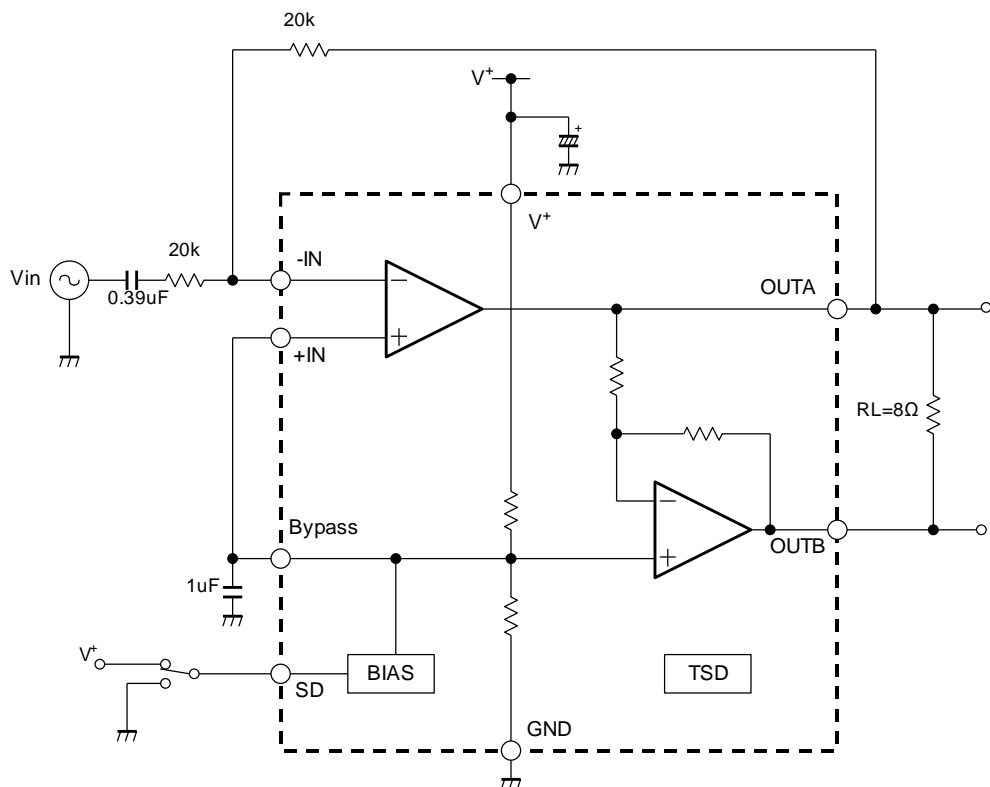
動 作 状 態	制御信号(シャットダウン端子)	動 作 説 明
シャットダウン	L ($=V_{IL}$)	IC を待機状態にします
アクティブ	H ($=V_{IH}$)	IC を動作状態にします

測定回路図

測定回路 1 (I_{DD1} , I_{DD2} , V_{OD})

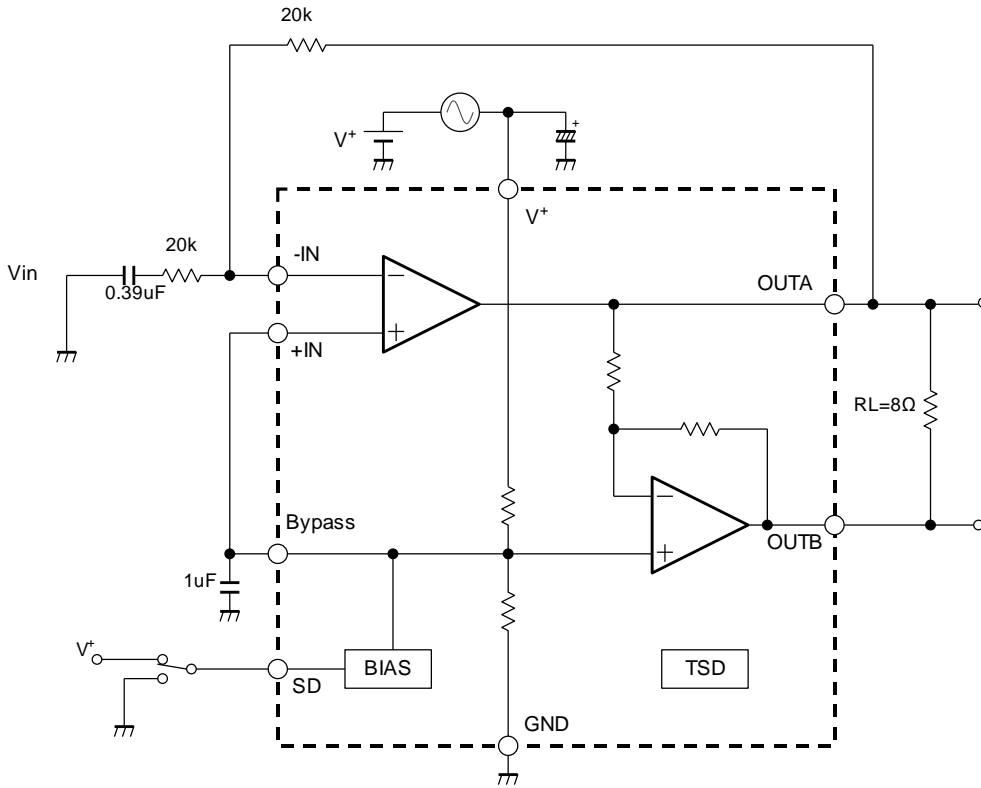


測定回路 2 (P_{O1} , P_{O2} , P_{O3} , THD+N, ATT_{SD})



測定回路図

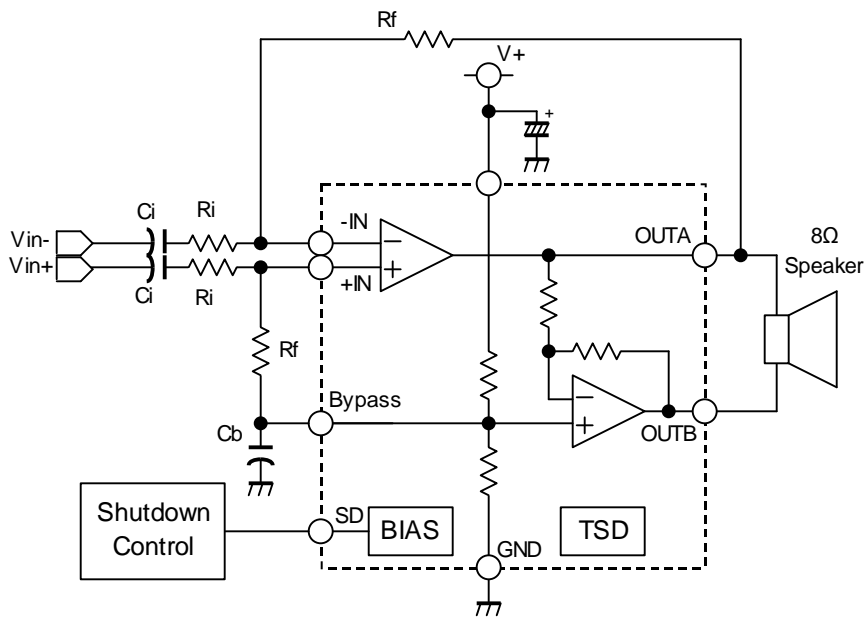
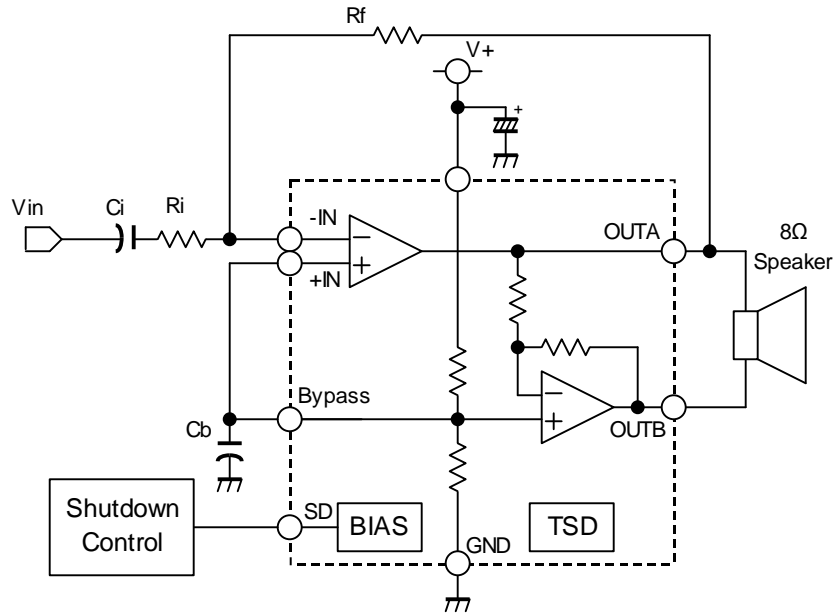
測定回路 3 (PSRR)



端子等価回路

端子			端子名	機能名	内部等価回路	端子電圧
VSP8, ESON8	SSOP 20	HTSSOP 24				
1	4	5	SD	シャットダウン端子		0V
2	5	6	Bypass	基準電圧端子		$V^+/2$
3	6	7	+IN	非反転入力端子		$V^+/2$
4	7	8	-IN	反転入力端子		$V^+/2$
5 8	14 17	17 20	OUTA OUTB	出力端子 A 出力端子 B		$V^+/2$

応用回路例



アプリケーションノート

NJU7089 はオーディオ向け低電圧動作パワーアンプです。電源電圧 1.8V から動作でき、BTL 接続とすることで高出力電力、出力カップリングコンデンサレスを実現します。電圧利得は二つの外付け抵抗の比によって、調整可能です。シャットダウン機能を装備しており、シャットダウン時は消費電流を低減すると同時にミュート状態といたします。また、シャットダウンの切り換え時に発生するノイズ、いわゆるポツ音を低減しております。このアプリケーションノートでは、動作概要と使用上の注意について述べています。

1. 動作概要

図 1 は NJU7089 のブロック図で、2 個のパワーアンプ（アンプ A、アンプ B）とバイアス源、TSD（サーマルシャットダウン）回路で構成されています。アンプ A は、入力信号を外付け抵抗で決定されるゲインで反転増幅します。アンプ B は、アンプ A の出力信号を 0dB で反転します。これらアンプの出力間にスピーカ等の負荷を接続し BTL 接続とすることで、シングルエンド形式と比べて 2 倍の出力電圧、4 倍の出力電力を得ることができます。NJU7089 のシャットダウン機能は、図 1 の内部スイッチ SW を開放し基準電流 I_{ref} を止めることで全回路を停止させますので、低消費電流に貢献します。また、そのシャットダウン切り換え時には、容量 C_b と内部回路の抵抗の時定数を利用して、ポツ音を低減しております。ポツ音の詳細は、3. SD 端子切り換えノイズを参照してください。しかしながら、ポツ音低減のための充電動作により、 C_b を大きくするほどターンオン時間が長くなります。この詳細は、4. ターンオン、ターンオフ時間を参照してください。

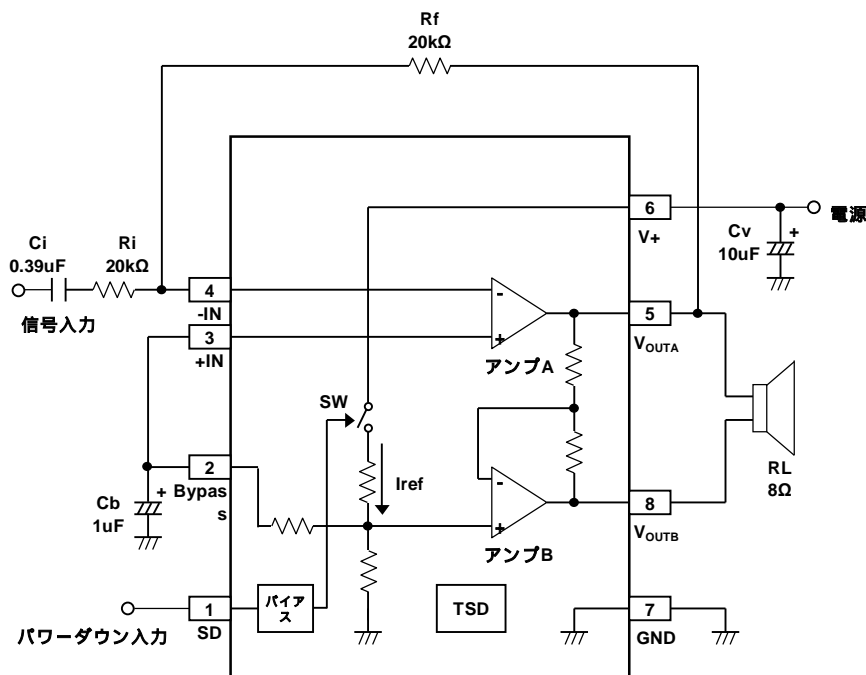


図 1 ブロック図及び応用回路例

2. 外付け部品

2.1 電源バイパスコンデンサ

電源バイパスコンデンサ C_v は、ノイズの低減、電源電圧の安定化に貢献します。基板の配線抵抗の影響が小さくなるように、できるだけ IC 近傍に配置してください。

2.2 入力抵抗と帰還抵抗

入力抵抗 R_i と帰還抵抗 R_f の比が NJU7089 のゲインを決定します。また、 R_i と R_f の抵抗値の増加は出力雑音電圧とポツ音に影響します。

特に R_i は低周波特性に影響しますので、次に述べます入力カップリングコンデンサについても考慮したうえで抵抗値をお選びください。

$$G_v = 20 \text{LOG} \left(2 \frac{R_f}{R_i} \right) \cdots \text{BTL 接続時のゲイン計算式}$$

2.3 入力カップリングコンデンサ

入力信号は、入力カップリングコンデンサ C_i と入力抵抗 R_i とで形成されるハイ・パス・フィルタによって低域がカットされます。 C_i 、 R_i を大きくすることで、より低周波の信号まで通過させるようになりますが、 C_i の増加はポツ音を悪化させることがあります。使用する周波数帯域に応じて、 C_i の定数を決定してください。

$$C_i = \frac{1}{2\pi R_i f_c} \quad f_c = \text{カットオフ周波数}$$

2.4 基準電圧バイパスコンデンサ

基準電圧バイパスコンデンサ C_b は、ポツ音と、PSRR、ターンオン時間に影響します。 C_b を大きくすることでポツ音、PSRR が改善されます。詳しくは 3. SD 端子切り換えノイズと 5. PSRR 対 C_b を参照してください。但し、 C_b を大きくしますと、ターンオン時間が長くなります。詳しくは 4. ターンオン、ターンオフ時間を参照してください。

外付部品	機能	推奨値	設定範囲	備考
C_v	電源デカップリング	10uF	1uF < C_v	電源が安定している場合小さくできる
R_i	ゲイン設定用入力抵抗	20k	10k < R_i < 50k	大きくするとノイズ増加
R_f	ゲイン設定用帰還抵抗	20k	10k < R_f < 50k	同上。
C_i	入力 DC カット	0.39uF	0.047uF < C_i	小さくすると低周波特性悪化
C_b	基準電圧安定化	1uF	0.1uF < C_b	小さくすると PSRR 悪化、ポツ音悪化
R_L	スピーカー負荷	8	4 < R_L	小さくすると PD、PO 増加

表 1 外付部品の機能、推奨値、及び設定範囲

3. SD 端子切り換えノイズ

NJU7089 は内部回路を利用して SD 端子切り換えノイズ、いわゆるポツ音の対策を行なっております。しかし、外付け素子定数によっては聞こえやすくなることがあります。ここではポツ音を低減するためのポイントを示します。

3.1 シャットダウン (SD 端子=LOW) アクティブ (SD 端子=HIGH)

NJU7089 は BTL 出力のため、切り替わり時にも 2 つの出力が等しく動けば音とはなりません。アクティブ切り替え時に入力コンデンサ C_i を充電するため、アンプ A の出力電位が V_{ref} 端子電圧より高く、アンプ B の出力電圧が V_{ref} 端子電圧より低くなり、出力間に差が発生してポツ音となります。NJU7089 ではポツ音低減のため、 V_{REF} 端子電圧が上昇するまでは図 2 に示すようにボルテージフォロワのアンプ 2 が起動しており、アンプ A の出力もアンプ B の出力も V_{ref} 端子電圧と同電位となり、電位差が生じないためポツ音発生を防ぐ事が出来ます。標準回路では C_i が充電され IN-端子が上昇してから図 3 に示す反転アンプに切り換わるよう設計されています。図 4 に標準回路における各端子電圧と時間の関係を示します。

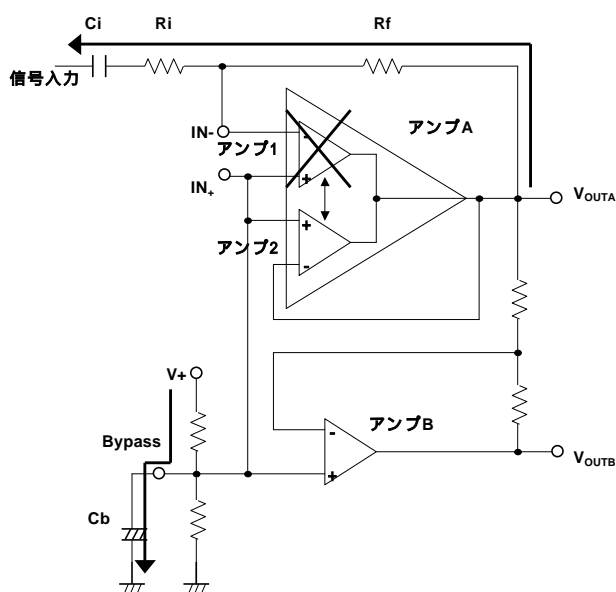


図 2 ボルテージフォロワ動作時

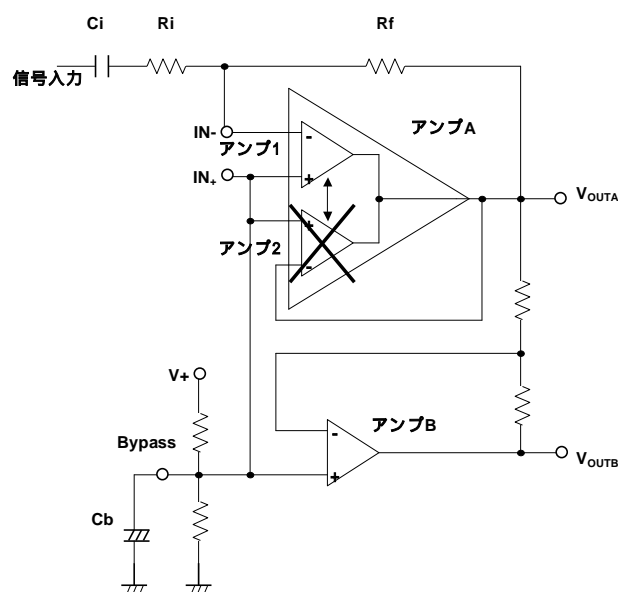


図 3 反転アンプ動作時

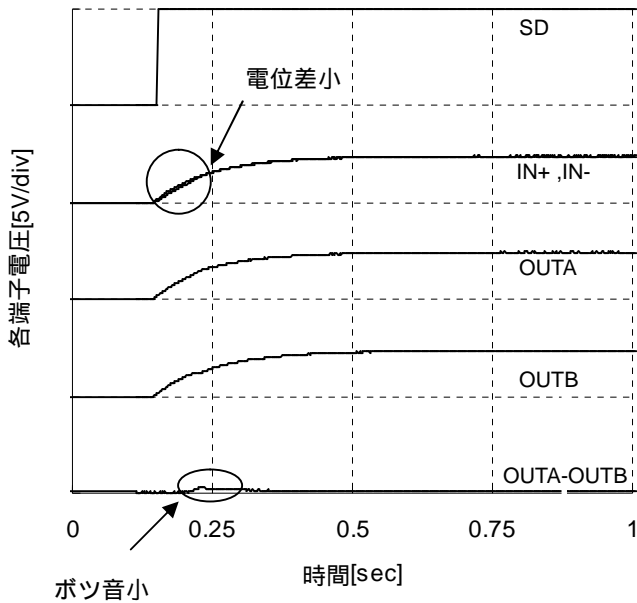


図4 標準回路における各端子電圧

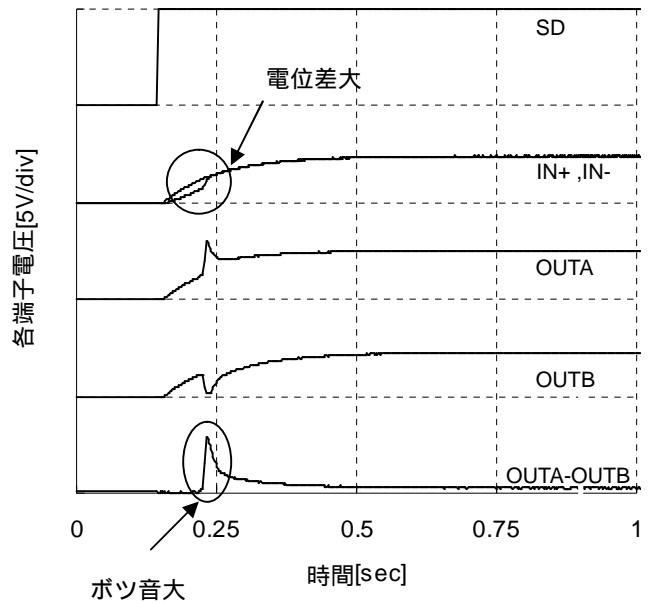


図5 $R_f=100k$ 時の各端子電圧

図4に示すように、アンプ2からアンプ1に切り換わる瞬間にIN+とIN-の電位差が小さければ(C_i の充電が完了していれば)、ポツ音は小さくなります。しかしながら、 C_i 、 R_{in} 、 R_f の定数を大きくすると、 C_i 充電の時定数が変わり、図5に示すように内部アンプが切り換わる瞬間のIN-端子とIN+端子の電位に差が生じます。この電位差が増幅されてOUT端子に出力されるため、ポツ音が大きくなります。

ポツ音低減対策として、 C_i を小さく、 C_b を大きくし、IN+端子とIN-端子の時定数をできるだけ近づける必要があります。ただし、 C_i を小さくすると低域周波数特性が悪化し、 C_b を大きくするとターンオン時間が長くなるため、これらに注意して部品定数を決定する必要があります。

表2~6にポツ音を標準回路と同等レベルに保つための C_b の容量値を示します。尚、 R_i と R_f は $10k \sim 50k$ 、 C_i は $0.047\mu F \sim 1\mu F$ の組み合わせとします。

		Rf				
		10k	20k	30k	40k	50k
Cin	0.047uF	0.1uF	0.33uF	0.33uF	0.33uF	0.33uF
	0.1uF	0.33uF	0.33uF	1uF	1uF	1uF
	0.39uF	1uF	1uF	2uF	2uF	3.3uF
	0.47uF	1uF	2uF	2uF	3.3uF	3.3uF
	1uF	2uF	3.3uF	4.7uF	10uF	10uF

表 2 Ri=10k 時の Cb 容量値対応表

		Rf				
		10k	20k	30k	40k	50k
Cin	0.047uF	0.1uF	0.33uF	0.33uF	0.33uF	0.33uF
	0.1uF	0.33uF	0.33uF	1uF	1uF	1uF
	0.39uF	1uF	1uF	2uF	2uF	3.3uF
	0.47uF	1uF	2uF	2uF	3.3uF	3.3uF
	1uF	2uF	3.3uF	4.7uF	10uF	10uF

表 3 Ri=20k 時の Cb 容量値対応表

		Rf				
		10k	20k	30k	40k	50k
Cin	0.047uF	0.1uF	0.33uF	0.33uF	0.33uF	0.33uF
	0.1uF	0.33uF	0.33uF	1uF	1uF	1uF
	0.39uF	1uF	1uF	2uF	2uF	3.3uF
	0.47uF	1uF	2uF	2uF	3.3uF	3.3uF
	1uF	2uF	3.3uF	4.7uF	10uF	10uF

表 4 Ri=30k 時の Cb 容量値対応表

		Rf				
		10k	20k	30k	40k	50k
Cin	0.047uF	0.1uF	0.33uF	0.33uF	0.33uF	0.33uF
	0.1uF	0.33uF	0.33uF	1uF	1uF	1uF
	0.39uF	1uF	1uF	2uF	2uF	3.3uF
	0.47uF	1uF	2uF	2uF	3.3uF	3.3uF
	1uF	2uF	3.3uF	4.7uF	10uF	10uF

表 5 Ri=40k 時の Cb 容量値対応表

		Rf				
		10k	20k	30k	40k	50k
Cin	0.047uF	0.1uF	0.33uF	0.33uF	0.33uF	0.33uF
	0.1uF	0.33uF	0.33uF	1uF	1uF	1uF
	0.39uF	1uF	1uF	2uF	2uF	3.3uF
	0.47uF	1uF	2uF	2uF	3.3uF	3.3uF
	1uF	2uF	3.3uF	4.7uF	10uF	10uF

表 6 Ri=50k 時の Cb 容量値対応表

技術資料

3.2 アクティブ (SD 端子=HIGH) シャットダウン (SD 端子=LOW)

シャットダウンに切り替わる時は、OUTA/OUTB を急峻に立ち下げます。BTL 動作に限れば OUTA と OUTB を同時に立ち下げることにより、ポツ音は発生しにくくなります。そのときの各端子電圧と時間の関係を図 6 に示します。また OUTA/OUTB の立ち下げと同時に、Vref も急峻に立ち下げます。これにより、連続的にシャットダウン アクティブを繰り返した際のポツ音を低減しています。ただしシングルエンドで使用した場合はポツ音が発生しますので注意してください。

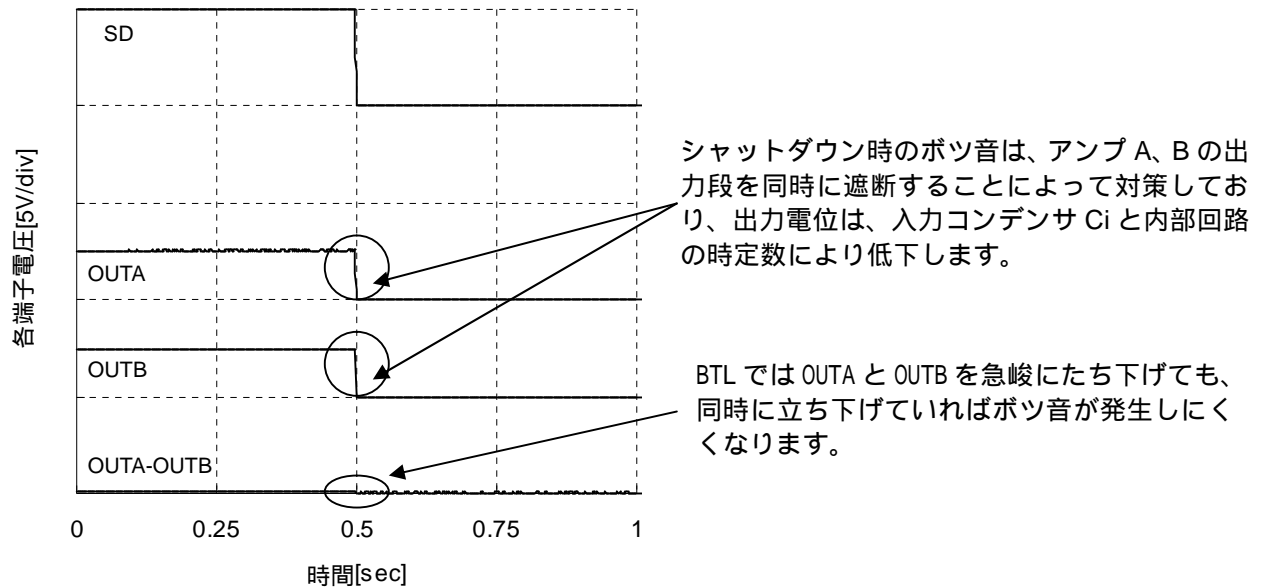


図 6 シャットダウン時の各端子電圧

3.3 カットオフ周波数

前項でも述べたとおり、 C_i を小さくすることにより、ポツ音を低減することが可能ですが、 C_i と R_i はハイパスフィルタを形成しており、以下に示す式でカットオフ周波数が決まっています。

$$f_c = \frac{1}{2\pi R_i C_i}$$

ポツ音低減のため C_i を小さくする場合は、実際に使用する周波数帯域に応じて適切な値を決定してください。

4. ターンオン時間/ターンオフ時間

NJU7089 ではポツ音低減、PSRR の改善には C_b を大きくすることが有効です。しかし、 C_b を大きくするほど充電する時間がかかるため、ターンオン時間が長くなります。尚、ターンオフ時間は C_b に関わらず急峻にたち下がります。

当社応用回路例における C_b とターンオン時間の関係を図 7、図 8 に示します。ここで、ターンオン時間とは、SD 端子を LOW HIGH に切り換えてから出力振幅が安定するまでの時間で規定しています。

また、ターンオン時間は以下の式から求めることができます。

$$T_{ON} = -C_b \cdot 100k\Omega \cdot \ln\left(0.5 - \frac{0.5}{V^+}\right)$$

ただし 100k は BYPASS 端子抵抗値であり $\pm 20\%$ のばらつきがあるため、ターンオン時間も $\pm 20\%$ のばらつきがあります。

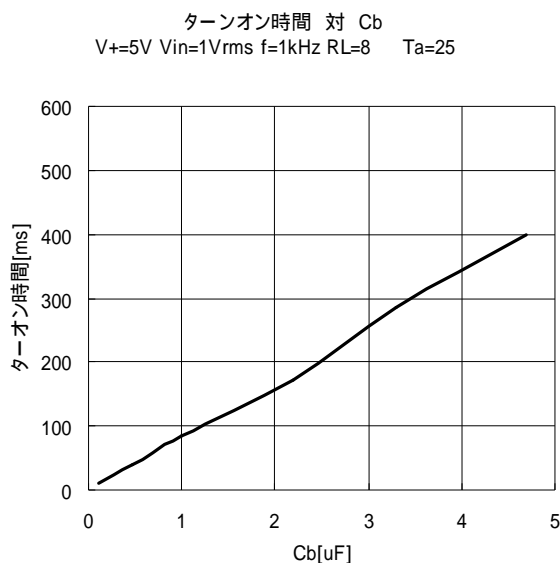


図 7 ターンオン時間対 C_b ($V^+=5V$)

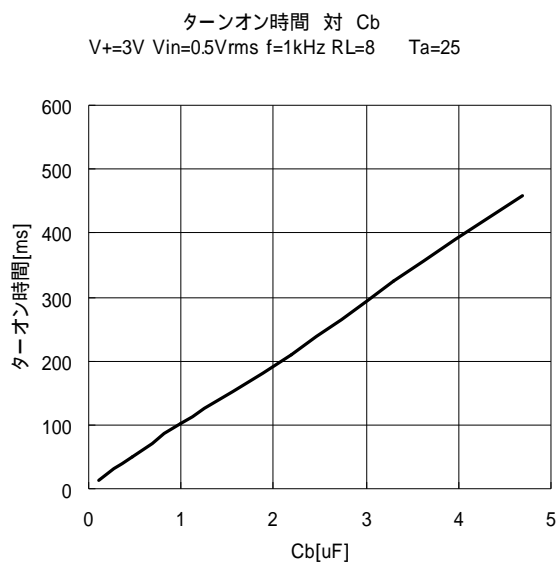


図 8 ターンオン時間対 C_b ($V^+=3V$)

5. PSRR 対 C_b

C_b はポツ音の低減以外にも +IN 端子電位を安定させるために用いられ、電源リップル除去比 (PSRR) に影響を与えます。図 9 および図 10 の PSRR の周波数特性を示すとおり、 C_b を大きくすることで低周波での特性が改善されますが、前述したとおりターンオン時間、ポツ音に影響しますので、評価、検討の上定数を決定してください。

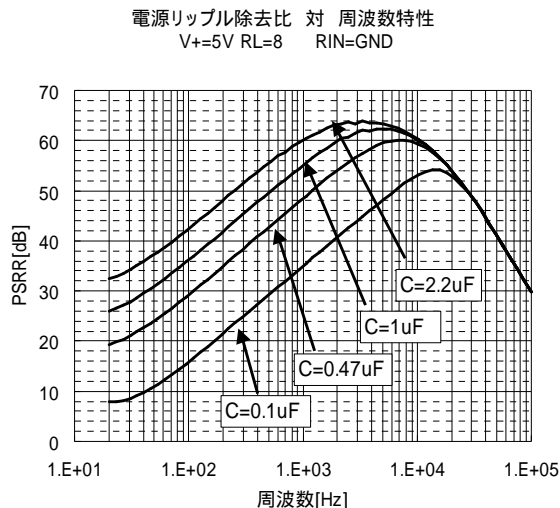


図 9 PSRR 対 C_b ($V^+=5V$)

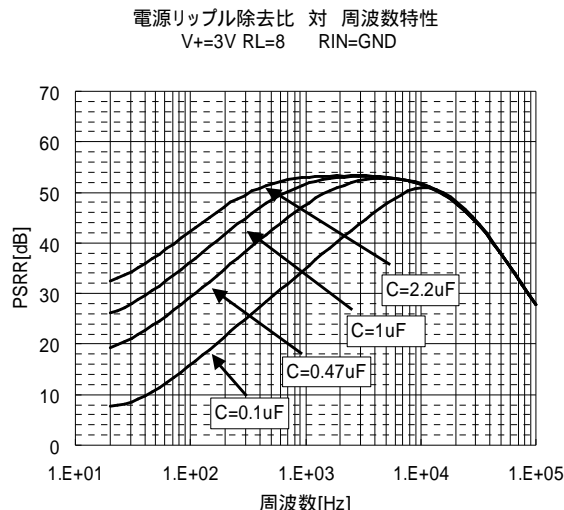


図 10 PSRR 対 C_b ($V^+=3V$)

技術資料

6. パッケージパワーと消費電力、出力電力

IC は IC 自身の消費電力（内部損失）によって発熱し、ジャンクション温度が許容値を超えると破壊されます。このため、IC には許容損失 P_D (=消費電力の最大定格) が定められておりますので、その電力を超えないようにご使用ください。一般的にパッケージによって許容損失が異なるのは、材料（樹脂、フレーム等）により放熱のしにくさが異なってくるためです。放熱のしにくさは熱抵抗 θ_{ja} として表され、 θ_{ja} が低ければ放熱が良く、より多くの電力を消費することが出来ます。

図 11 は NJU7089 の許容損失を表しています。(EIA-JEDEC 仕様 4 層基板実装時) この図は次の 2 点から得ることができます。1 点目は、25 における許容損失で、絶対最大定格の消費電力がそれに当たります。25 以下でも、許容損失はこの電力になります。もう 1 点は、これ以上の発熱を許容できない、つまり許容損失 0W の点です。この点は、IC の保存温度範囲 T_{stg} の上限を最大のジャンクション温度 T_{jmax} とすることで求めることができます。これら 2 点を結び、25 以下を 25 と同じとすることで図 11 が得られます。その 2 点を結んだ線の傾きは $1/\theta_{ja}$ に相当し、傾きが大きくなるほど熱抵抗は小さく、傾きが小さいほど熱抵抗は大きいことが分かります。

次に簡易的な設計方法を示します。例えば NJU7089 が熱源の近くに置かれ、周囲温度が動作温度範囲の上限である 85 にまで達する可能性があるとするなら、このカーブの 85 の点から許容損失を見積もることができます。許容損失と周囲温度の関係は下記の式として導かれます。

$$\text{許容損失 } P_D = \left(\frac{T_{jmax} - T_a}{\theta_{ja}} \right) [W] \quad @T_a=25 \text{ 以上}$$

IC の消費電力が、この許容損失を超えない範囲で使用するようにします。実際の IC の消費電力は

$$\text{消費電力} = (\text{電源電圧 } V_+) \times (\text{消費電流 } I_{dd} + \text{負荷消費電流 } I_{RL}) - (\text{出力電力 } P_o)$$

として実測できますが、簡易的にデータシートの出力電力対消費電力特性例から読み取れることもできます。

図 11 は $T_a=25$ 、 $V_+=5V$ 、 $G_v=6dB$ 、 $R_L=8$ 、BTL 接続における出力電力対消費電力特性です。このグラフと図 12 から使用可能な最大出力電力と周囲温度を決める必要があります。以下に例として使用可能な周囲温度の求め方と、使用可能な最大出力電力の求め方を示します。

例1、使用する最大出力電力 P_o がわかっている場合の動作可能周囲温度の求め方

NJU7089 の場合、最大接合温度 $T_j=150$ 、VSP8 の最大許容消費電力 $P_{Dmax}=770mW$ ですので
 周囲温度 $T_a = \text{接合温度 } T_j - \text{消費電力 } P_D \times \text{熱抵抗 } \theta_{ja}$ より、
 熱抵抗 $\theta_{ja} = (150-25)/0.77 = 162.3 [^\circ C/W]$
 となります。

図12より $V_+=5V$ 、 $R_L=8$ で、最大出力電力 $P_o=1.2W$ の場合、消費電力 P_D の最大値は $0.65W$ になり
 許容周囲温度を計算しますと

周囲温度 $T_a = 150 - 0.65 \times 162.3 = 44.5 [^\circ C]$
 となります。

例2、周囲温度がわかっている場合の許容損失、及び最大出力電力の求め方

周囲温度が 85 の場合の許容損失は、例1で求めた $\theta_{ja} = 162.3 [^\circ C/W]$ を用いると
 周囲温度 $T_a = \text{接合温度 } T_j - \text{消費電力 } P_D \times \text{熱抵抗 } \theta_{ja}$ より、
 消費電力(許容損失) $P_D = (150-85)/162.3 = 0.4W$
 となります。

また、図12より周囲温度 $T_a=85$ 、 $V_+=5V$ 、 $R_L=8$ のとき出力可能な電力は $P_o=90mW$ 程度となります。

また、NJU7089 では TSD 回路を搭載しているため、チップのジャンクション温度が異常に上昇した時は、温度が安全なレベルになるまで出力を停止します。安定した動作をするためにも、使用する条件を考慮し余裕を持って設計することをお勧めいたします。

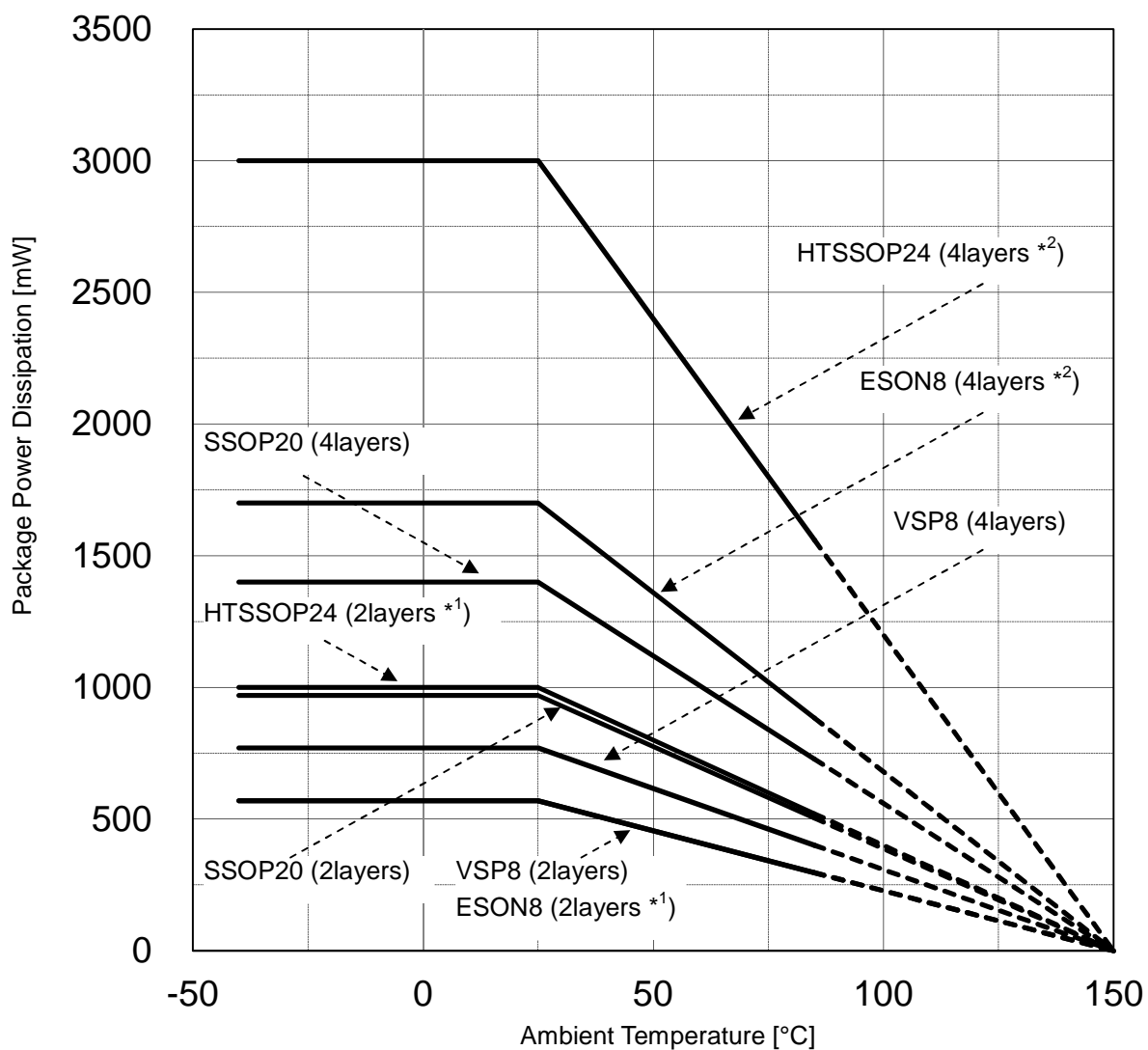


図 11 許容損失対周囲温度特性

*¹ 裏面中央部の電極を GND に接続時。

*² 裏面中央部の電極を GND に接続時。基板にサーマルビアホールを適用。

消費電力 対 出力特性
 $V_+ = 5V$ $G_v = 6dB$ $R_L = 8$ BTL

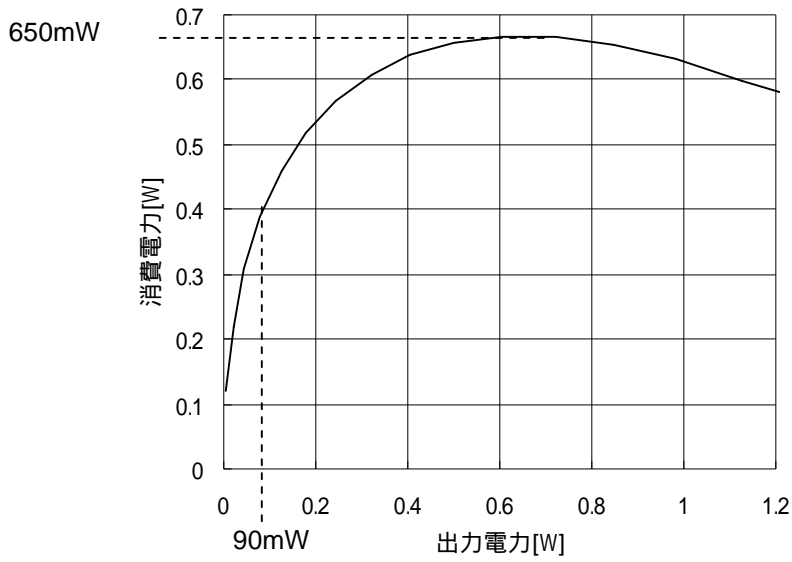


図 12 消費電力対出力電力特性

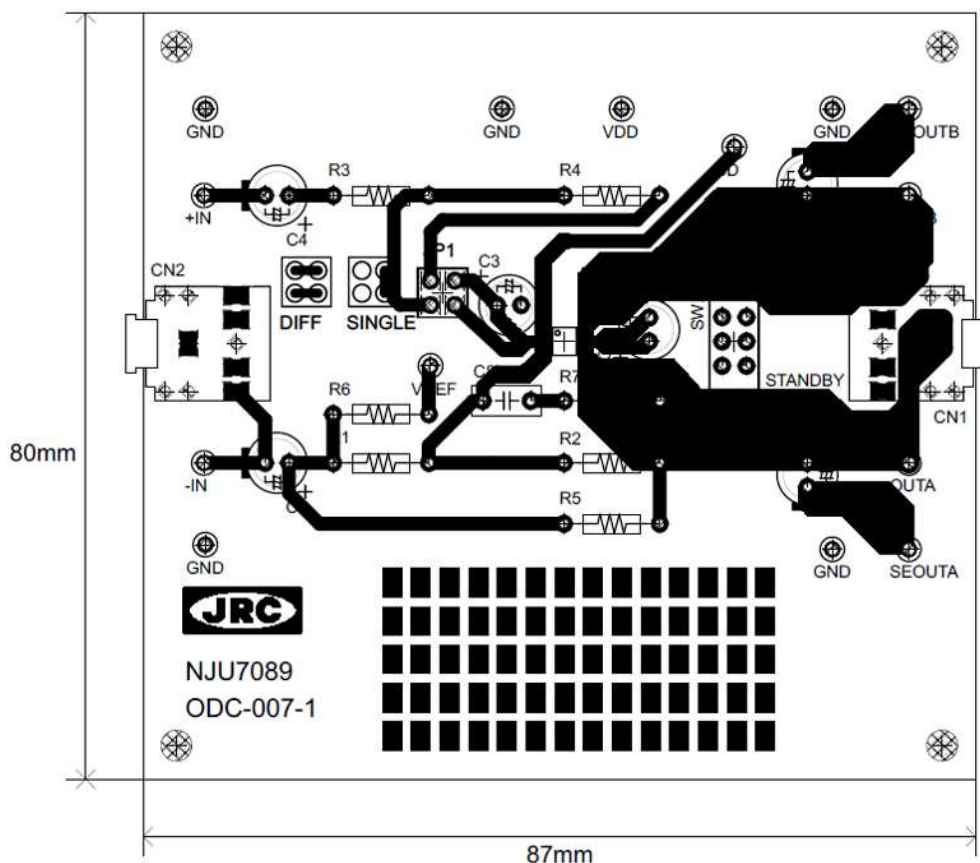
7. 基板レイアウトについて

IC の性能を最適化するためには、プリント基板を適切にレイアウトする必要があります。電源とグランド、出力信号ラインは可能な限り、配線抵抗が小さくなるようにレイアウトしてください。また、全てのグランドは電源コンデンサのグランド単一点に直接接続して下さい。

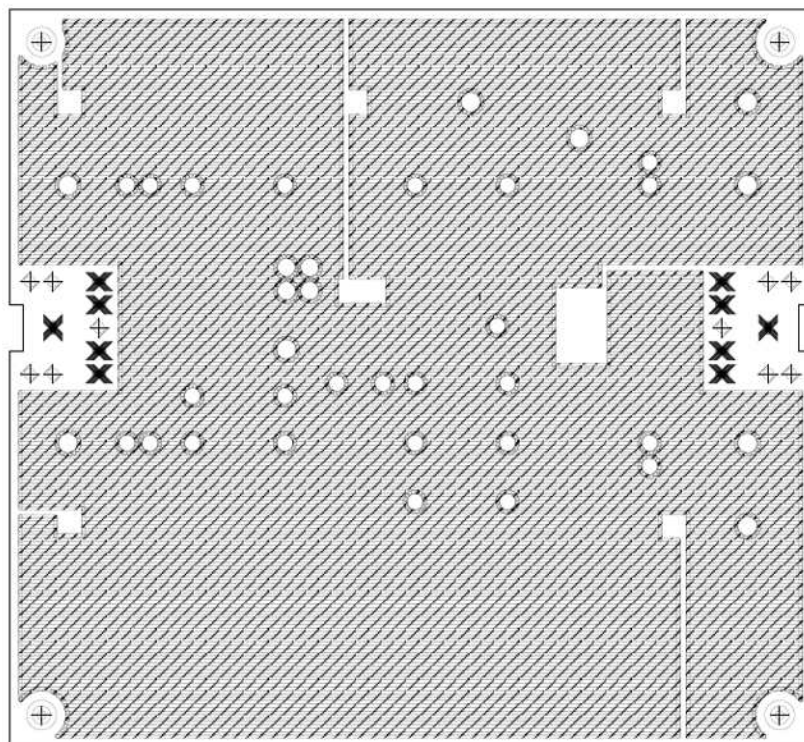
また、4層以上の基板の場合、配線レイヤーに近接して電源プレーンを配置すると PSRR が悪化することがあります。配線レイヤーと電源プレーンの間にグランドプレーンを挿入することを推奨いたします。

ESON8 と HTSSOP24 パッケージは裏面に放熱パッドを備えています。この放熱パッドをグランドプレーンに接続することにより熱抵抗を軽減します。基板表面に放熱パッド用のパターンを作成し、ビアを使って内層のグランドプレーンに接続してください。

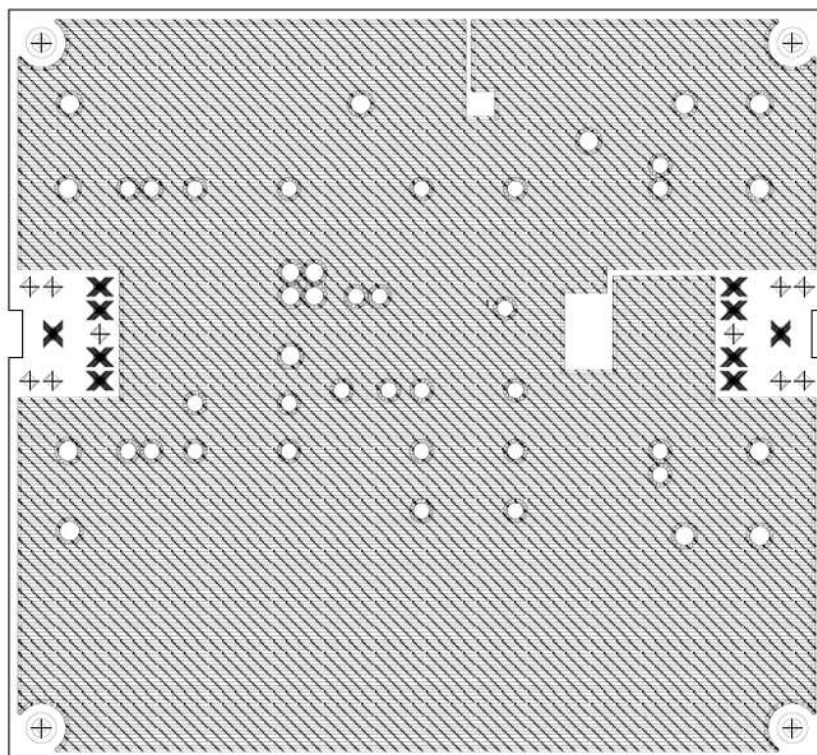
NJU7089 VSP8 デモボード図



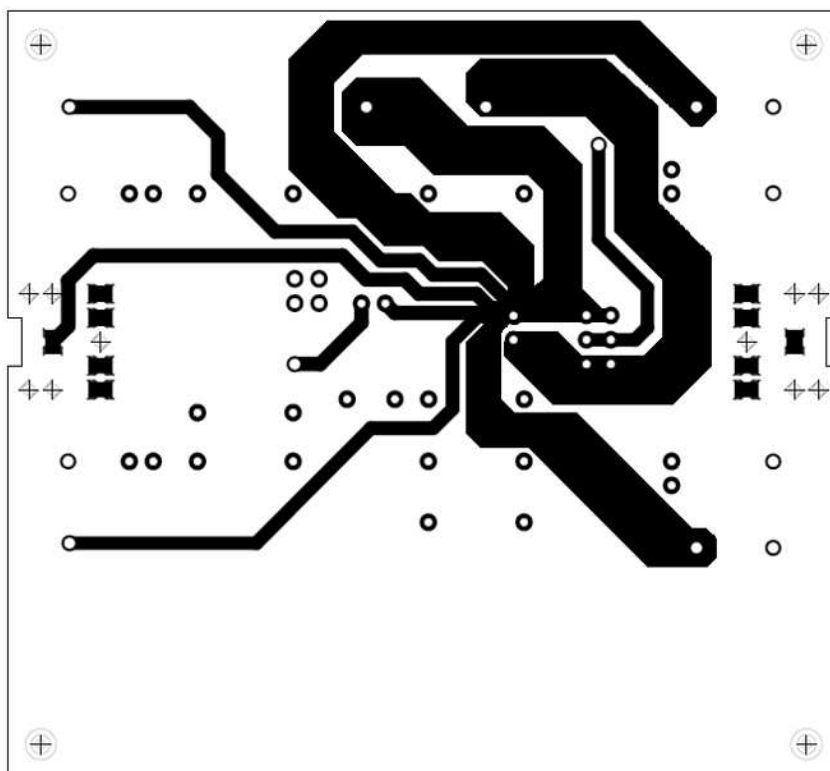
Layer1(Top Layer)



Layer2(グランドプレーン)



Layer3(電源プレーン)



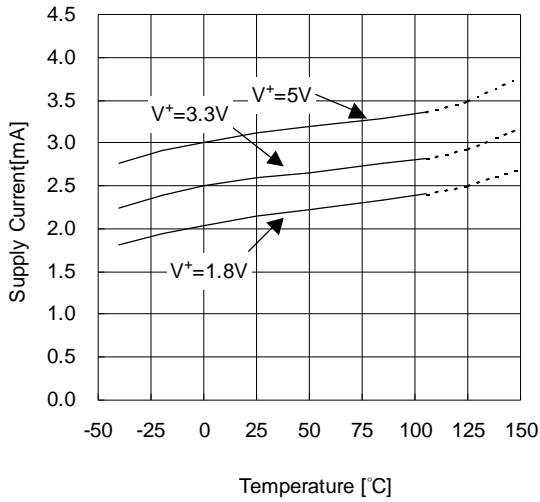
Layer4(Bottom Layer)

本動作説明については、動作原理を表しており特性、数値を保証するものではありません。設計に当たっては外付部品及び当社 IC の特性、ばらつき等考慮し、使用の際は特性の確認を行ってください。

特性例

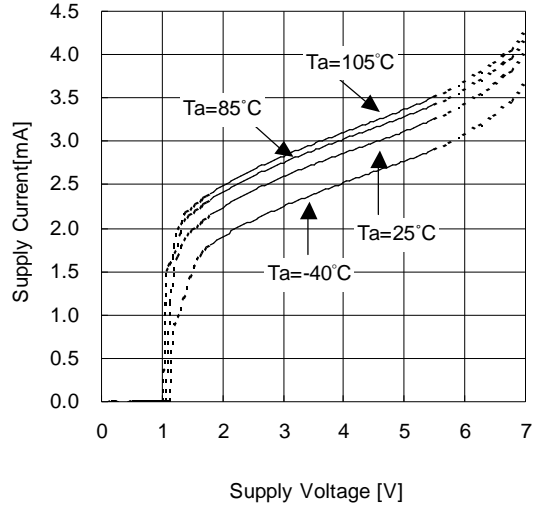
Supply Current vs Temperature

$R_L=OPEN, SD=V^+$



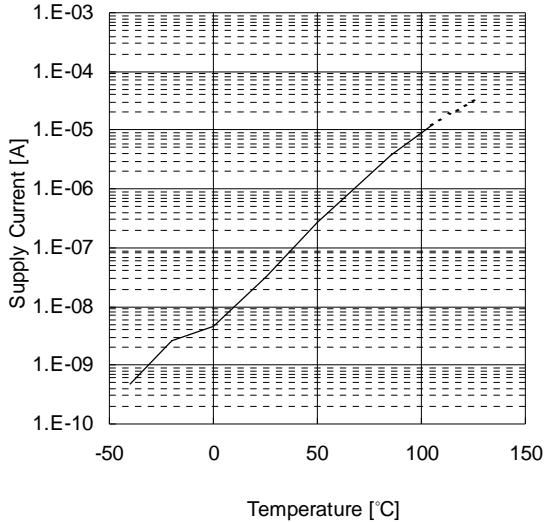
Supply Current vs Supply Voltage

$R_L=OPEN, SD=V^+, Ta=25^\circ C$



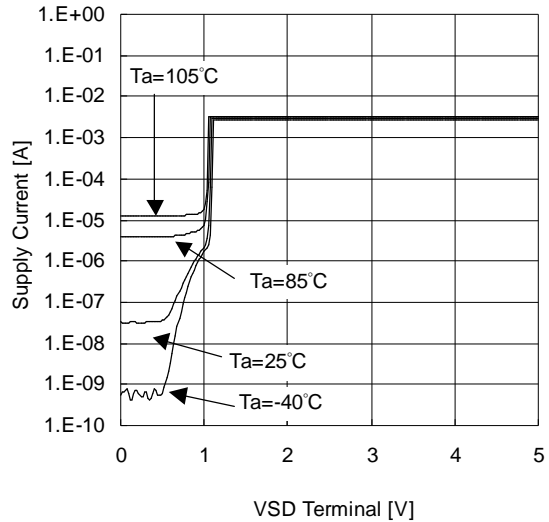
Supply Current vs Temperature [STANDBY]

$V^+=5V, R_L=OPEN, SD=0.25V$



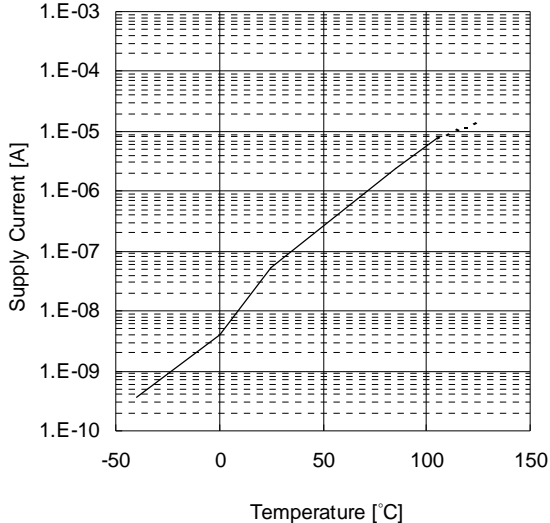
VSD Terminal vs Supply Current

$V^+=5V, R_L=OPEN, Ta=25^\circ C$



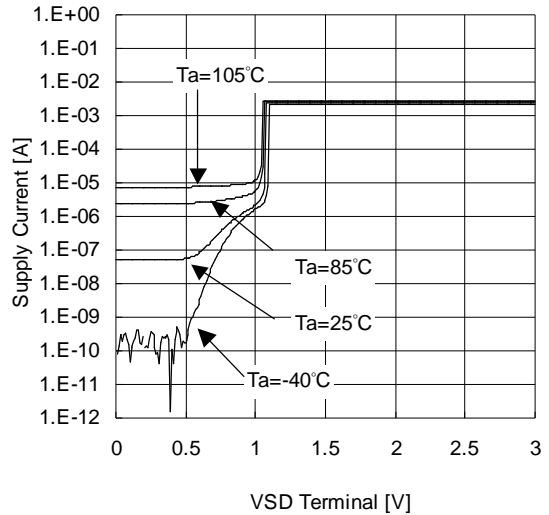
Supply Current vs Temperature [STANDBY]

$V^+=3V, R_L=OPEN, SD=0.25V$

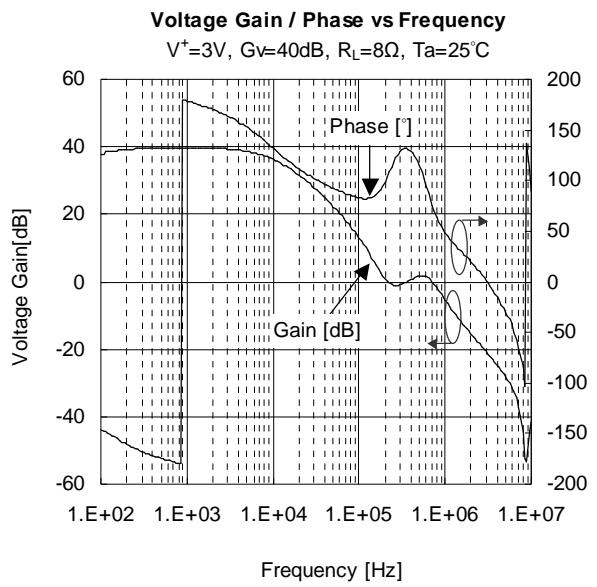
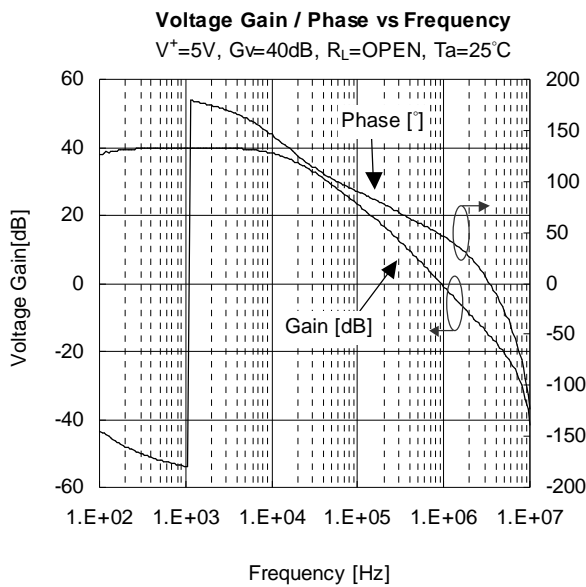
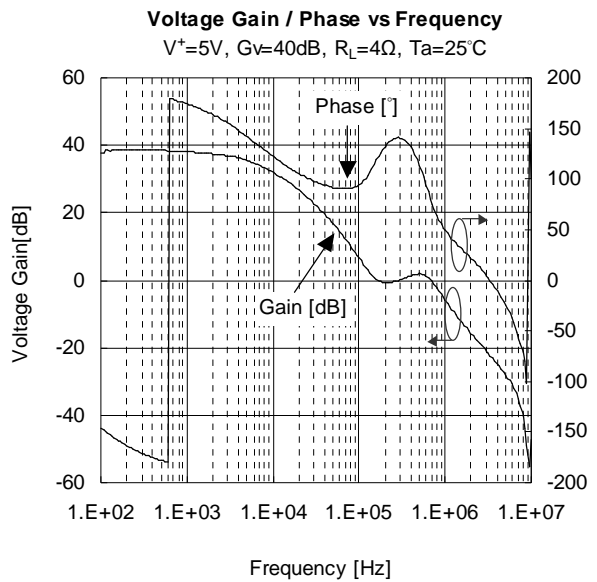
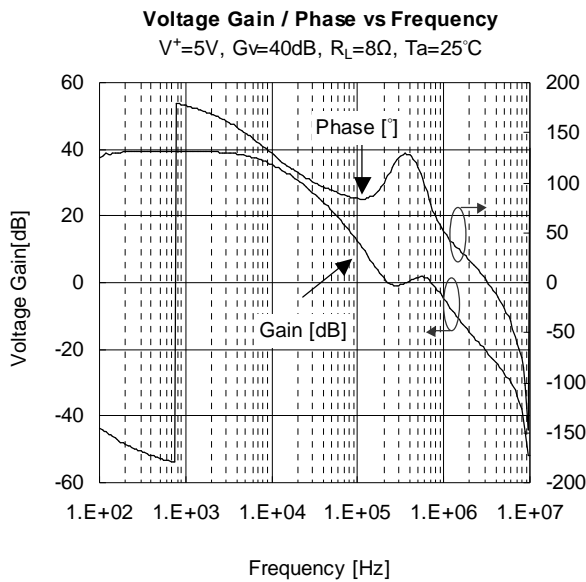
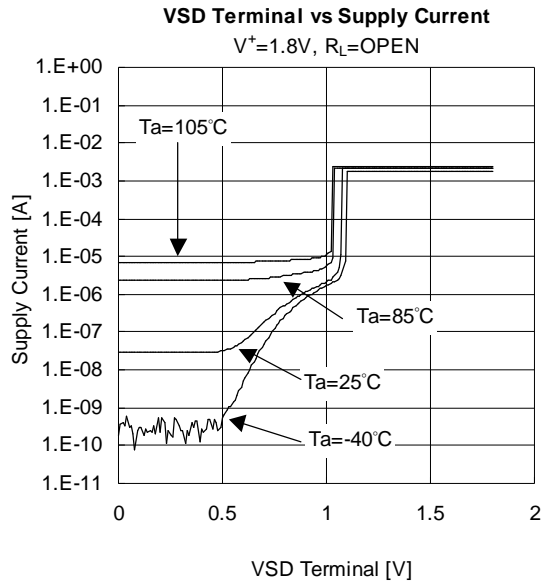
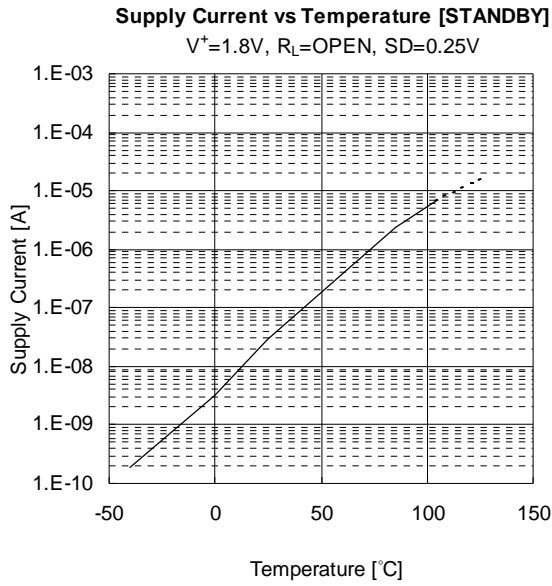


VSD Terminal vs Supply Current

$V^+=3V, R_L=OPEN$

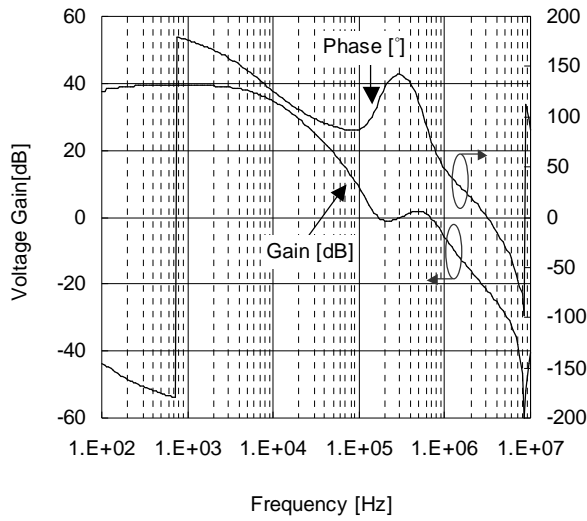


特性例

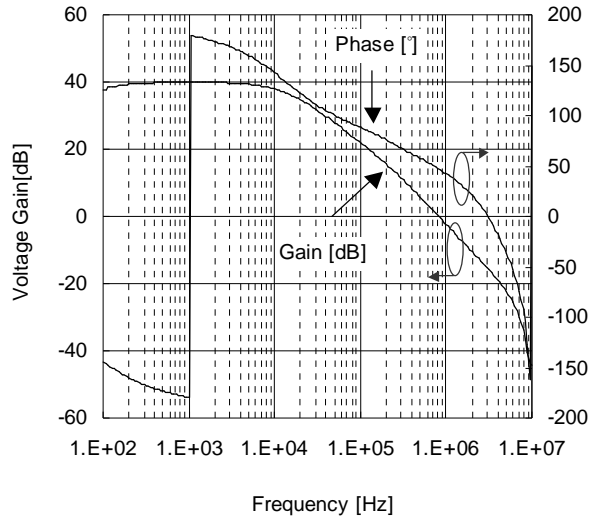


特性例

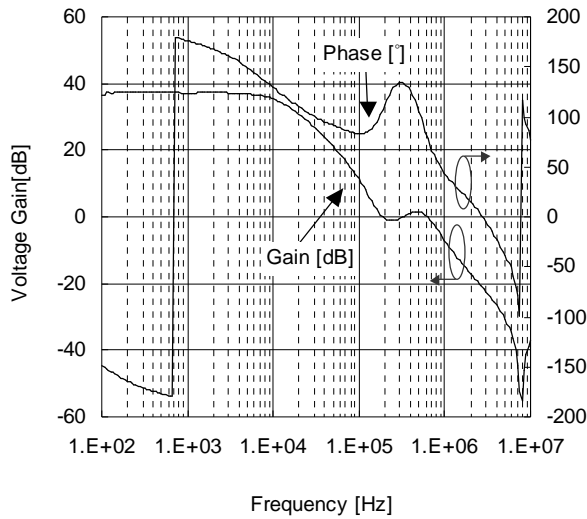
Voltage Gain / Phase vs Frequency
 $V^+=3V, G_v=40dB, R_L=4\Omega, T_a=25^\circ C$



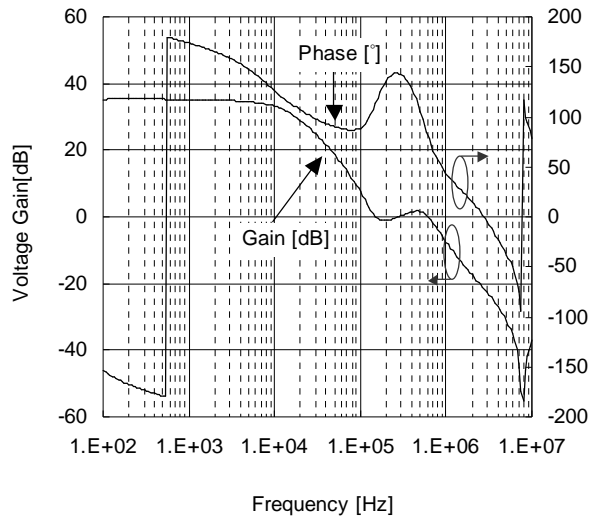
Voltage Gain / Phase vs Frequency
 $V^+=3V, G_v=40dB, R_L=OPEN, T_a=25^\circ C$



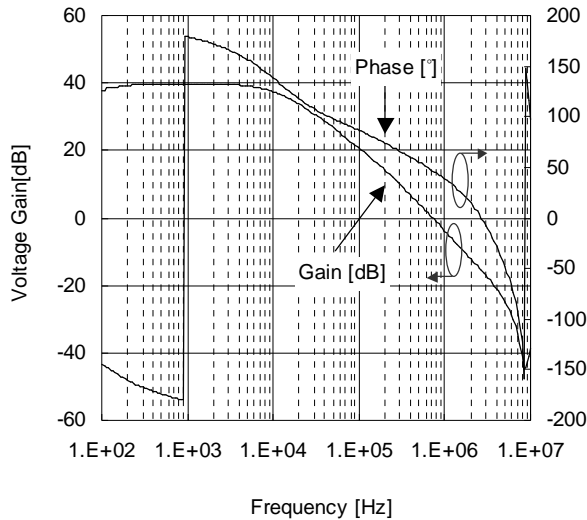
Voltage Gain / Phase vs Frequency
 $V^+=1.8V, G_v=40dB, R_L=8\Omega, T_a=25^\circ C$



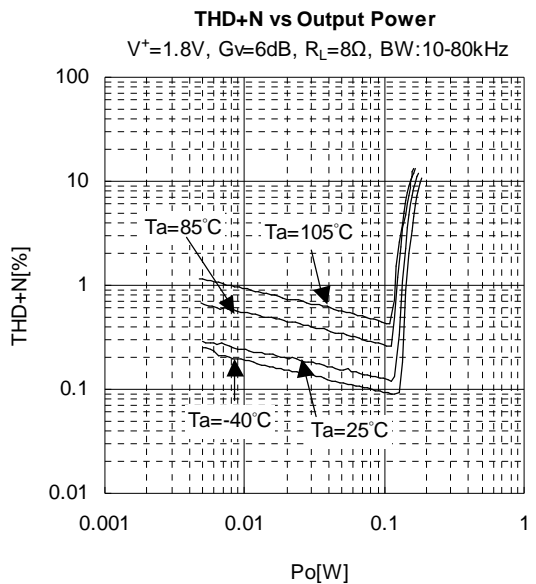
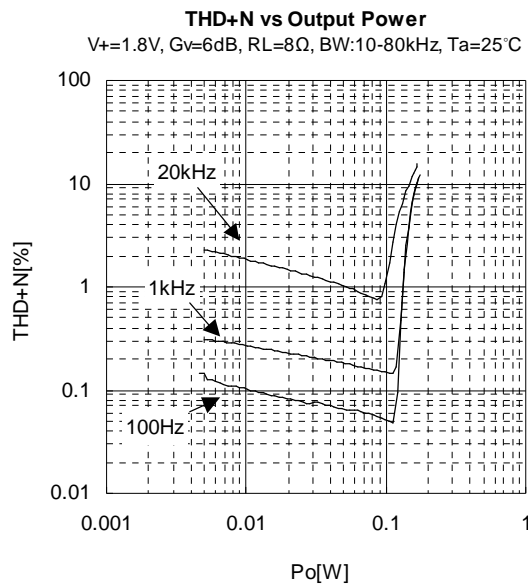
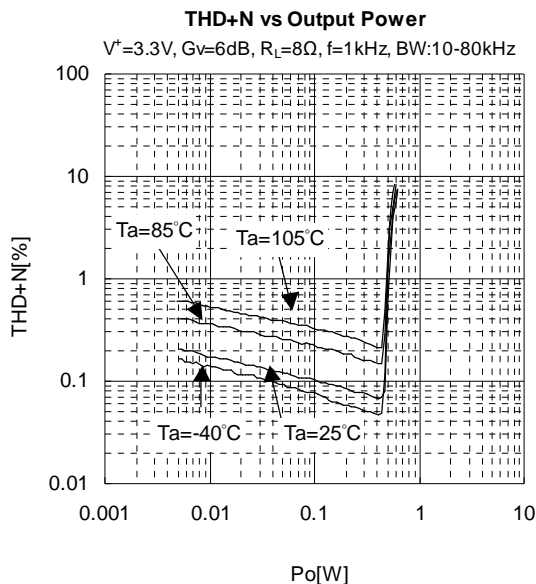
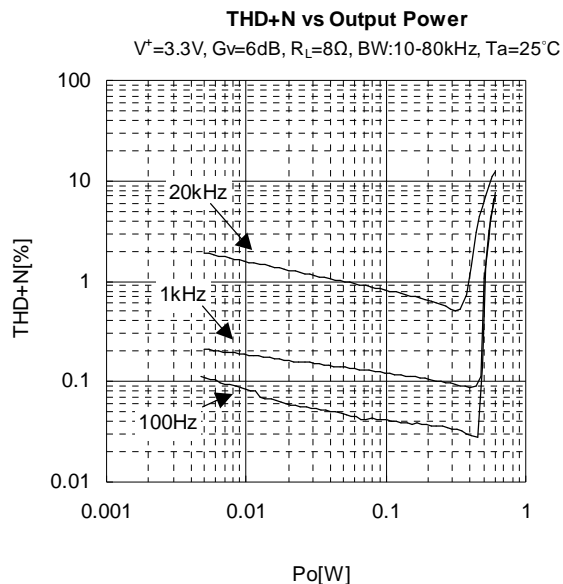
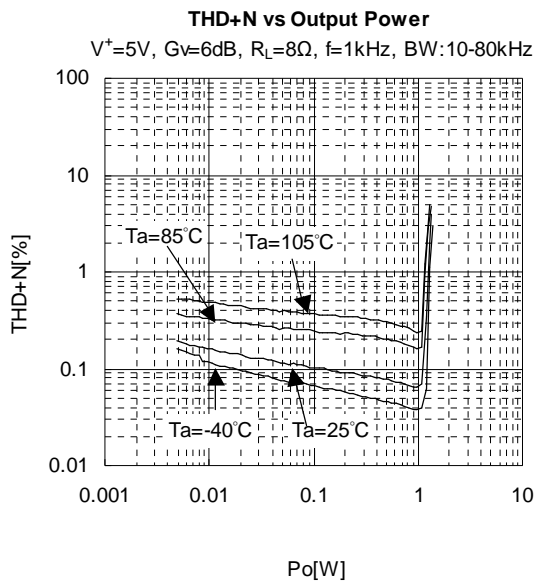
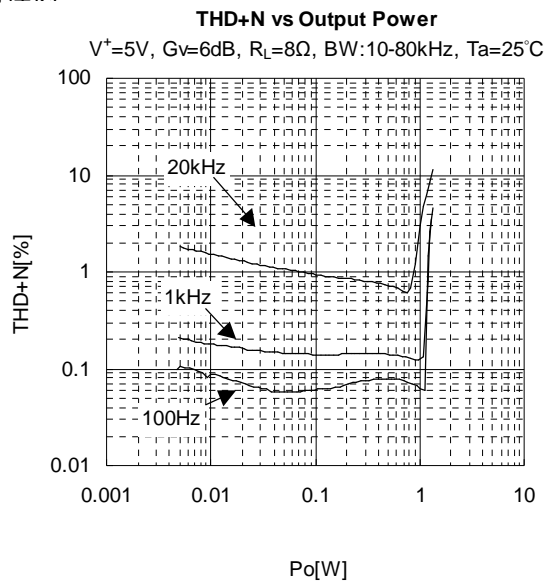
Voltage Gain / Phase vs Frequency
 $V^+=1.8V, G_v=40dB, R_L=4\Omega, T_a=25^\circ C$



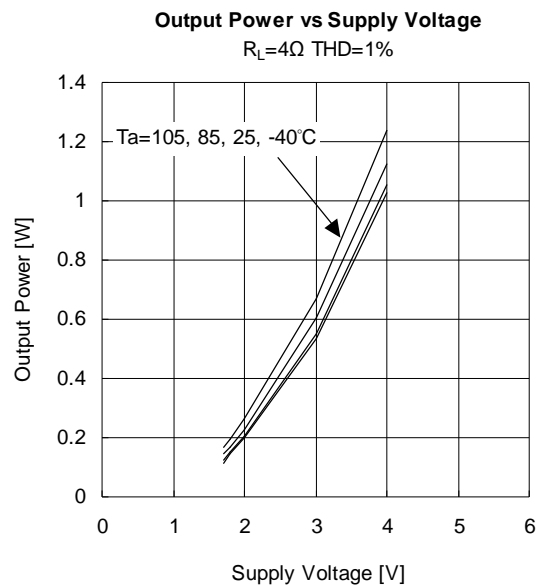
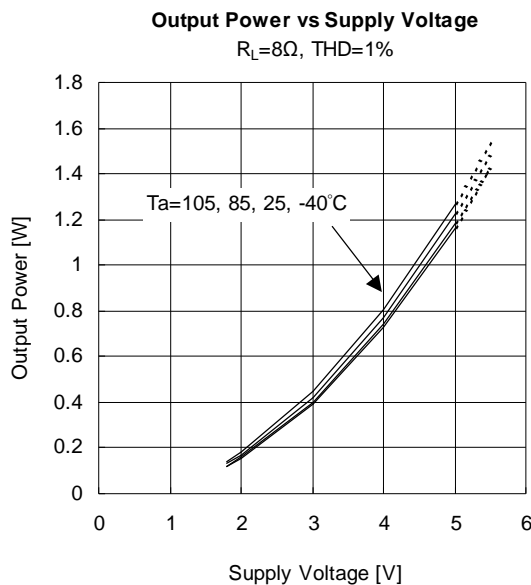
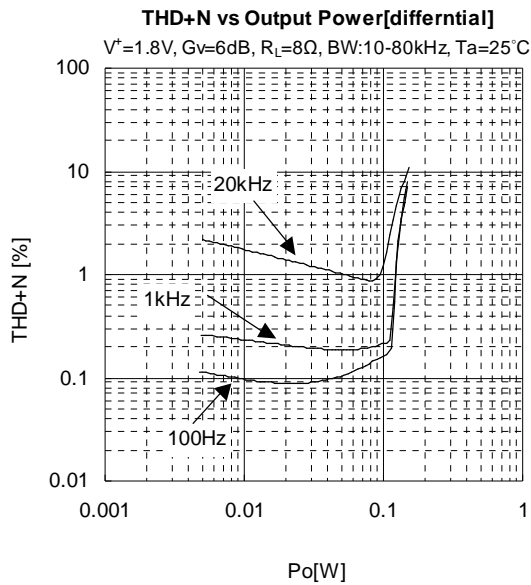
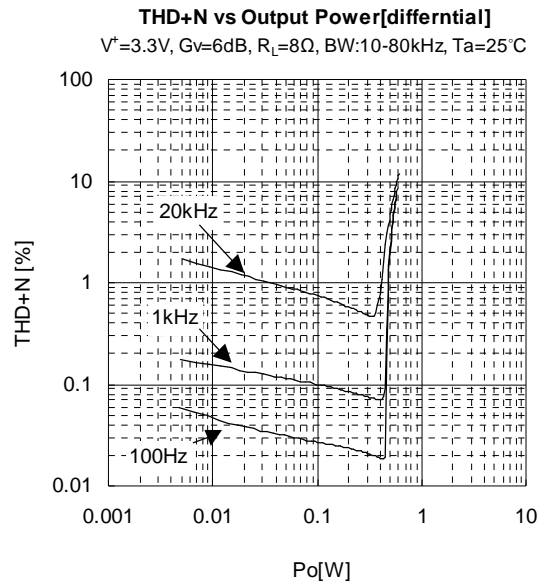
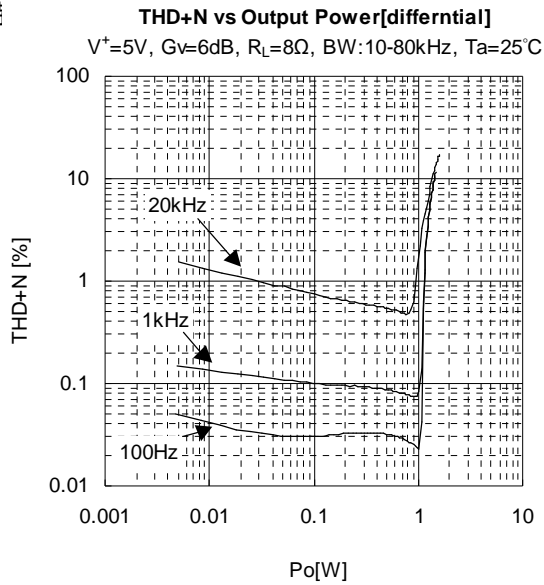
Voltage Gain / Phase vs Frequency
 $V^+=1.8V, G_v=40dB, R_L=OPEN, T_a=25^\circ C$



特性例

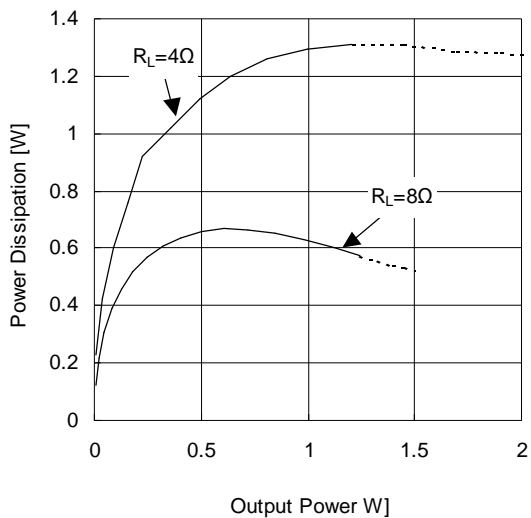


特

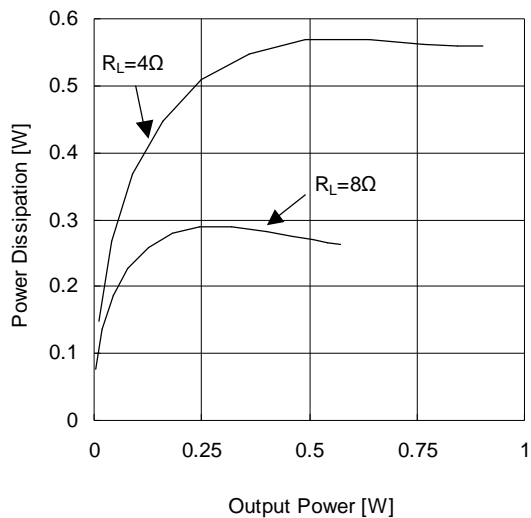


特性例

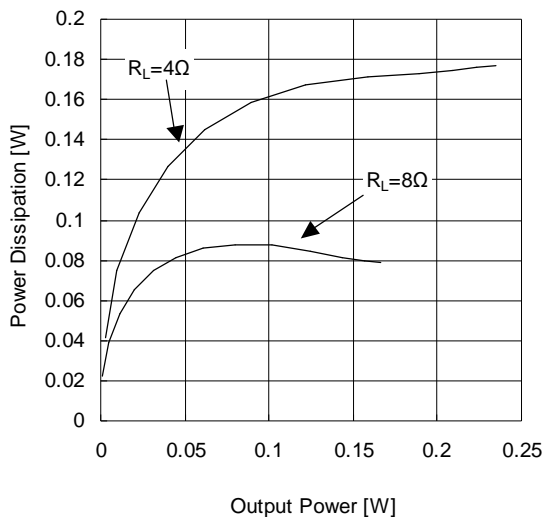
Power Dissipation vs Output Power
 $V^+ = 5V, G_v = 6dB, R_L = 4\Omega/8\Omega, BTL$



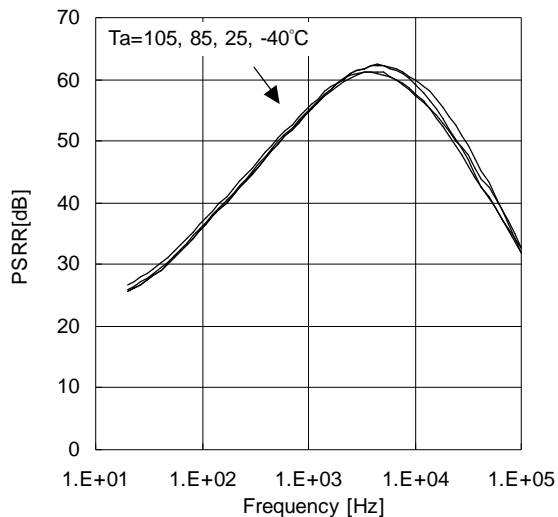
Power Dissipation vs Output Power
 $V^+ = 3.3V, G_v = 6dB, R_L = 4\Omega/8\Omega, BTL$



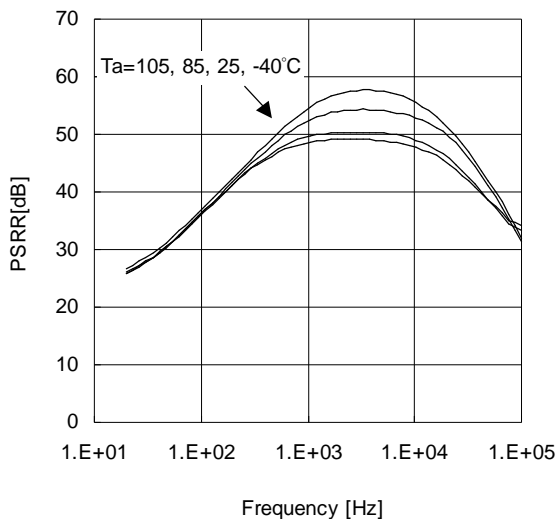
Power Dissipation vs Output Power
 $V^+ = 1.8V, G_v = 6dB, R_L = 4\Omega/8\Omega, BTL$



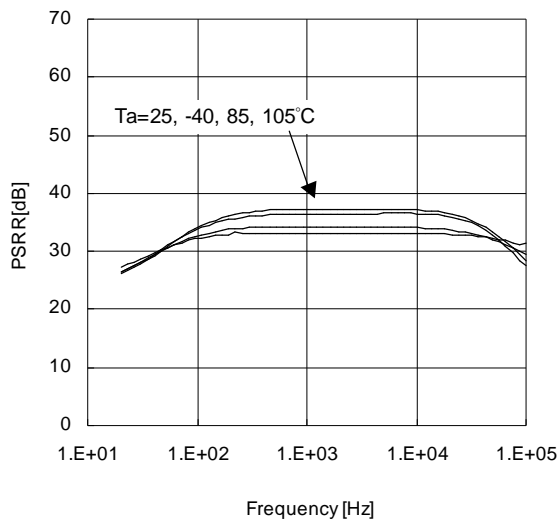
PSRR vs Frequency
 $V^+ = 5V, R_L = 8\Omega, R_{IN} = GND$



PSRR vs Frequency
 $V^+ = 3V, R_L = 8\Omega, V_{in} = GND$



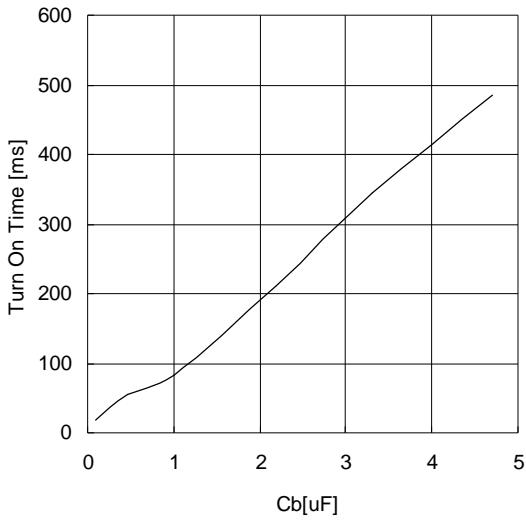
PSRR vs Frequency
 $V^+ = 1.8V, R_L = 8\Omega, V_{in} = GND$



特性例

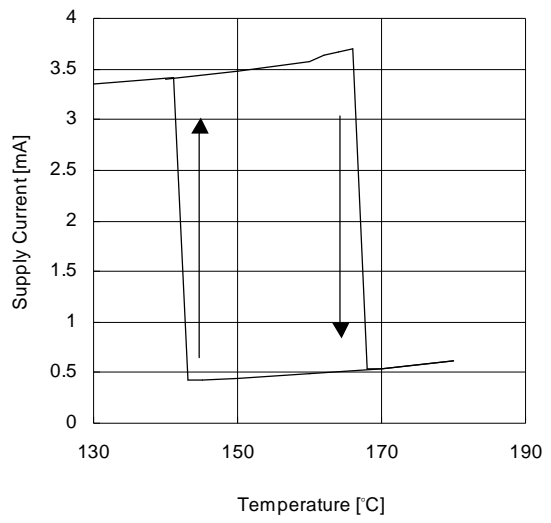
Turn On Time vs Bypass Capacitor

$V^+=5V$, $V_{in}=1V_{rms}$, $f=1kHz$, $R_L=8\Omega$, $T_a=25^\circ C$



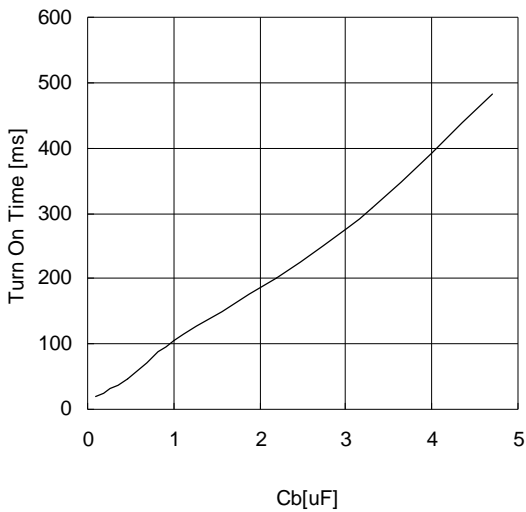
Thermal Shutdown Supply Current vs Temperature

$V^+=5V$, $R_L=OPEN$



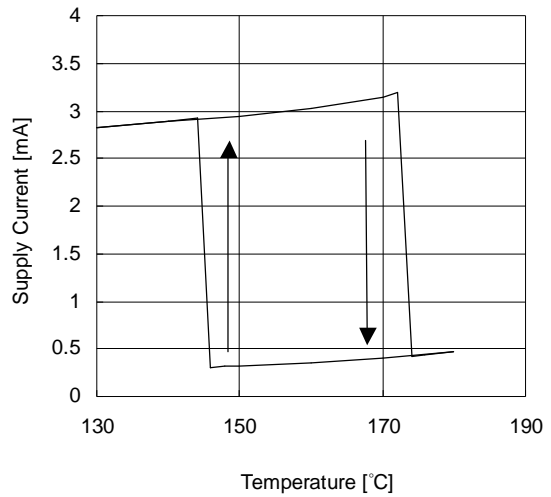
Turn On Time vs Bypass Capacitor

$V^+=3V$, $V_{in}=0.5V_{rms}$, $f=1kHz$, $R_L=8\Omega$, $T_a=25^\circ C$



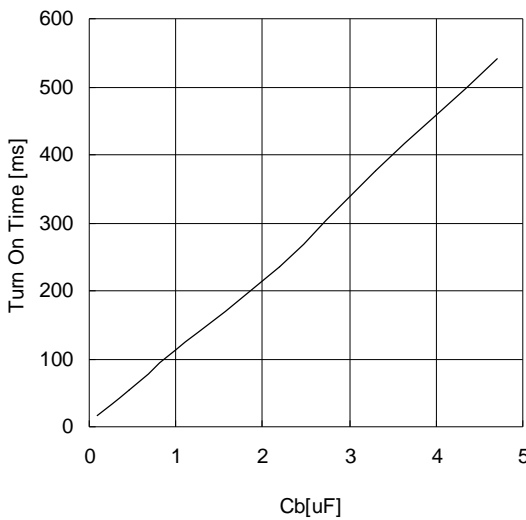
Thermal Shutdown Supply Current vs Temperature

$V^+=3V$, $R_L=OPEN$



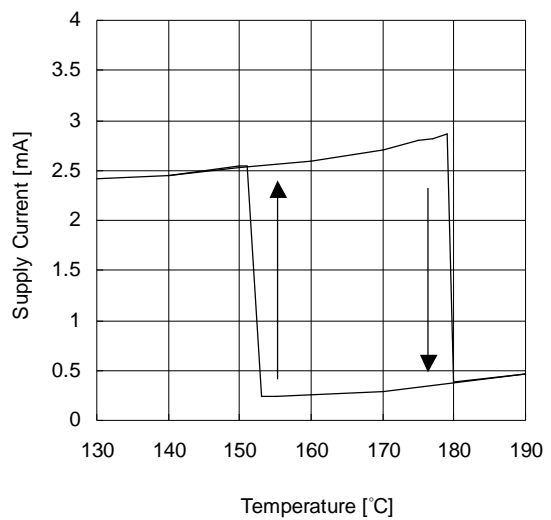
Turn On Time vs Bypass Capacitor

$V^+=1.8V$, $V_{in}=0.5V_{rms}$, $f=1kHz$, $R_L=8\Omega$, $T_a=25^\circ C$



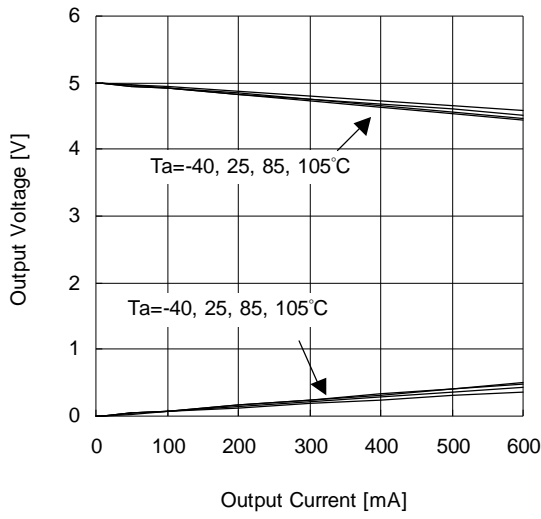
Thermal Shutdown Supply Current vs Temperature

$V^+=1.8V$, $R_L=OPEN$

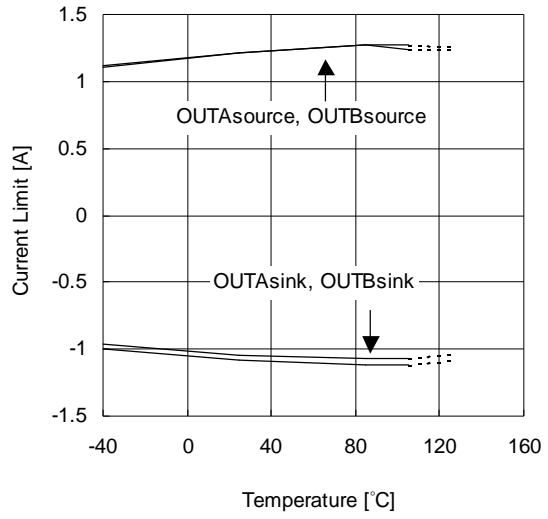


特性例

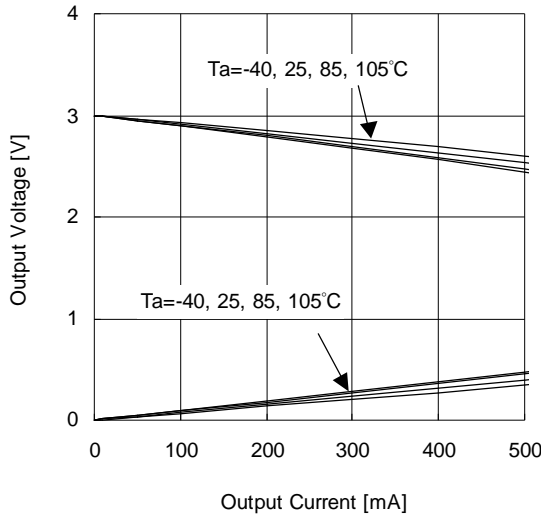
Output Voltage vs Output Current
V⁺=5V



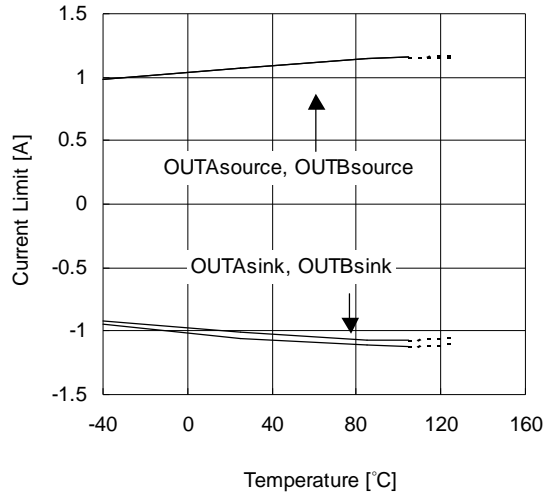
Current Limit vs Temperature
V⁺=5V



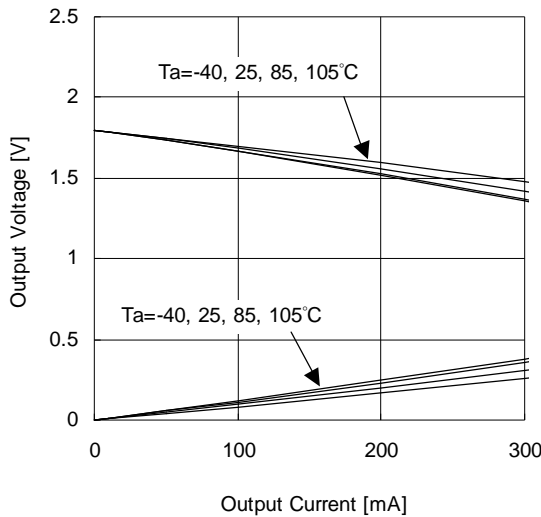
Output Voltage vs Output Current
V⁺=3V



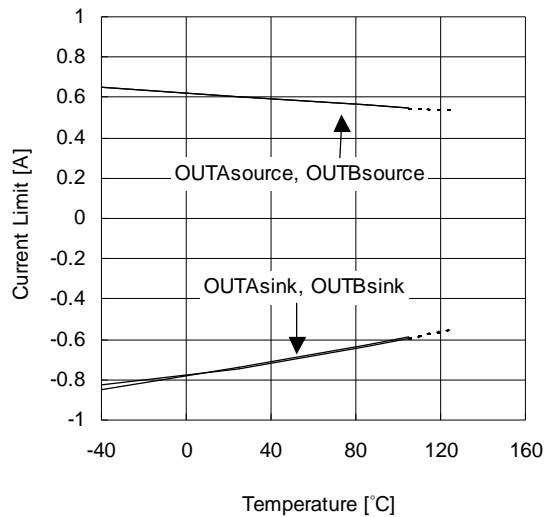
Current Limit vs Temperature
V⁺=3V



Output Voltage vs Output Current
V⁺=1.8V



Current Limit vs Temperature
V⁺=1.8V



<注意事項>

このデータブックの掲載内容の正確さには万全を期しておりますが、掲載内容について何らかの法的な保証を行うものではありません。とくに応用回路については、製品の代表的な応用例を説明するためのものです。また、工業所有権その他の権利の実施権の許諾を伴うものではなく、第三者の権利を侵害しないことを保証するものでもありません。