

10桁3行キースキャン機能付 ドットマトリックスLCDコントローラドライバ

■ 概要

NJU6627は、10桁3行のドットマトリックスLCDを1チップで駆動するLCDコントローラドライバで、ボルテージダブラ、ブリーダ抵抗、発振回路、インストラクション制御部、キャラクタジェネレータROM/RAM、キースキャン回路及び高耐圧コンセグメントドライバ等で構成されます。

ボルテージダブラ及びブリーダ抵抗は5V単一電源から約10Vの液晶駆動電圧及びハイズ電圧を内部生成しますので外部電源回路を簡略化することができるばかりでなく5V動作にもかかわらず高コントラストの表示が可能です。

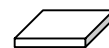
CPUとのインターフェイスは、1MHzの高速クロックによるシリアルインターフェイスを持ち、CPUと直接接続することができます。

キャラクタジェネレータROMは、7,840ビットの容量を持ち5×7ドットで224種のフォントを記憶することができます。

高耐圧コンセグメントドライバは、各々23ドライバ（文字表示用21ドライバ、マーク表示用2ドライバ）及び50ドライバで構成され、NJU6627のみで、最大10桁3行の表示が可能です。

NJU6627は更にCOMMK1、COMMK2端子を使用したマーク（固定キャラクタ）表示機能を有し、最大100種類のマークを表示することが可能となります。

■ 外形

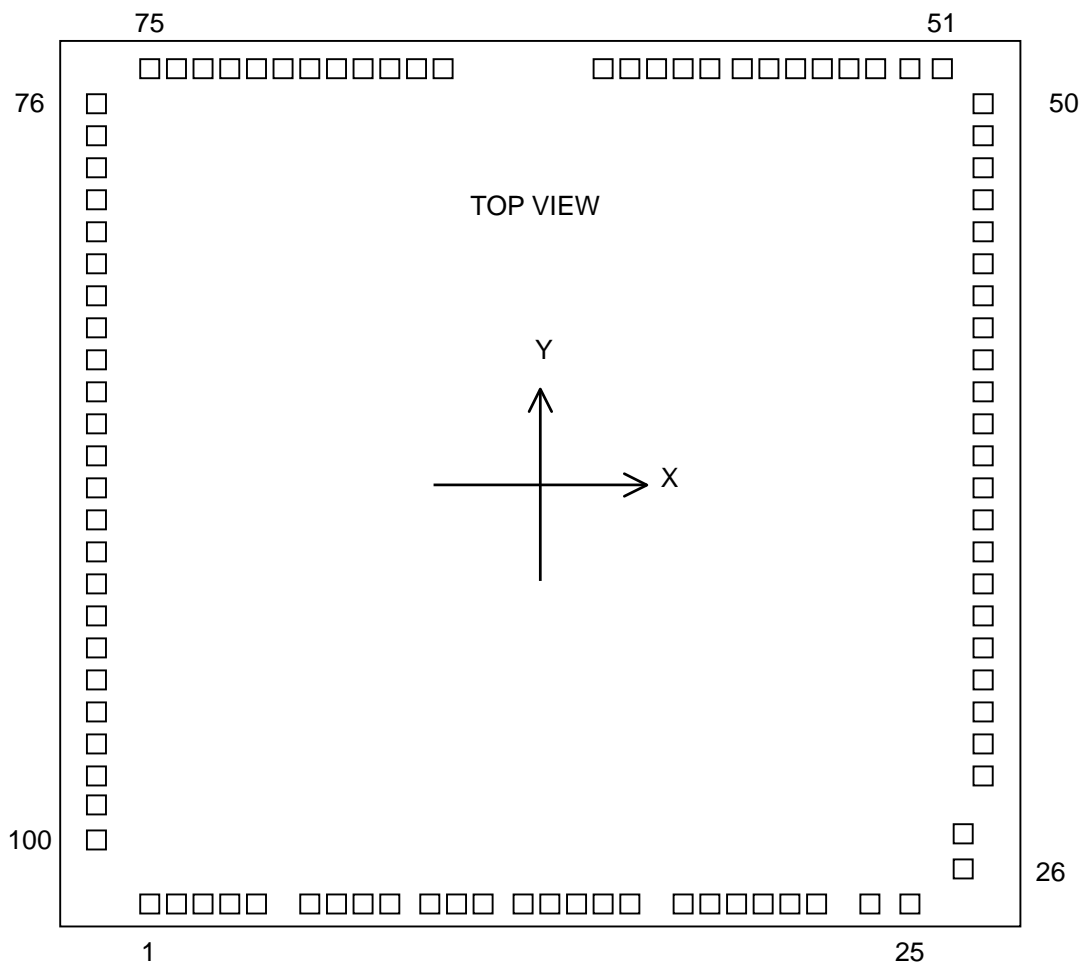


NJU6627C

■ 特長

- 10桁3行 5×7ドットマトリックス液晶表示コントローラドライバ
- マーク表示機能付き(最大100マーク)
- シリアルインターフェイス
- 表示データRAM:30×8ビット :最大10桁3行
- キャラクタジェネレータROM :7,840ビット :文字フォント5×7ドット224種
- キャラクタジェネレータRAM :1,120ビット :文字フォント5×7ドット32種
- マーク表示RAM :100ビット
- 液晶表示駆動回路内蔵 :コン信号23本/セグメント信号50本
- 3行/2行表示データ切替可能 :1/23、1/16Duty
- 豊富なインストラクションセット :表示クリア、カーソルホーム、表示オン/オフ、カーソルオン/オフ、表示文字ブリンク、カーソルシフト、表示シフトなど
- キースキャン内蔵 :4×6 :24キー
- ハードウェアリセット、パワーオンリセット回路内蔵
- 液晶駆動電圧調整回路（電子ホリウム機能内蔵:16ステップ）
- ブリーダ抵抗内蔵
- 昇圧回路内蔵(ボルテージダブラ)
- 発振回路内蔵（CR外付け）
- 動作電圧 $V_{DD} = 4.5 \sim 5.5V$ （液晶駆動電源は除く）
- 外形 ベアチップ
- CMOS構造

■ PAD 配置図



- チップセンター : X=0 μ m, Y=0 μ m
- チップサイズ : X= 4.50 mm, Y= 4.61 mm
- チップ厚 : 400 μ m \pm 25 μ m
- PAD 開口 : 90.0 μ m x 90.0 μ m
- PAD ピッチ : 134 μ m (Min.)
- サブストレート : P

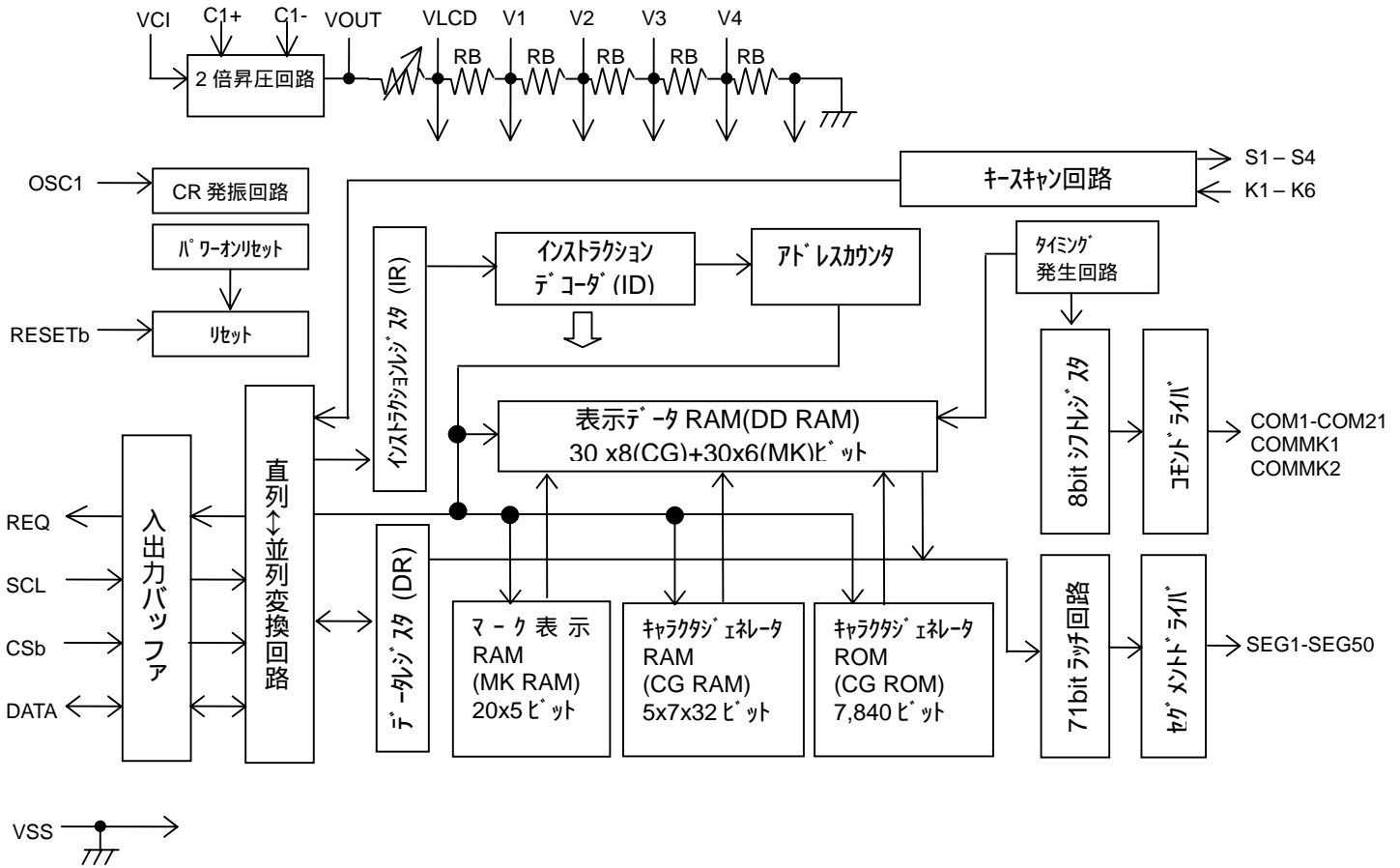
■ PAD 座標

チップサイズ 4.50 x 4.61 mm(チップセンター X=0 μ m, Y=0 μ m)

PAD No.	端子名	X= μ m	Y= μ m
1	V4	-2007.3	-2038.5
2	V3	-1862.5	-2038.5
3	V2	-1717.7	-2038.5
4	V1	-1572.9	-2038.5
5	VLCD	-1428.1	-2038.5
6	VOUT	-1158.4	-2038.5
7	C1+	-1018.4	-2038.5
8	C1-	-878.4	-2038.5
9	VCI	-738.4	-2038.5
10	VDD	-497.6	-2038.5
11	OSC1	-345.8	-2038.5
12	REQ	-204.0	-2038.5
13	DATA	-17.2	-2038.5
14	SCL	142.6	-2038.5
15	CSb	286.6	-2038.5
16	RESEtb	430.6	-2038.5
17	VSS	596.8	-2038.5
18	K1	817.4	-2038.5
19	K2	951.4	-2038.5
20	K3	1098.6	-2038.5
21	K4	1232.6	-2038.5
22	K5	1379.8	-2038.5
23	K6	1513.8	-2038.5
24	S1	1743.2	-2038.5
25	S2	1923.2	-2038.5
26	S3	1978.6	-1656.2
27	S4	1978.6	-1476.2
28	COMMK1	2088.0	-1205.0
29	COM8	2088.0	-1060.0
30	COM9	2088.0	-915.0
31	COM10	2088.0	-770.0
32	COM11	2088.0	-625.0
33	COM12	2088.0	-480.0
34	COM13	2088.0	-335.0
35	COM14	2088.0	-191.0
36	SEG1	2088.0	-45.0
37	SEG2	2088.0	100.0
38	SEG3	2088.0	245.0
39	SEG4	2088.0	390.0
40	SEG5	2088.0	535.0
41	SEG6	2088.0	680.0
42	SEG7	2088.0	825.0
43	SEG8	2088.0	970.0
44	SEG9	2088.0	1115.0
45	SEG10	2088.0	1260.0
46	SEG11	2088.0	1405.0
47	SEG12	2088.0	1550.0
48	SEG13	2088.0	1695.0
49	SEG14	2088.0	1840.0
50	SEG15	2088.0	1985.0

PAD No.	端子名	X= μ m	Y= μ m
51	SEG16	1930.0	2143.0
52	SEG17	1785.0	2143.0
53	SEG18	1640.0	2143.0
54	SEG19	1495.0	2143.0
55	SEG20	1350.0	2143.0
56	SEG21	1205.0	2143.0
57	SEG22	1060.0	2143.0
58	SEG23	915.0	2143.0
59	SEG24	770.0	2143.0
60	SEG25	625.0	2143.0
61	SEG26	480.0	2143.0
62	SEG27	335.0	2143.0
63	SEG28	190.0	2143.0
64	SEG29	-335.0	2143.0
65	SEG30	-480.0	2143.0
66	SEG31	-625.0	2143.0
67	SEG32	-770.0	2143.0
68	SEG33	-915.0	2143.0
69	SEG34	-1060.0	2143.0
70	SEG35	-1205.0	2143.0
71	SEG36	-1350.0	2143.0
72	SEG37	-1495.0	2143.0
73	SEG38	-1640.0	2143.0
74	SEG39	-1785.0	2143.0
75	SEG40	-1930.0	2143.0
76	SEG41	-2088.0	1999.0
77	SEG42	-2088.0	1854.0
78	SEG43	-2088.0	1709.0
79	SEG44	-2088.0	1564.0
80	SEG45	-2088.0	1419.0
81	SEG46	-2088.0	1274.0
82	SEG47	-2088.0	1129.0
83	SEG48	-2088.0	984.0
84	SEG49	-2088.0	839.0
85	SEG50	-2088.0	694.0
86	COMMK2	-2088.0	549.0
87	COM21	-2088.0	404.0
88	COM20	-2088.0	259.0
89	COM19	-2088.0	114.0
90	COM18	-2088.0	-31.0
91	COM17	-2088.0	-176.0
92	COM16	-2088.0	-321.0
93	COM15	-2088.0	-466.0
94	COM7	-2088.0	-611.0
95	COM6	-2088.0	-756.0
96	COM5	-2088.0	-901.0
97	COM4	-2088.0	-1046.0
98	COM3	-2088.0	-1191.0
99	COM2	-2088.0	-1336.0
100	COM1	-2088.0	-1481.0

■ ブロック図



端子説明

No.	記号	入出力	説明
10 17	VDD VSS	-	電源 : VDD=+5V, GND : VSS=0V
9	VCI	入力	昇圧電源入力端子
6	VOUT	出力	昇圧出力端子
5 4 3 2 1	VLCD V1 V2 V3 V4	入力	液晶駆動用電源端子 各端子とVSS間にコンデンサを接続して下さい。 参考値 :0.1uF
7 8	C1+ C1-		昇圧用コンデンサ接続端子
11	OSC1	入力	発振用抵抗接続端子 / 外部クロック入力端子
15	CSb	入力	チップセレクト端子
14	SCL	入力	シリアルクロック入力端子
13	DATA	入出力	データ入出力端子
16	RESETb	入力	リセット端子 システム全体を初期化する為の信号です。 この端子に900us以上の"LOW"レベルを加える事により、システム全体がリセットされます。(f _{osc} =200KHz)
12	REQ	出力	キーリクエスト端子 キーが押されると"High"が出力されます。
18-23	K1-K6	入力	キースキャン入力端子
24-27	S1-S4	出力	キースキャン出力端子
36-85	SEG1-SEG50	出力	セグメント出力端子
94-100 29-35 87-93	COM1-COM21	出力	コモン出力端子
28 86	COMMK1 COMMK2	出力	マーク用コモン出力端子

■ 機能説明

(1) 各ブロック説明

(1-1) レジスタ

NJU6627 には、インストラクションレジスタ(IR)とデータレジスタ(DR)の2本の8ビットレジスタがあります。

IR は表示クリア等のインストラクションコードや表示データ RAM(DD RAM)、キャラクタメモリ RAM(CG RAM)、マーク表示 RAM(MK RAM)のアドレス情報を記憶する為のレジスタです。

DR は DD RAM、CG RAM、MK RAM へ書込むデータの一時記憶に使用されるレジスタです。CPU から DR に書込まれたデータは、内部動作により自動的に、DD RAM、CG RAM、MK RAM に書込まれます。

(1-2) アドレスカウンタ(AC)

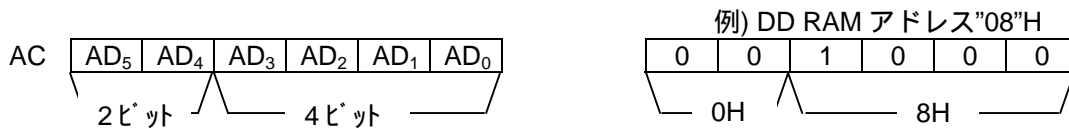
アドレスカウンタ(AC)は、DD RAM、CG RAM または MK RAM のアドレスを与えるカウンタです。IR にアドレス設定のインストラクションを書込むと、IR から AC へアドレス情報が転送されます。DD RAM、CG RAM または MK RAM のいずれかを選択するかは RAM のアドレスにより決定されます。

DD RAM、CG RAM または MK RAM に表示データを書込んだ後、アドレスカウンタ(AC)は自動的に+1(または-1)されます。

(1-3) 表示データ RAM(DD RAM)

表示データ RAM(DD RAM)は、8ビットの文字コードで表される表示データを記憶する RAM です。容量は、30×8ビットで30文字分記憶できます。

DD RAM のアドレスと液晶表示上の表示位置は、下記の対応関係があります。アドレスカウンタ(AC)にセットされる DD RAM のアドレス(ADD)を、16進で表します。



(1-3-1) DD RAM のアドレスと液晶表示上の表示位置の対応

1	2	3	4	5	6	7	8	9	10	← 表示位置
00	01	02	03	04	05	06	07	08	09	← DD RAM アドレス(16進)
10	11	12	13	14	15	16	17	18	19	
20	21	22	23	24	25	26	27	28	29	

表示シフト動作を行わせると DD RAM が下図のように移動します。

左シフト

(00) ←	01	02	03	04	05	06	07	08	09	00
(10) ←	11	12	13	14	15	16	17	18	19	10
(20) ←	21	22	23	24	25	26	27	28	29	20

右シフト

	09	00	01	02	03	04	05	06	07	08	→(09)
	19	10	11	12	13	14	15	16	17	18	→(19)
	29	20	21	22	23	24	25	26	27	28	→(29)

(1-4) キャラクタメモリ ROM (CG ROM)

キャラクタメモリ ROM(CG ROM)は、8ビットの文字コードから5×7ドットの文字パターンを発生する ROM です。ROM には224種類の5×7ドットの文字パターンが内蔵されています。**NJU6627** の文字コードと文字パターンとの対応は表1に示す通りです。尚、1-ザ-希望の文字パターンへの ROM 変更も受け付けます。(この場合でも、アドレス(20)_Hはスペルパターンとして下さい。)

表 1 文字コードと文字パターンとの対応表 (ROMバージョン02)

		UPPER 4bit(HEX)																
		0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F	
LOWER 4bit(HEX)	0	CG RAM (01)	(17)															
	1	(02)	(18)															
	2	(03)	(19)															
	3	(04)	(20)															
	4	(05)	(21)															
	5	(06)	(22)															
	6	(07)	(23)															
	7	(08)	(24)															
	8	(09)	(25)															
	9	(10)	(26)															
	A	(11)	(27)															
	B	(12)	(28)															
	C	(13)	(29)															
	D	(14)	(30)															
	E	(15)	(31)															
	F	(16)	(32)															

表2 文字コードと文字パターンとの対応表 (ROMバージョン03)

		UPPER 4bit(HEX)																
		0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F	
LOWER 4bit(HEX)	0	CG RAM (01)	(17)															
	1	(02)	(18)															
	2	(03)	(19)															
	3	(04)	(20)															
	4	(05)	(21)															
	5	(06)	(22)															
	6	(07)	(23)															
	7	(08)	(24)															
	8	(09)	(25)															
	9	(10)	(26)															
	A	(11)	(27)															
	B	(12)	(28)															
	C	(13)	(29)															
	D	(14)	(30)															
	E	(15)	(31)															
	F	(16)	(32)															

(1-5) キャラクタ・エレクタ RAM (CG RAM)

キャラクタ・エレクタ RAM (CG RAM) は、ユーザがプログラムで自由に文字パターンを書換えられる RAM です。
5×7ドットの文字を 32 文字分を書き込む事ができます。

CG RAM に記憶されている文字パターンを表示する時は、表 1 の文字コード (00)_H ~ (1F)_H を DD RAM に書き込んで下さい。

CG RAM アドレスとデータ及び表示されるパターンとの関係について、表 2 に示します。

表 2 CG RAM アドレスと文字コード (DD RAM) 及び文字パターン (CG RAM のデータ) との関係

文字コード (DD RAM データ)	CG RAM アドレス		文字パターン (CG RAM データ)	
7 6 5 4 3 2 1 0 ← 上位ビット 下位ビット →	7 6 5 4 3 2 1 0 ← 上位 下位 →		4 3 2 1 0 ← 上位 下位 →	
0 0 0 0 0 0 0 0	0 0 0 0 0	0 0 0 0 0 1 0 1 0 0 1 1 1 0 0 1 0 1 1 1 0 1 1 1	1 1 1 1 0 1 0 0 0 1 1 0 0 0 1 1 1 1 1 0 1 0 1 0 0 1 0 0 1 0 1 0 0 0 1 * * * * *	文字パターン(1)
0 0 0 0 0 0 0 1	0 0 0 0 1	0 0 0 0 0 1 0 1 0 0 1 1 1 0 0 1 0 1 1 1 0 1 1 1	1 0 0 0 1 0 1 0 1 0 1 1 1 1 1 0 0 1 0 0 1 1 1 1 1 0 0 1 0 0 0 0 1 0 0 * * * * *	文字パターン(2)
⋮	⋮	⋮	⋮	
0 0 0 1 1 1 1 1	1 1 1 1 1	0 0 0 0 0 1 0 1 0 0 1 1 1 0 0 1 0 1 1 1 0 1 1 1		文字パターン(32)

* 無効 (Don't Care)

- 注) 1. 文字コードビット 0~4 と CG RAM アドレスビット 3~7 が対応します。(5ビット:32種)
 2. CG RAM アドレスビット 0~2 が、文字パターンの行位置を指定します。8 行目の * 印は無効ビットです。
 CG RAM データを連続して入力する場合には、無効アドレスは自動的に飛ばされます。
 3. 文字パターンの列位置は CG RAM データビット 0~4 と対応し、図示の位置関係(ビット 4 が左端)となります。
 4. 表 1,2 に示した様に CG RAM の文字パターンは文字コードビット 5~7 がすべて "0" で選ばれます。
 5. CG RAM データ "1" が表示上の選択, "0" が非選択に対応します。

(1-6) マーク表示 RAM(MK RAM)

マーク表示 RAM(MK RAM)は、最大 100 個のマーク表示をコントロールする RAM です。
 マーク表示データは、パターンデータを書き込むことにより表示のかわができます。
 MK RAM アドレスとデータ及び表示されるパターンとの関係について表 3 に示します。

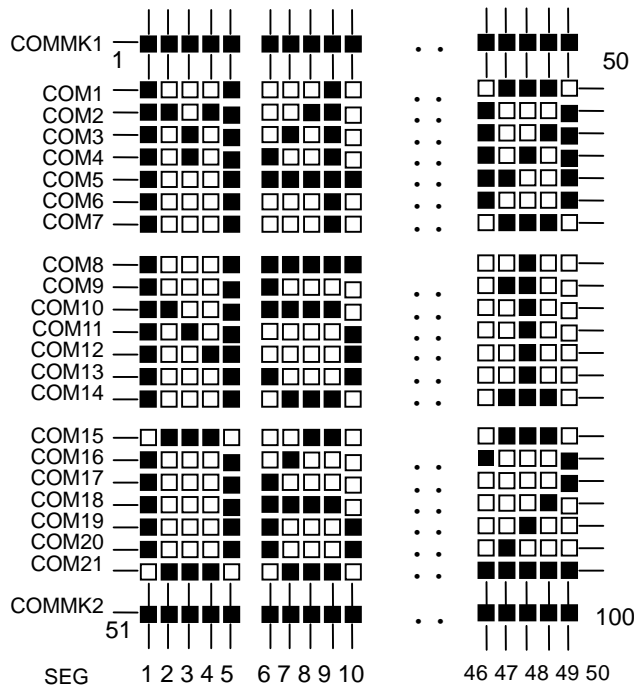


表 3 MK RAM アドレスとマーク表示対応ビット表

MK RAM アドレス (40 _H ~ 53 _H)		マーク表示対応ビット							
		D ₇	D ₆	D ₅	D ₄	D ₃	D ₂	D ₁	D ₀
100 0000	40 _H	0	0	0	"1"	"2"	"3"	"4"	"5"
100 0001	41 _H	0	0	0	"6"	"7"	"8"	"9"	"10"
100 0010	42 _H	0	0	0	"11"	"12"	"13"	"14"	"15"
100 0011	43 _H	0	0	0	"16"	"17"	"18"	"19"	"20"
⋮	⋮	⋮							
101 0011	53 _H	0	0	0	"96"	"97"	"98"	"99"	"100"

注) 電源投入後、及びハードウェアリセット後は、MK RAM の内容は初期化されません。マーク表示機能を使用する場合は表示のかわする前にソフトウェアにて MK RAM の内容を設定して下さい。
 マーク表示は表示シートのイラストレーションに依存しないので、表示シートを実行してもマーク表示はシートしません。

(1-7) タイミング発生回路

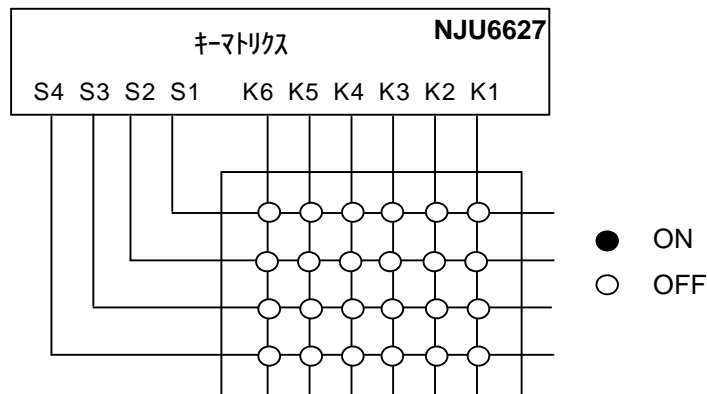
タイミング発生回路は、DD RAM,CG RAM,MK RAM,CG ROM などの内部回路を動作させる為のタイミング信号を発生させます。表示に必要な RAM などの読出しタイミングと CPU からのアクセスによる内部動作タイミングとが別々に出され、互いに干渉しないようになっています。
 このため、例えば DD RAM ヘッドデータを書き込むとき、その書込まれたところの表示部以外にちらつきなどの悪影響をおよぼすことはありません。

(1-8) 液晶表示ドライバ回路

液晶表示ドライバ回路は、23 本のモト信号ドライバと 50 本のセグメント信号ドライバから構成されています。
 文字パターンデータはセグメントレジスタに送られ、必要なデータがそろったところでラッチされます。このラッチされたデータがドライバを制御し駆動波形を出力します。

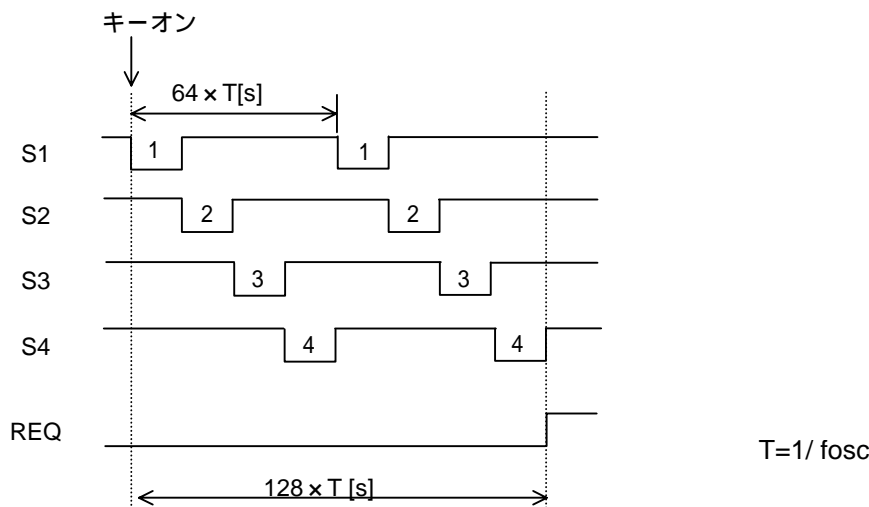
(1-9) キースキャン回路

キースキャンはキー押しの検出部と取り込み部から構成されています。キースキャンは 4×6 のキーマトリクスに対応しており、24keyのキー入力に対応します。また、複数キーの多重押しに対応しています。



(1-9-1) キースキャンタイミング

キースキャン周期は、 $64 \times T[s]$ ($T=1/fosc$) であり、確実なキーのオン/オフを判定するためにキースキャンを 2 回実行することでキーデータの一致を検出しています。2 回のキーデータが一致した場合、キー入力有りとして判断し、キースキャン実行開始から $128 \times T[s]$ 後に、CPU に対してキーデータ読み取り要求として、REQ 端子に "H" が出力されます。また、キーデータが一致しなかった場合は、再びキースキャンを実施します。



(1-9-2) リクエスト出力

いずれかのキーが押されると、内部で自動的にキースキャンが開始され、キー入力が有りとして判断された場合、リクエスト信号として REQ 端子に "H" を出力し、キーが押されたことをアプリケーションに伝えます。リクエスト信号は、押されたキーに対応するレジスタのデータをすべて読み出された時点で "L" を出力します。

(1-9-3) キーレジスタの内容の更新

REQ 端子が "L" の場合のキーレジスタの内容は不定です。リクエスト信号が "L" の間は読み出しを行わないでください。

REQ 端子に "H" が出力されると、キーレジスタのデータを読み取るまで次のキースキャンは行われず、レジスタのデータは保持されます。キーレジスタ読み出し中はレジスタの内容は変化しません。

キーマトリクス上のスイッチが押されると、そのスイッチが接続されている端子 (S1 ~ S4、K1 ~ K6) に対応するレジスタのビットが "1" にそれ以外のビットは "0" になります。例 1 のように S3 と K2 に接続されているスイッチが押された場合、S3 ラインの K2 に相当するレジスタのビット (D1) が "1" になり、それ以外のビットは "0" になります。

(1-9-6) キースキャン手順

キースキャンは以下の手順で行われます。

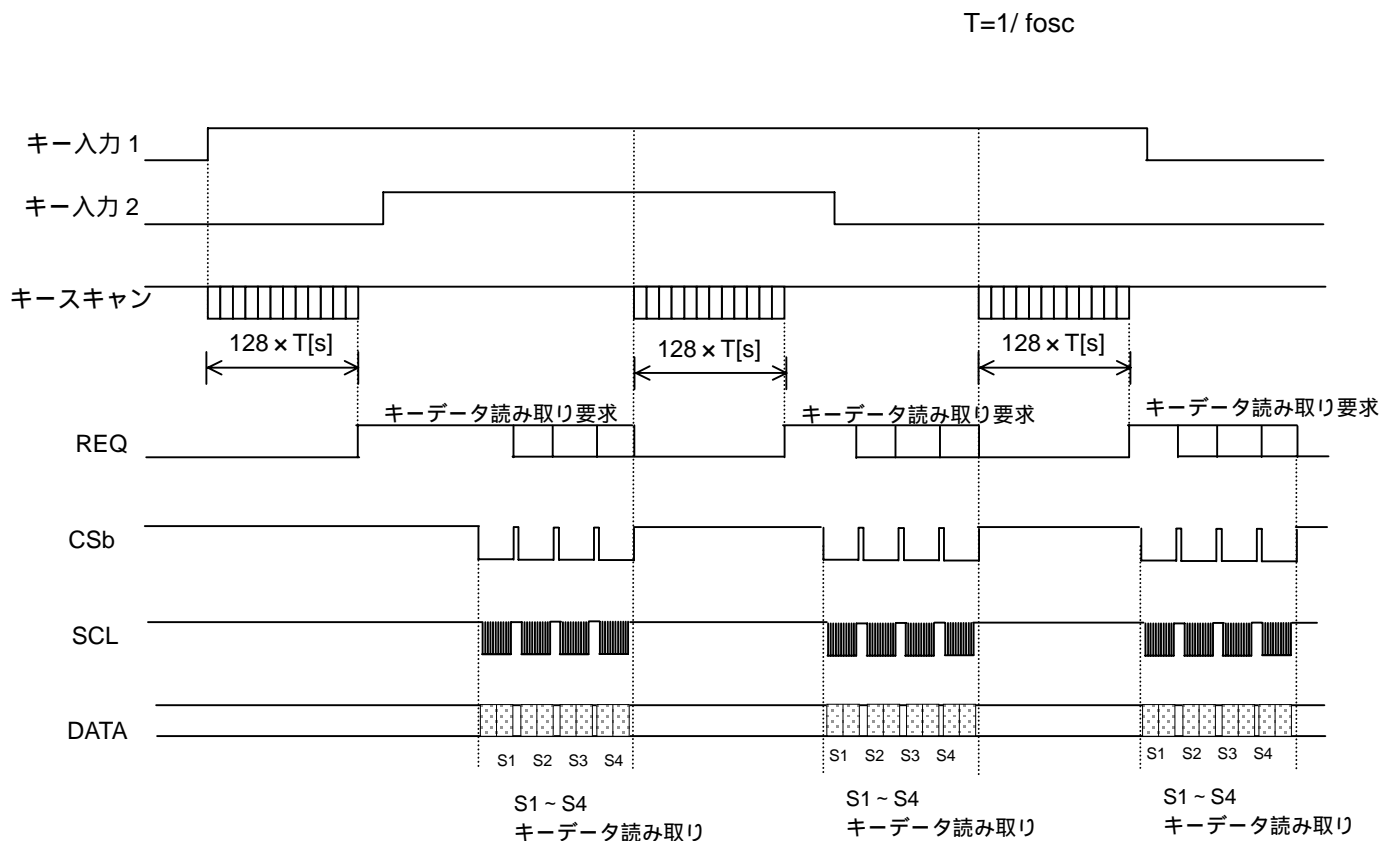
通常（キースキャンが行われていない場合）キースキャン用信号出力端子 S1～S4 は、“L” を出力しています。キースキャン用入力端子 K1～K6 は、内蔵のプルアップ抵抗により “H” になっています。

キースキャンが押されると、いずれかの K1～K6 端子入力が “L” になり、キースキャンを開始します。キースキャンは(1-9-1)で示した様に 2 回行い、2 回のデータが一致した場合に、キースキャンが有りであると判断し、キースキャンを停止します。キースキャンデータが一致しなかった場合は、再度 2 回キースキャンを行います。この動作をキースキャンデータが確定するまで続けます。キースキャンデータが確定すると次のキースキャンは行われず、データは保持されます。

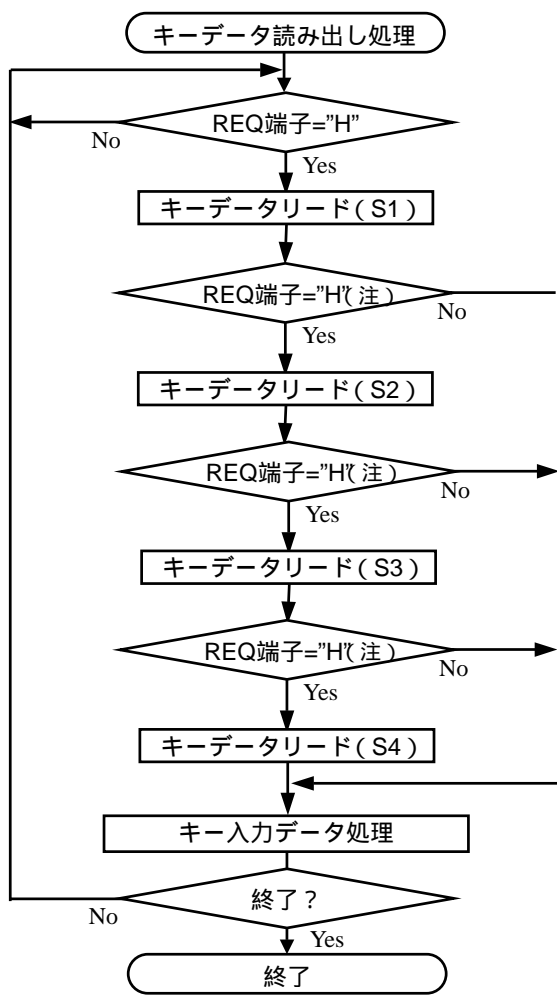
キースキャンが有りであると判断されると、CPU に対してキースキャンデータの読み取り要求として、REQ 端子に “H” を出力します。CPU はこの信号を検出したらキースキャンデータを読み取って下さい。

CPU が、押されたキースキャンに対応するレジスタのデータをすべて読み出した時点で、REQ 端子は “L” を出力します。REQ 端子が “L” の間はキースキャンの読み出しをしないでください。

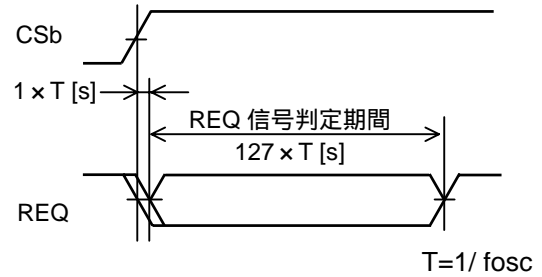
キースキャン例



• キーデータ読み出しフロー例



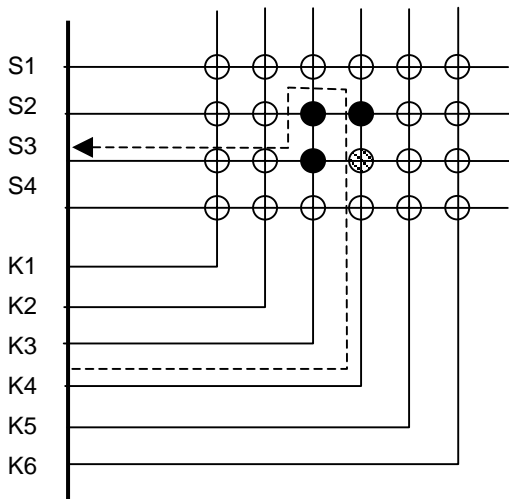
注)キーデータリード後の REQ 端子の判定は、チップセレクトが立ち上がってから下図の期間に行ってください。



例) fosc=200KHz の場合
REQ 信号判定期間 = 127 x 5 μs = 635 μs

(1-9-7) キーの多重押しについて

キーの多重押しに関しては、図 1 に示す様な 3 重押し以上の場合には、スキャン信号の回り込みにより押されていないキーが押されたものとしてキーデータが出力されます。この間違っただデータによる誤認識を防ぐためには、各キーに直列にダイオードを挿入するか、誤認識の可能性のあるキーの組み合わせを CPU 側のプログラムで排除するなどの対策が必要になります(例えば 4 キー以上同時に検出した時は無視するなど)。



- 押されたキー
- ⊗ 誤認識されたキー

左図に示す組み合わせで3つのキーが押された場合、S3 端子が"L"になると点線の経路で信号が回り込み実際には押されていない斜線のキーも押されたと誤認識されます。

図 1 多重押しによる誤認識の例

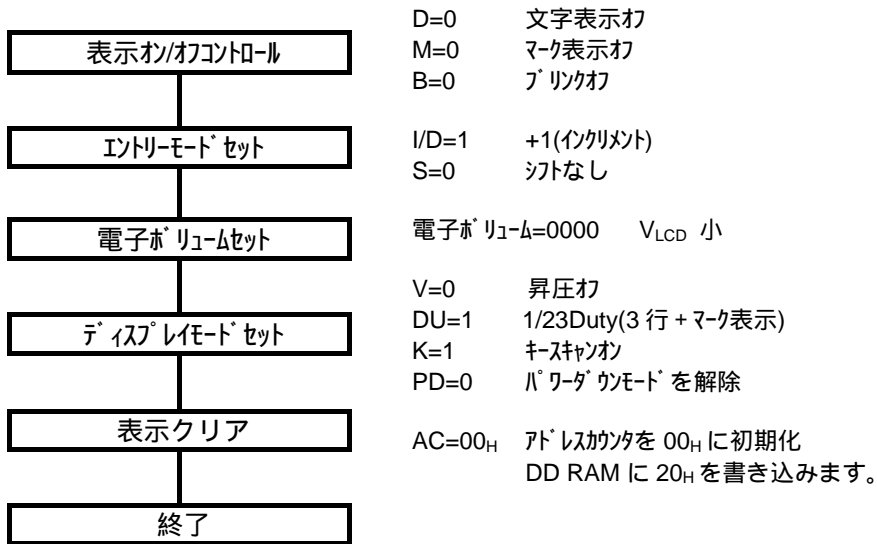
(1-10) リセット回路による初期設定

(1-10-1) 内蔵リセット回路による初期設定

NJU6627 は、電源投入時に自動的に初期設定(リセット)を行います。初期設定は、次のインストラクションを実行します。

初期設定が終了する時間は、内蔵発振にて使用している場合($f_{osc}=200\text{KHz}$ 時)、 V_{DD} が 2.4V に達してから約 1.45ms の間です。

初期設定フローを下図に示します。



注) 「内蔵リセット回路を使用するときの電源条件」に記述されている電源条件が満足されない場合は、内蔵リセット回路が正しく動作せず、初期設定が行われません。

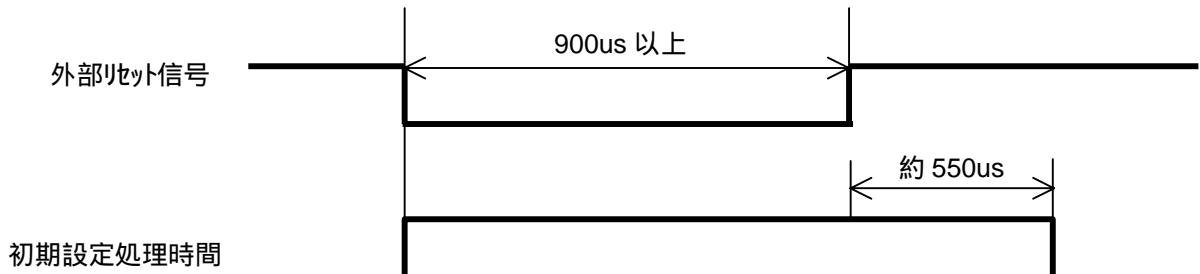
この場合には、「インストラクションによる初期設定」または「ハードウェアによる初期設定」に基づいて、CPU による初期設定を行って下さい。

(1-10-2) ハードウェアリセットによる初期設定

リセット端子に 900us 以上の"レベル"を入力すると、システム全体が初期化されます。

リセット解除後約 550us の間は、内部動作中となりますので他のインストラクションを入力しないでください(内蔵発振： $f_{osc}=200\text{KHz}$ 時)。

• 動作タイミング



(2) インストラクション

NJU6627 は、内部にインストラクションレジスタ(IR)とデータレジスタ(DR)の 2 つのレジスタを持ち、内部動作に比べ、レジスタの異なる各種の CPU あるいは周辺制御 IC とインターフェイスできるようにここで一旦制御情報を記憶して、内部動作を起動します。インストラクションの一覧表と各インストラクションの実行時間を表 4 に示します。

データは MSB ファーストにて書き込みを行います。RAM データは、必ずアドレスセットの後に入力して下さい。

表 4 インストラクション一覧表

インストラクション		コード																実行時間 *1
		D ₁₅	D ₁₄	D ₁₃	D ₁₂	D ₁₁	D ₁₀	D ₉	D ₈	D ₇	D ₆	D ₅	D ₄	D ₃	D ₂	D ₁	D ₀	
(a)	メーカーテスト	1	0	0	1	1	1	1	1	テストデータ								-
(b)	表示クリア	1	0	0	1	1	0	0	1	*	*	*	*	*	*	*	*	550us
(c)	アドレスホーム	1	0	0	1	0	0	0	1	*	*	*	*	*	*	*	*	0us
(d)	エントリーモードセット	1	0	0	0	1	0	0	0	*	*	*	*	*	*	I/D	S	0us
(e)	表示おろし/おくりコントロール	1	0	0	0	1	0	0	1	*	*	*	*	*	D	M	B	0us
(f)	アドレスシフト	1	0	0	1	0	0	1	0	*	*	*	*	*	*	*	ARL	0us
(g)	表示シフト	1	0	0	0	1	0	1	0	*	*	*	*	*	*	*	DRL	0us
(h)	電子ボリュームセット	1	0	0	0	1	1	0	0	*	*	*	*	電子ボリューム値				0us
(i)	ディスプレイモードセット	1	0	0	0	1	1	1	0	*	*	*	*	V	DU	K	PD	0us (PD:35us)
(j)	DD/MK RAM アドレスセット	1	0	0	1	0	0	1	1	*	*	DD RAM (00-29) _H				0us		
										MK RAM (40-53) _H								
(k)	CG RAM アドレスセット	1	0	0	1	0	0	0	0	CG RAM (00-FE) _H								0us
(l)	DD RAM データ書き込み	1	0	0	1	1	0	0	0	Write data (DD RAM)								35us
	MK RAM データ書き込み	1	0	0	1	1	0	0	0	*	*	*	Write data (MK RAM)				35us	
	CG RAM データ書き込み	1	0	0	1	1	0	0	0	*	*	*	Write data (CG RAM)				35us	
(m)	キースキャンデータ読み出し	1	0	1	0	0	1	SX	*	*	キーデータ						0us	

*1 f_{osc}=200KHz 時。周波数が変化すると反比例して実行時間も変化します。

(2-1) インストラクションコード

(a) メーカテスト (Maker Test)

	D ₁₅	D ₁₄	D ₁₃	D ₁₂	D ₁₁	D ₁₀	D ₉	D ₈	D ₇	D ₆	D ₅	D ₄	D ₃	D ₂	D ₁	D ₀
コード	1	0	0	1	1	1	1	1	*	*	*	*	*	*	*	*

*=無効 (Don't care)

上記のコード 入力は、メーカテストモード 設定コード なので使用しないでください。

(b) 表示クリア (Clear Display)

	D ₁₅	D ₁₄	D ₁₃	D ₁₂	D ₁₁	D ₁₀	D ₉	D ₈	D ₇	D ₆	D ₅	D ₄	D ₃	D ₂	D ₁	D ₀
コード	1	0	0	1	1	0	0	1	*	*	*	*	*	*	*	*

このインストラクションを実行すると、DD RAM の全アドレスにスペース文字コード (20)_H を書き込まれ、アドレスカウンタに DD RAM アドレスの 00 番地がセットされ、エントリーモード の I/D がインクリメントにセットされます。文字表示シフト、ドットシフトは初期状態にセットされ、初めになります。MK/CG RAM の内容は変化しません。

注) 加算 ROM の場合にも、文字コード (20)_H はスペースコード となるようにしてください。

(c) アドレスホーム (Return Home)

	D ₁₅	D ₁₄	D ₁₃	D ₁₂	D ₁₁	D ₁₀	D ₉	D ₈	D ₇	D ₆	D ₅	D ₄	D ₃	D ₂	D ₁	D ₀
コード	1	0	0	1	0	0	0	1	*	*	*	*	*	*	*	*

このインストラクションを実行すると、アドレスカウンタに DD RAM アドレスの 00 番地がセットされ、エントリーモード の I/D がインクリメントにセットされます。文字表示シフト、ドットシフトは初期状態にセットされ、初めになります。MK/CG RAM の内容は変化しません。

(d) エントリーモードセット (Entry Mode Set)

	D ₁₅	D ₁₄	D ₁₃	D ₁₂	D ₁₁	D ₁₀	D ₉	D ₈	D ₇	D ₆	D ₅	D ₄	D ₃	D ₂	D ₁	D ₀
コード	1	0	0	0	1	0	0	0	*	*	*	*	*	*	I/D	S

エントリーモードセットは、アドレスの進む方向及び表示シフトの有無を設定するものです。

I/D はアドレスのインクリメントあるいはデクリメントを、S は DD RAM 書き込み時に表示全体をシフトするか否かを設定します。

I/D	機 能
1	アドレスインクリメントで、DD RAM、MK RAM、CG RAM のアドレスを+1 します。
0	アドレスインクリメントで、DD RAM、MK RAM、CG RAM のアドレスを-1 します。

S	機 能
1	文字表示全体をシフトします。 シフト方向は I/D で決められ、I/D=1 のとき表示全体を左に、I/D=0 のとき右にシフトします。 なお、CG RAM、MK RAM の書き込み時には、表示のシフトは行いません。
0	文字表示はシフトしません。

(e) 表示灯/コントロール (Display ON/OFF Control)

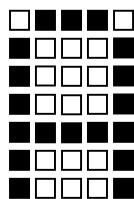
	D ₁₅	D ₁₄	D ₁₃	D ₁₂	D ₁₁	D ₁₀	D ₉	D ₈	D ₇	D ₆	D ₅	D ₄	D ₃	D ₂	D ₁	D ₀
コード	1	0	0	0	1	0	0	1	*	*	*	*	*	D	M	B

表示灯/コントロールは、全表示及びアドレス位置の文字のフリックを設定するもので、以下のコードを書き込むことにより実行します。

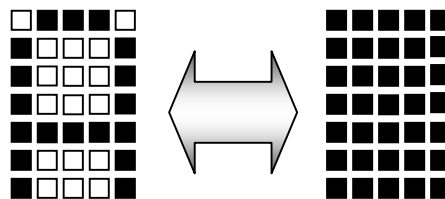
D	機 能
1	文字表示を灯。
0	文字表示を灯。 この時、表示データは DD RAM に残っており、D=1 で再表示できます。

M	機 能
1	マーク表示を灯。
0	マーク表示を灯。

B	機 能
1	DD RAM のアドレス位置に相当する文字がフリック(点滅)し続けます。 フリックは、f _{OSC} =200KHz で約 500ms ごとに切り替え表示を行います。 マークはフリックしません。アドレスとフリックは同時に設定できます。
0	文字はフリックしません。



文字フォント 5 x 7 ドット
(1) 通常表示例



交互に表示
(2) フリック表示例

(f) アドレスシフト (Address Shift)

	D ₁₅	D ₁₄	D ₁₃	D ₁₂	D ₁₁	D ₁₀	D ₉	D ₈	D ₇	D ₆	D ₅	D ₄	D ₃	D ₂	D ₁	D ₀
コード	1	0	0	1	0	0	1	0	*	*	*	*	*	*	*	ARL

アドレスシフトは、表示データの書き込みをせずにアドレス位置を左右にシフトします。

ARL	機 能
0	アドレス位置を左にシフトします。(アドレスカウンタを-1 します)
1	アドレス位置を右にシフトします。(アドレスカウンタを+1 します)

(g) 表示シフト (Display Shift)

	D ₁₅	D ₁₄	D ₁₃	D ₁₂	D ₁₁	D ₁₀	D ₉	D ₈	D ₇	D ₆	D ₅	D ₄	D ₃	D ₂	D ₁	D ₀
コード	1	0	0	0	1	0	1	0	*	*	*	*	*	*	*	DRL

表示シフトは、表示データの書き込みをせずに表示を左右にシフトします。この時、アドレスカウンタ(AC)の内容は変化しません。

DRL	機 能
0	表示全体を左にシフトします。(アドレスは変化しません)
1	表示全体を右にシフトします。(アドレスは変化しません)

(h) 電子ボリュームレジスタセット (Set Electronic Volume Register)

	D ₁₅	D ₁₄	D ₁₃	D ₁₂	D ₁₁	D ₁₀	D ₉	D ₈	D ₇	D ₆	D ₅	D ₄	D ₃	D ₂	D ₁	D ₀
コード	1	0	0	0	1	1	0	0	*	*	*	*	C3	C2	C1	C0

電子ボリュームレジスタセットは、液晶表示のコントラストを調整するもので、D₀,D₁,D₂,D₃にC0,C1,C2,C3のコードを書き込むことにより実行します。

このアクションにより、液晶駆動電圧 VLCD を 16 段階の電圧状態のうちから 1 状態を選ぶことができます。

電子ボリューム機能を使用しない場合は、(1,1,1,1)に設定します。

C3	C2	C1	C0	VLCD 電圧 (公称値)	例) VOUT=8.4(V)の場合の VLCD 値(V)
0	0	0	0	VOUT × 80/95	7.074
0	0	0	1	VOUT × 80/94	7.149
0	0	1	0	VOUT × 80/93	7.226
0	0	1	1	VOUT × 80/92	7.304
0	1	0	0	VOUT × 80/91	7.385
0	1	0	1	VOUT × 80/90	7.467
0	1	1	0	VOUT × 80/89	7.551
0	1	1	1	VOUT × 80/88	7.636
1	0	0	0	VOUT × 80/87	7.724
1	0	0	1	VOUT × 80/86	7.814
1	0	1	0	VOUT × 80/85	7.906
1	0	1	1	VOUT × 80/84	8.000
1	1	0	0	VOUT × 80/83	8.096
1	1	0	1	VOUT × 80/82	8.195
1	1	1	0	VOUT × 80/81	8.296
1	1	1	1	VOUT × 80/80	8.400

(i) ディスプレイモードセツト (Set Display Mode)

	D ₁₅	D ₁₄	D ₁₃	D ₁₂	D ₁₁	D ₁₀	D ₉	D ₈	D ₇	D ₆	D ₅	D ₄	D ₃	D ₂	D ₁	D ₀
コード	1	0	0	0	1	1	1	0	*	*	*	*	V	DU	K	PD

ディスプレイモードセツトは、キースキャンの制御、パワーダウンモードの制御を行います。

V	機 能
1	昇圧切。
0	昇圧切。 昇圧回路を使用しない場合（外部電源で使用する場合）は VOUT 端子から電圧を印加してください。

DU	機 能
1	1/23Duty（3行+マーク表示）
0	1/16Duty（2行+マーク表示）

K	機 能
1	キースキャンを切
0	キースキャンを切 S ₁ ～S ₄ 出力は、V _{SS} 電圧を出力します。

PD	機 能
1	パワーダウンモード すべての COM、SEG 端子の電位を V _{SS} にします。 ブリーダ抵抗に流れる電流をカットします。発振も停止します。
0	パワーダウンモード解除

パワーダウンモード中は、パワーダウンモード解除のインストラクション以外は入力しないでください。

なお、電源切の前にパワーダウンモードに設定することを推奨します。この設定することで電源切時に意味のない表示が出ることを回避することができます。

- キースキャン中にパワーダウンモードに移行した場合のキースキャン動作について
キースキャン動作中にパワーダウンモードに移行した場合、その期間のキースキャン動作は中止し、パワーダウンモード解除後にキースキャンを再開します。
パワーダウンモード移行前にキ押しを検出して REQ 信号が "H" となっている場合、パワーダウンモード解除後も REQ 信号は "H" を維持しますが、キースキャン動作は途中で中断しているためキデータを読み出しても無効なデータとなります。

(j) DD/MK RAM アドレスセット (Set DD/MK RAM Address)

	D ₁₅	D ₁₄	D ₁₃	D ₁₂	D ₁₁	D ₁₀	D ₉	D ₈	D ₇	D ₆	D ₅	D ₄	D ₃	D ₂	D ₁	D ₀
コード	1	0	0	1	0	0	1	1	*	AD6	AD5	AD4	AD3	AD2	AD1	AD0

DD/MK RAM アドレスセットは、DD RAM または MK RAM に書き込むためのアドレスが、アドレスカウンタにセットされ、インストラクション実行後の CPU からのデータの書き込みは、セットしたアドレスの RAM に関して行われます。

DD RAM / MK RAM アドレスを以下に示します。

	RAM アドレス
DD RAM 1 行目 :	(00) _H ~ (09) _H
DD RAM 2 行目 :	(10) _H ~ (19) _H
DD RAM 3 行目 :	(20) _H ~ (29) _H
MK RAM :	(40) _H ~ (53) _H

(k) CG RAM アドレスセット (Set CG RAM Address)

	D ₁₅	D ₁₄	D ₁₃	D ₁₂	D ₁₁	D ₁₀	D ₉	D ₈	D ₇	D ₆	D ₅	D ₄	D ₃	D ₂	D ₁	D ₀
コード	1	0	0	1	0	0	0	0	AD7	AD6	AD5	AD4	AD3	AD2	AD1	AD0

CG RAM アドレスセットは、CG RAM に書き込むためのアドレスが、アドレスカウンタにセットされ、インストラクション実行後の CPU からのデータの書き込みは、CG RAM に関して行われます。

CG RAM のアドレスを以下に示します。

	RAM アドレス
CG RAM :	(00) _H ~ (FE) _H

(l) RAMデータ書き込み (Write Data to CG, DD or MK RAM)

- DD RAMデータ書き込み

	D ₁₅	D ₁₄	D ₁₃	D ₁₂	D ₁₁	D ₁₀	D ₉	D ₈	D ₇	D ₆	D ₅	D ₄	D ₃	D ₂	D ₁	D ₀
コード	1	0	0	1	1	0	0	0	DD7	DD6	DD5	DD4	DD3	DD2	DD1	DD0

- MK RAMデータ書き込み

	D ₁₅	D ₁₄	D ₁₃	D ₁₂	D ₁₁	D ₁₀	D ₉	D ₈	D ₇	D ₆	D ₅	D ₄	D ₃	D ₂	D ₁	D ₀
コード	1	0	0	1	1	0	0	0	*	*	*	DM4	DM3	DM2	DM1	DM0

- CG RAMデータ書き込み

	D ₁₅	D ₁₄	D ₁₃	D ₁₂	D ₁₁	D ₁₀	D ₉	D ₈	D ₇	D ₆	D ₅	D ₄	D ₃	D ₂	D ₁	D ₀
コード	1	0	0	1	1	0	0	0	*	*	*	DC4	DC3	DC2	DC1	DC0

このインストラクションの実行により、DD RAM、MK RAM、CG RAM にデータが書き込まれます。書き込み先をDD、CG、MK RAM のどれにするかは、それ以前の指定で決まります。

このインストラクションの実行後、アドレスはインリモードに従って自動的に+1 または-1 され、表示シフトも同様にインリモードに従います。

(m) キーデータ読み出し (Read Data Key)

	D ₁₅	D ₁₄	D ₁₃	D ₁₂	D ₁₁	D ₁₀	D ₉	D ₈	D ₇	D ₆	D ₅	D ₄	D ₃	D ₂	D ₁	D ₀
コード	1	0	1	0	0	1	SX1	SX0	*	*	K6	K5	K4	K3	K2	K1
	← 入力								← 出力 →							

キースキャンのデータを読み出すためのインストラクションです。
読み出したいレジスタを指定して読み出しを行います。

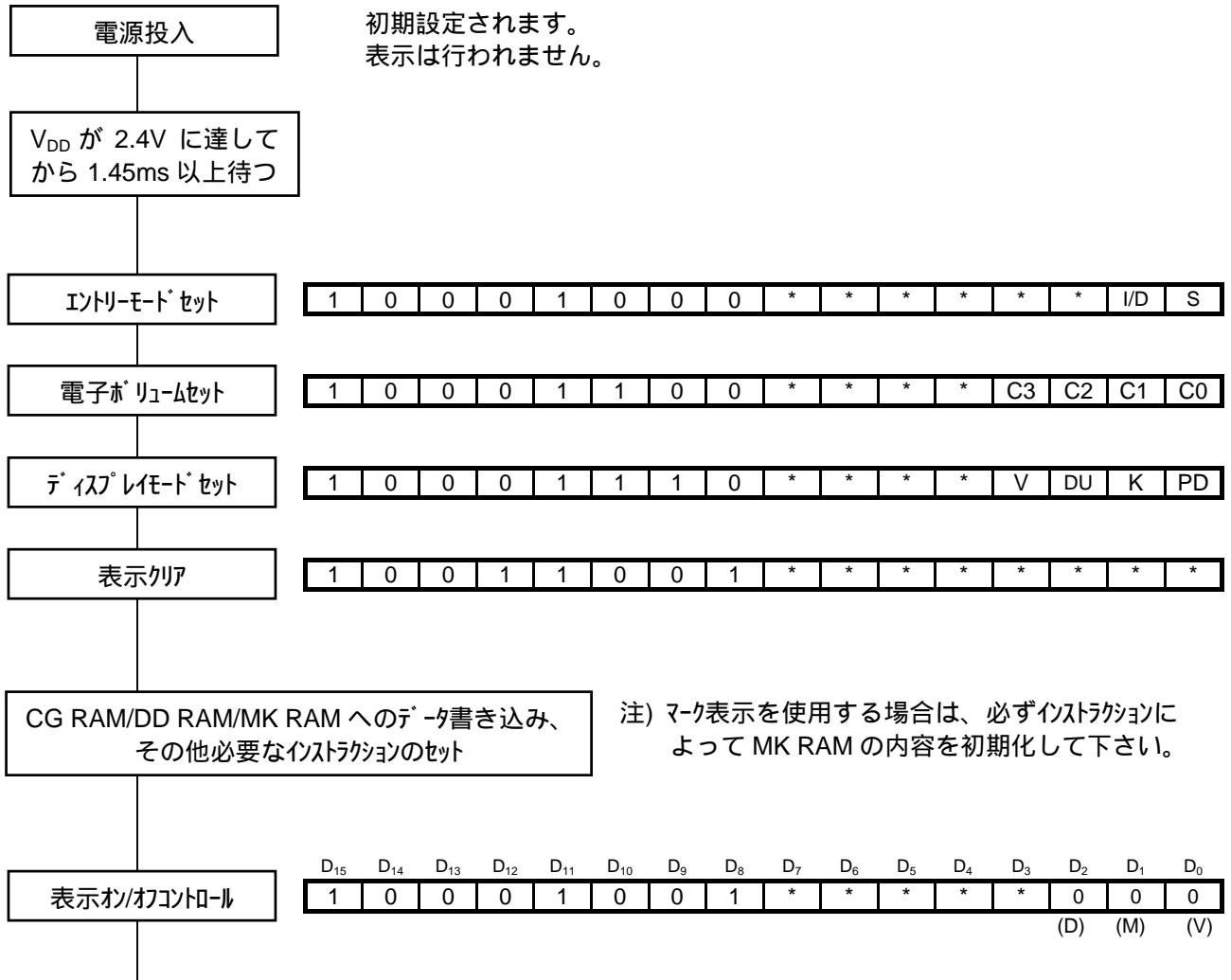
SX1	SX0	キースキャン出力端子
0	0	S ₁
0	1	S ₂
1	0	S ₃
1	1	S ₄

ただし、D₁₅~D₈までは入力です。この8ビットが入力されると8ビット目の立ち下がりから出力に変わります。データ端子のショートに注意してください。

(2-2) インストラクションによる初期設定

内蔵セット回路が正しく動作する為の電源条件が満足されない場合には、インストラクションにより初期設定を行った後、データ入力を行う必要があります。

初期設定は、以下の手順に従って行って下さい。



(3) 液晶駆動電圧発生回路

(3-1) 昇圧回路

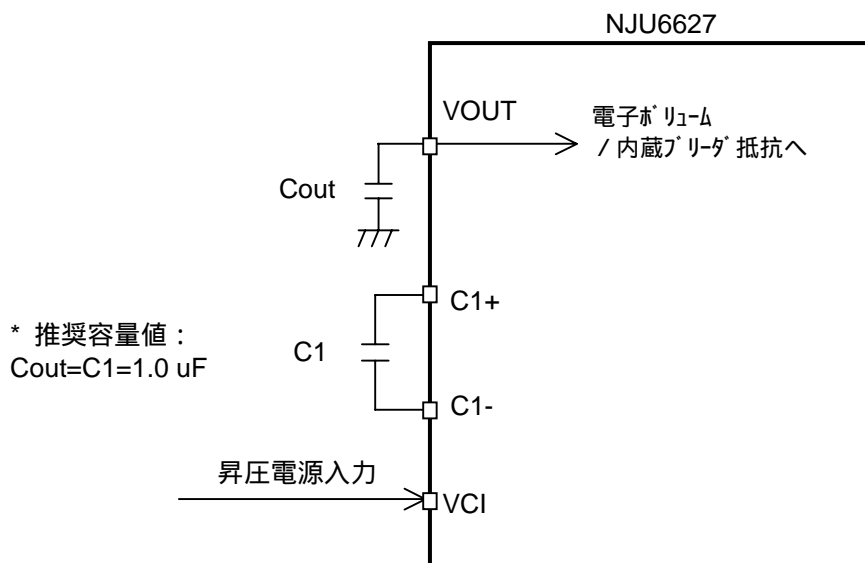
VCI 端子より入力された昇圧回路は、インストラクションの設定により ω / ω することができます。

ディスプレイードットセットインストラクション D3 = "1" : 昇圧回路 ω

VCI 端子に入力された電圧を 2 倍昇圧します。耐圧を超えないように入力電圧を設定してください。

ディスプレイードットセットインストラクション D3 = "0" : 昇圧回路 ω

昇圧回路の出力が ω します。電源投入時、電源 ω 時には、意図しない表示が現れることがありますので、昇圧回路を ω して下さい。また昇圧回路を使用しない場合（外部電源使用の場合）は VOUT 端子より外部電源を入力してください。）



昇圧回路構成図

(3-2) 電子ボリューム / 内蔵プリアンプ抵抗

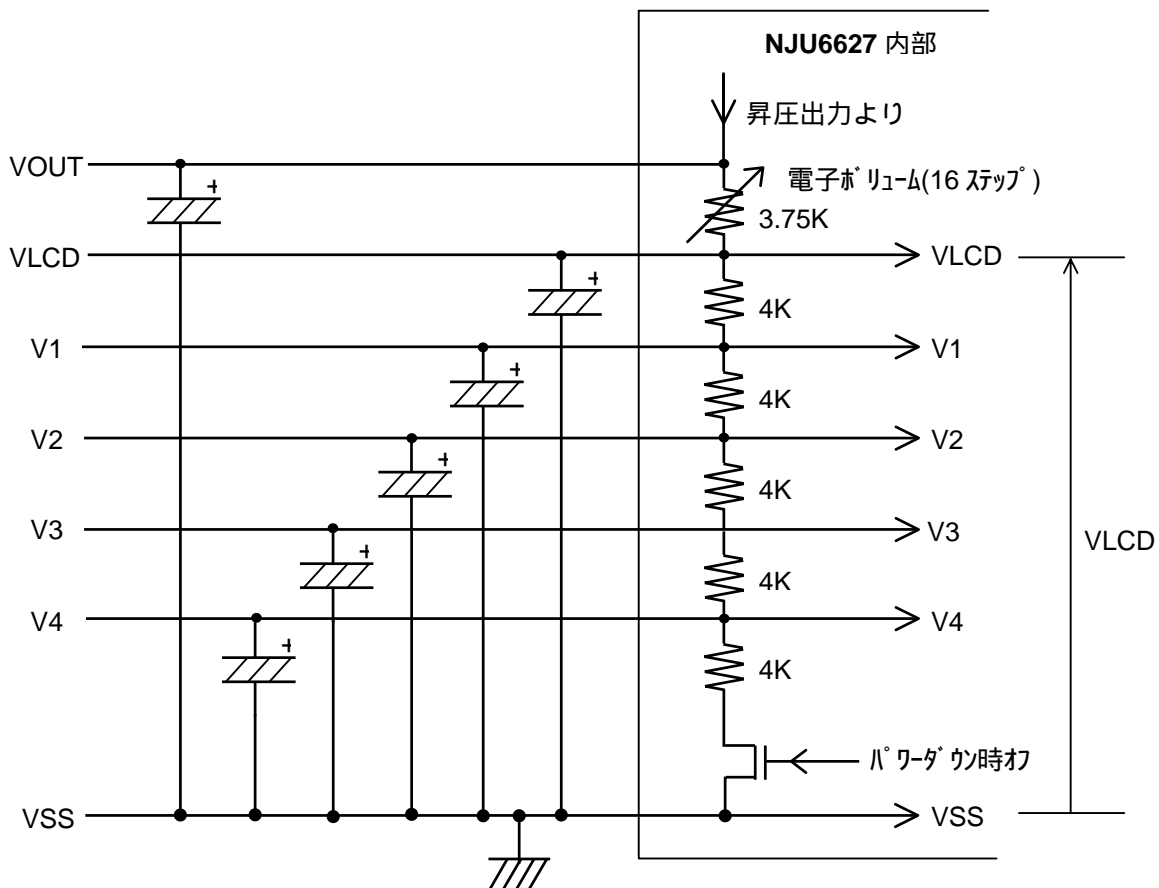
液晶駆動に必要な電圧 V1, V2, V3, V4 は、昇圧出力もしくは、VOUT 端子より入力された電圧を、IC 内部で16段階の電子ボリュームにより調整し、抵抗分割する事により発生させた後、液晶駆動回路に供給されます。

下図に示すように、液晶電源端子 VLCD, V1, V2, V3, V4 には、電圧安定用キャパシタを接続する必要があります。各キャパシタは液晶パネルの表示容量に合わせ、実際に液晶表示させて定数を決定する必要があります。

デューティ比と液晶表示駆動用電源

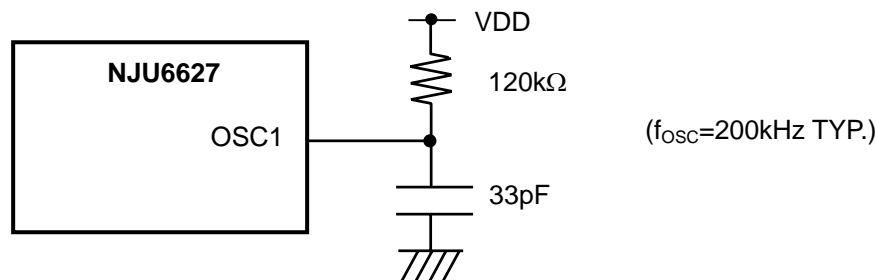
電源	デューティ比	1/16、1/23
	ハイズ	1/5
VLCD		VLCD - VSS

VLCD は液晶表示駆動波形の最大振幅です。



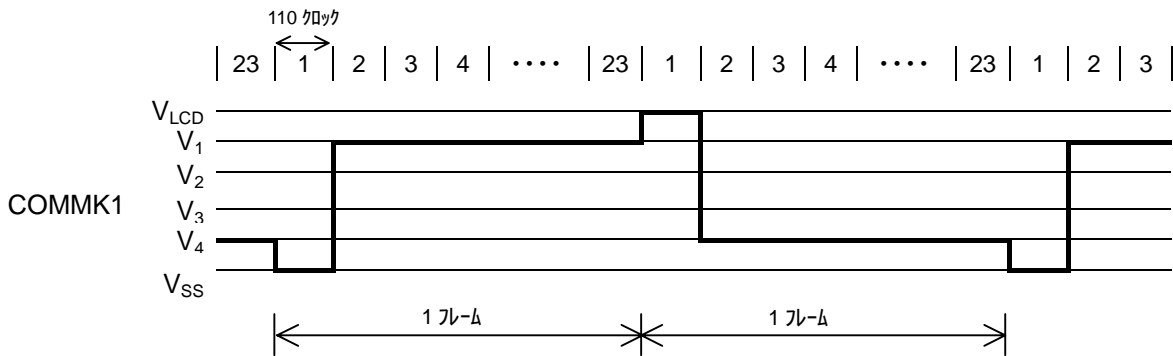
(3-3) 発振回路

発振回路は、下記のように OSC1 端子に抵抗とコンデンサを接続することで発振します。また、OSC1 端子に外部から加ッを入力することも可能です。



(3-4) 発振周波数と液晶表示のフレーム周波数との関係

下記の液晶表示フレーム周波数の例は、発振周波数が 200kHz TYP.(1クロック=5.0us)の場合です。

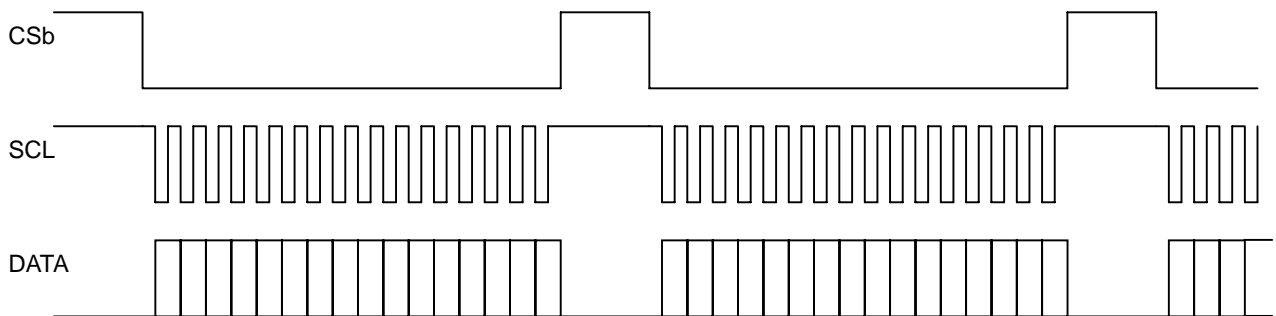


$$1 \text{ フレーム} = 5.0 \text{ (us)} \times 110 \times 23 = 12.65 \text{ (ms)}$$

$$\text{フレーム周波数} = 1 / 12.65 \text{ (ms)} = 79 \text{ (Hz)}$$

(4) CPU とのインターフェイス機能

表示コントロールコマンドとデータの入出力はすべてシリアルポートによって行われます。1ワード 16ビットを基本としたクロック同期式です。下記タイミングで入力されるシリアルデータによりコントロールができます。



シリアルインターフェイス回路は、CSb が「L」レベルで動作状態になります。

一回の通信は 16ビット単位で行われます。入力されるデータは、外部からのチップセレクト(CSb)入力の立ち下がりからスタート信号とし、次に立ちあがるまでの間を通信区間とします。データはスタートクロック(SCL)の立ち上がりで読み込まれ、チップセレクト(CSb)の立ち上がりで、最初の 16ビットがロッドされます。16ビットを超える部分は無視されます。入力データが 16ビットに満たなかった場合は、それまで入力したデータは、CSb の立ち上がりで無効になりますので、必ず 16ビット分のデータを入力して下さい。入力が RAM データであった場合はアドレスが自動的に+1(又は-1)されます。なお、データは MSB ファーストにて書き込みを行います。

出力データはキースキャンデータのみですが、キータ読み出しインストラクションの D₁₅ ~ D₈ までは入力です。この 8ビットが入力されると 8ビット目の立ち下がりから DATA 端子は出力に変わります。

データ端子のショートに充分注意してください。

■ 絶対最大定格

(Ta=25)

項目	記号	定格	単位	備考
電源電圧(1)	V_{DD}	-0.3 ~ +7.0	V	
電源電圧(2)	V_{CI}	-0.3 ~ +7.0	V	V_{CI} 端子 ^{注4)}
電源電圧(3)	$V_{OUT},$ $V_{LCD},$ $V_1 \sim V_4$	$V_{SS}+0.3 \sim V_{SS}+10.5$	V	$V_{OUT}, V_{LCD}, V_1 \sim V_4$ 端子
入力電圧	V_i	-0.3 ~ $V_{DD}+0.3$	V	OSC1, SCL, DATA, CSb, RESETb, K1-K6 端子
動作温度	T_{opr}	-40 ~ +85		
保存温度	T_{stg}	-55 ~ +125		

注 1) 絶対最大定格をこえて LSI を使用した場合、LSI の永久破壊となることがあります。

また、通常動作では電気的特性の条件で使用することが望ましく、この条件をこえると LSI の誤動作の原因になると共に LSI の信頼性に悪影響をおよぼすことがあります。

注 2) LSI を安定させるために、 $V_{DD}-V_{SS}, V_{CI}-V_{SS}, V_{OUT}-V_{SS}$ 間にテップリングコンデンサを挿入して下さい。また、電圧はすべて $V_{SS}=0V$ を基準とした値です。また、電源は、 $V_{OUT} \quad V_{LCD} > V_{DD} > V_{SS}, V_{SS}=0V$ の条件を満たすことが必要です。

注 3) 内蔵の 2 倍昇圧回路を使用する場合、 $V_{CI} \times 2 \quad V_{OUT}$ の条件を満たすことが必要です。

■ 電気的特性

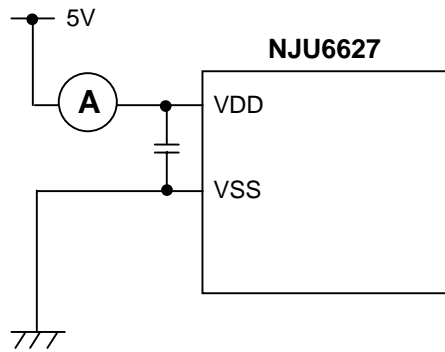
$V_{DD}=4.5V \sim 5.5V$ 、 $V_{SS}=0.0V$ 、 $T_a = -40 \sim +85$ (特に指定の無い限りこの条件を適用)

項目	記号	条件	MIN	TYP	MAX	単位	注	
電源電圧(1)	V_{DD}	V_{DD}	4.5	-	5.5	V		
電源電圧(2)	V_{CI}	V_{CI}	3.0	-	5.0	V		
電源電圧(3)	V_{OUT}	V_{OUT}	V_{DD}	-	10.0	V	4	
入力電圧(1)	V_{IH1}	OSC1, SCL, DATA, CSb, RESETb	$0.8V_{DD}$	-	V_{DD}	V		
	V_{IL1}		V_{SS}	-	$0.2V_{DD}$			
入力電圧(2)	V_{IH2}	K1-K6	$0.8V_{DD}$	-	V_{DD}	V		
	V_{IL2}		V_{SS}	-	$0.4V_{DD}$			
出力電圧(1)	V_{OH1}	REQ, DATA	$I_{OH1} = -2mA, V_{DD} = 5.0V$	4.0	-	-	V	
	V_{OL1}		$I_{OL1} = 1mA, V_{DD} = 5.0V$	-	-	0.5		
出力電圧(2)	V_{OH2}	S1-S4	$I_{OH} = -20 \mu A, V_{DD} = 5.0V$	$0.8V_{DD}$	-	V_{DD}	V	
	V_{OL2}		$I_{OL2} = 500 \mu A, V_{DD} = 5.0V$	V_{SS}	-	$0.2V_{DD}$		
ドライブ ON 抵抗(COM)	R_{COM}	COM1-COM21 COMMK1, COMMK2	$\pm I_d = 1 \mu A$ (COM 端子) $V_O = V_{LCD}, V_{SS}, V_1, V_4$	-	-	40	k Ω	5
ドライブ ON 抵抗(SEG)	R_{SEG}	SEG1-SEG50	$\pm I_d = 1 \mu A$ (SEG 端子) $V_O = V_{LCD}, V_{SS}, V_2, V_3$	-	-	40	k Ω	5
プルアップ MOS 電流 1	$-I_{p1}$	DATA	$V_{DD} = 5V, V_{IN} = V_{SS}$	5	25	50	μA	
プルアップ MOS 電流 2	$-I_{p2}$	K1-K6	$V_{DD} = 5V, V_{IN} = V_{SS}$	10	25	50	μA	
入力リーク電流	I_{LI}	SCL, CSb, RESETb	$V_{IN} = 0 \sim V_{DD}$	-1.0	-	1.0	μA	
電源電流	I_{DD1}	V_{DD}	$V_{DD} = 5V, f_{OSC} = 200 \text{ kHz}$, 表示時, キースタンプ	-	120	300	μA	6
	I_{DD2}		$V_{DD} = 5V$, パワーダウンモード時	-	5	10	μA	6
	I_{CI}	V_{CI}	$V_{CI} = 5V, f_{OSC} = 200 \text{ kHz}$, 昇圧回路オン 電子ボリューム値: "1111"	-	1.1	1.6	mA	
内蔵 プリアンプ 抵抗	液晶駆動電圧	V_1	V_1	6.2	6.4	6.6	V	
		V_2	V_2	4.6	4.8	5.0		
		V_3	V_3	3.0	3.2	3.4		
		V_4	V_4	1.4	1.6	1.8		
	プリアンプ抵抗値 $RB = V_{LCD} / I_B$ RB:プリアンプ抵抗 5本分 IB:プリアンプ抵抗電流	RB	V_{LCD}	電子ボリューム値: "1111" $V_{OUT} = 8.0V, T_a = 25$	14.0	20.0	26.0	K Ω
昇圧出力電圧	V_{out}	V_{OUT}	$V_{CI} = 5V, f_{OSC} = 200 \text{ kHz}$, 昇圧回路オン $T_a = 25$	9.0	9.8	-	V	
発振周波数	f_{OSC}	OSC1	$V_{DD} = 5V, T_a = 25$ $R_{osc} = 120k$, $C_{osc} = 33pF$	160	200	240	kHz	
外部クロック動作周波数	f_{CP}	OSC1	端子から入力	280	400	520	kHz	7
外部クロックデューティ	Duty	OSC1	端子から入力	45	50	55	%	
V_{OUT} 端子電流	I_{OUT}	V_{OUT}	$V_{OUT} = 8.0V$ 電子ボリューム値: "1111" $T_a = 25$	-	0.4	1.0	mA	

注4) 無負荷状態で COM,SEG の出力電圧が液晶基準電圧値(VLCD,V1-V4)の $\pm 0.15V$ 以内である場合。

注5) 各COM信号端子と各セグメント端子に I_d を流したときの VSS、VLCD 端子または V1、V4 液晶電源から、各COM信号端子(COM1 ~ COM21/COMMK1/COMMK2)までの抵抗値と VSS、VLCD 端子または V2、V3 電源端子から各セグメント信号端子(SEG1 ~ SEG50)間の抵抗値に適用。

- 電源電流測定回路



注6) CMOS は入力レベルが中間レベルをとったとき、入力回路に貫通電流が増加するため、入力レベルは必ず“H”/“L”に設定して下さい。DATA 端子は VDD に固定した状態での測定結果です。

注7) 内部で 1/2 に分周されるため、ルーム周波数は発振を使用した場合と同じになります。

システムインターフェイスタイミング 特性

- シリアルインターフェイスシーケンス

($V_{DD}=4.5V \sim 5.5V$ 、 $T_a = -40 \sim +85$)

項目	記号	MIN	MAX	単位	注
シリアルクロックサイクル時間	t_{CYCE}	1	-	μs	
シリアルクロック幅	t_{SC}	300	-	ns	
チップセレクトパルス幅	PW_{CS}	800	-	μs	8
		50	-		9
		1	-		10
チップセレクトセットアップ時間	t_{CSU}	300	-	ns	
チップセレクトホールド時間 1	t_{CH1}	300	-	ns	
シリアル入力データセットアップ時間	t_{SISU}	300	-	ns	
シリアル入力データホールド時間	t_{SIH}	300	-	ns	
キーデータ出力遅延時間	t_{KDD}	-	300	ns	
SCL 立ち下がり後入出力切り替え遅延時間	t_{SRWD}	-	300	ns	
CS 立ち上がり後入出力切り替え遅延時間	t_{CRWD}	-	300	ns	
チップセレクトホールド時間 2	t_{CH2}	1	-	μs	
立ち上がり時間	t_R	-	15	ns	
立ち下がり時間	t_F	-	15	ns	

注 8) 表示クリアコマンド入力時。(表 4 インストラクション一覧表参照)

注 9) RAM 書込み、パワーダウンモードオン時。(表 4 インストラクション一覧表参照)

注 10) 注 8,9 以外のインストラクション入力時。(表 4 インストラクション一覧表参照)

図 1 データ入力

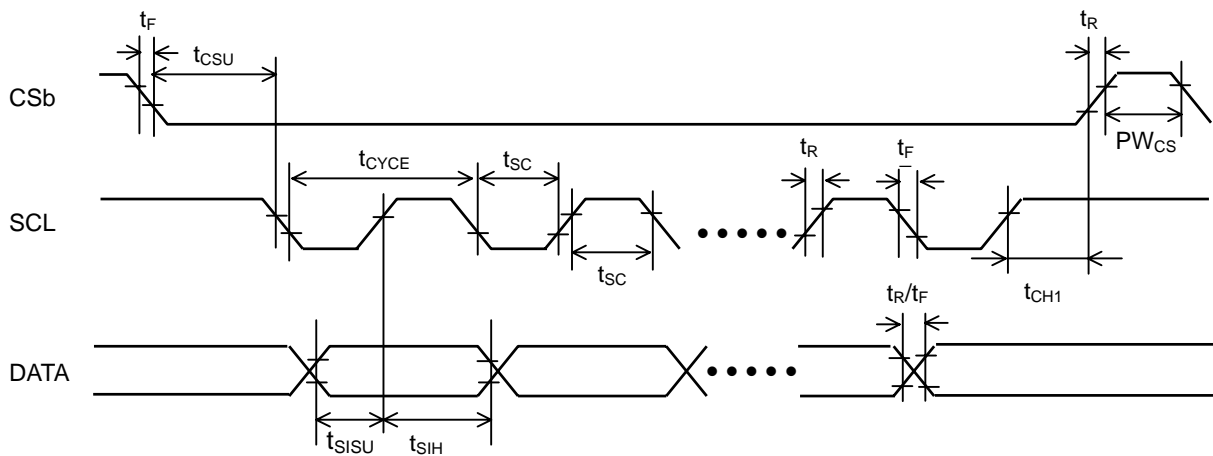
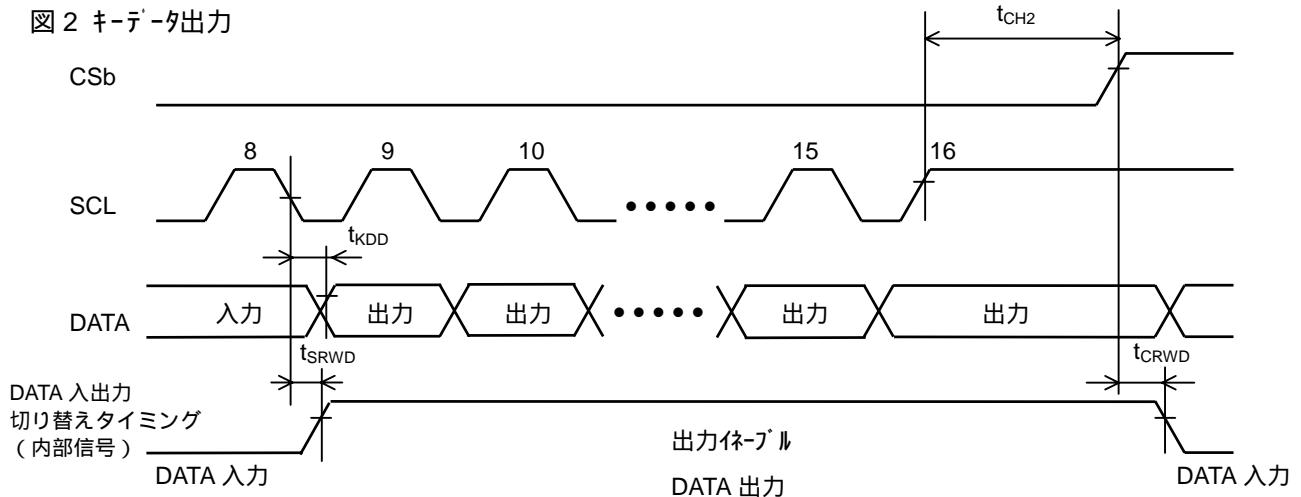


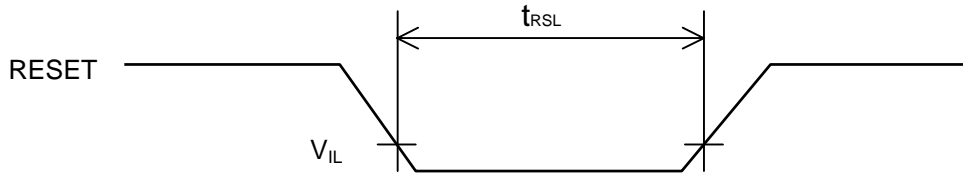
図 2 キーデータ出力



• ハードウェアリセット回路の入力条件

(Ta=25)

項目	記号	MIN	TYP.	MAX	単位	注
リセット入力パルス幅(f _{OSC} =200KHz 時)	t _{RSL}	900	-	-	μs	

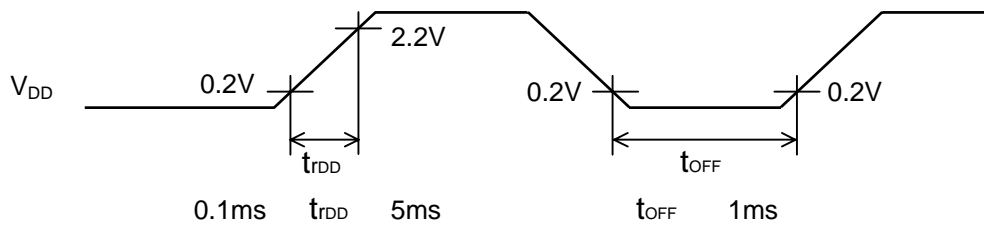


• パワーオンリセット回路を使用するときの電源条件

(Ta=25)

項目	記号	MIN	TYP.	MAX	単位	注
電源立ち上がり時間	t _{rDD}	0.1	-	5	ms	
電源落ち時間	t _{OFF}	1	-	-	ms	

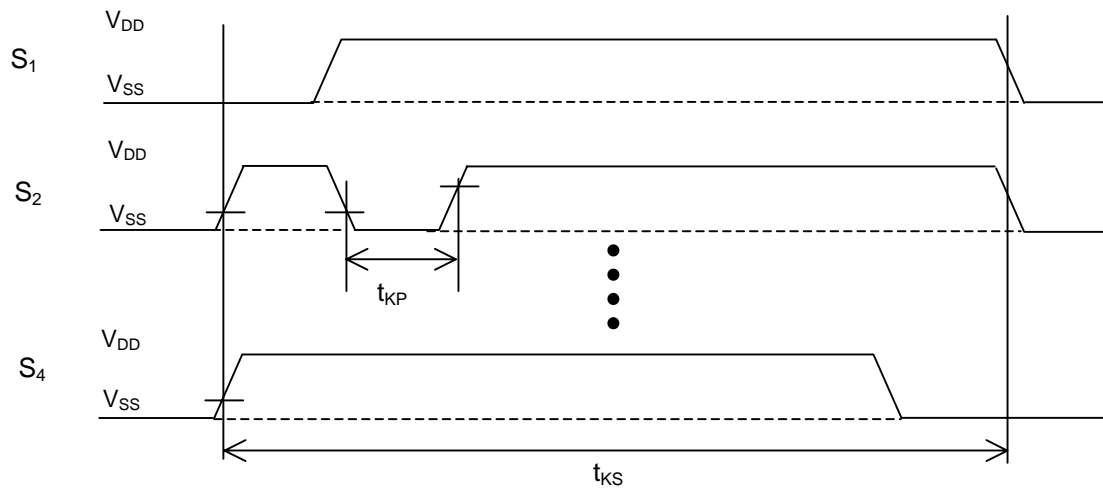
以上の電源を満足しない場合には、内蔵リセット回路が正しく動作しませんのでインストラクションによる初期設定を行ってください。



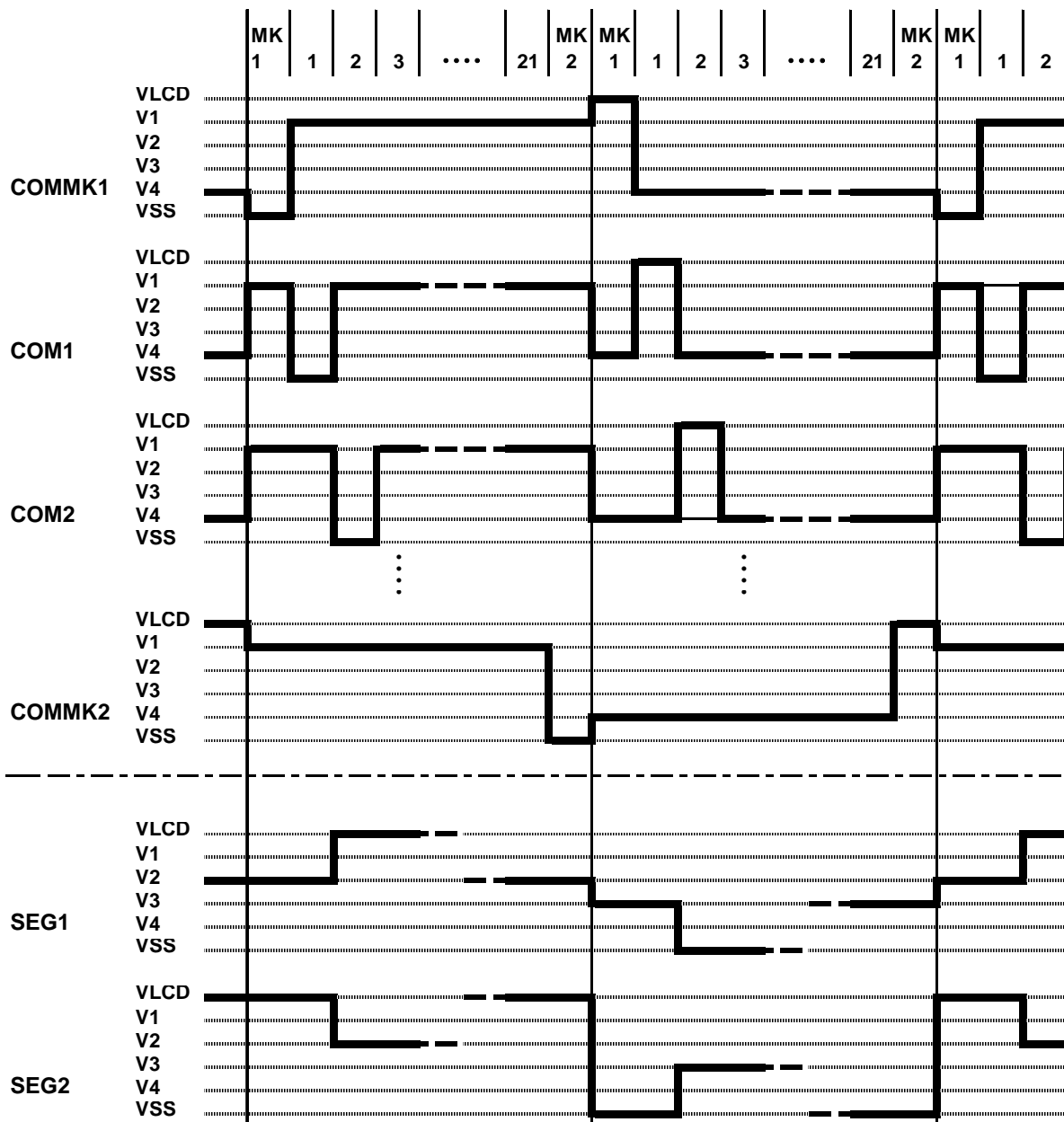
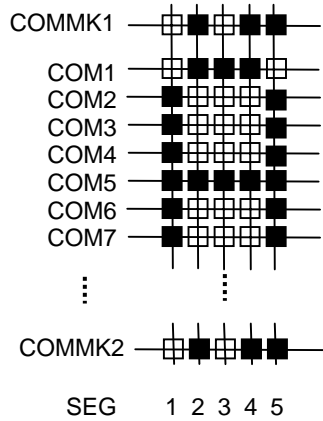
• キースキャンタイミング

(f_{OSC}=200KHz)

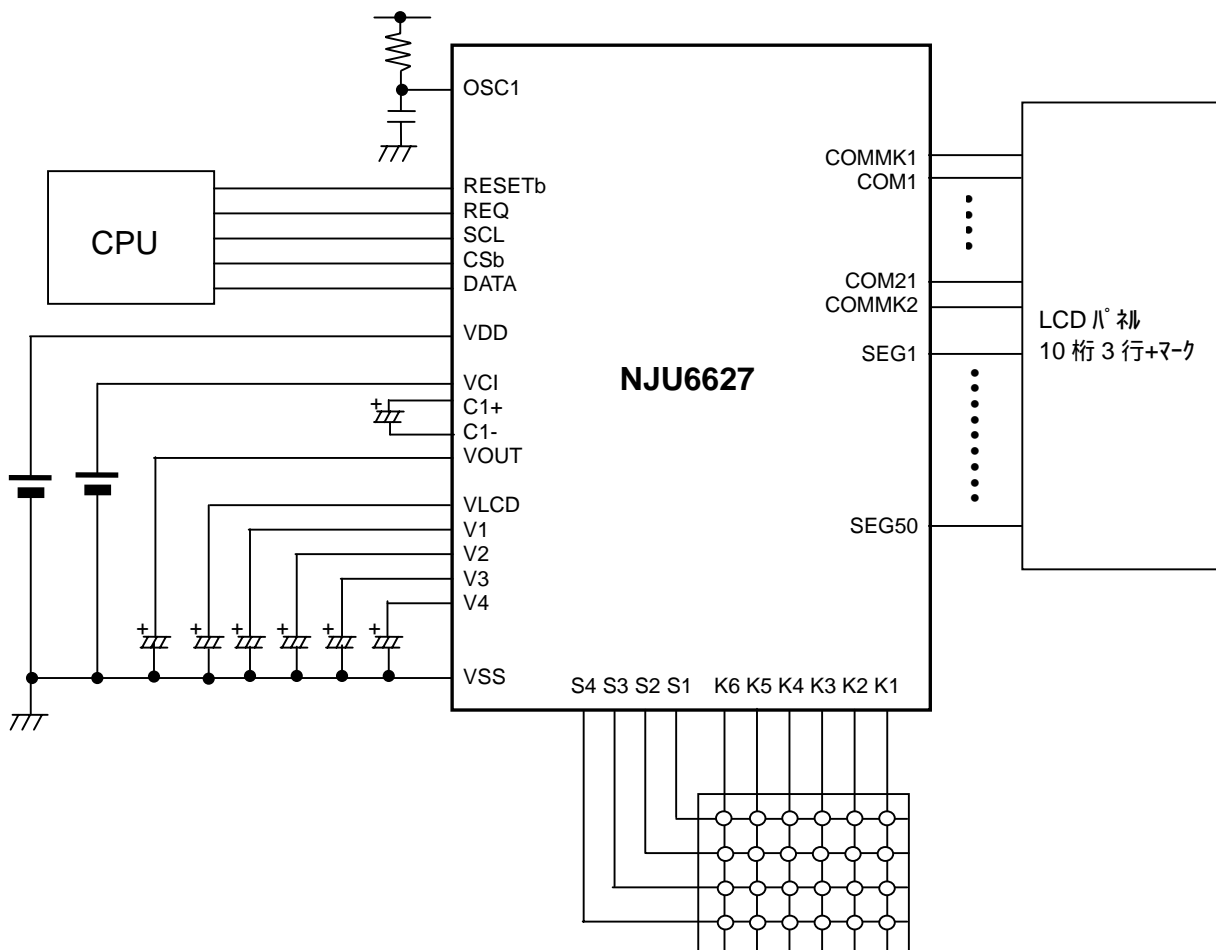
項目	記号	MIN	TYP.	MAX	単位	注
キースキャン時間	t _{KS}	-	320	-	us	
キースキャンパルス幅	t _{KP}	-	80	-	us	



■ LCD 駆動波形例



■ 応用回路例



<注意事項>

このデータブックの掲載内容の正確さには万全を期しておりますが、掲載内容について何らかの法的な保証を行うものではありません。とくに応用回路については、製品の代表的な応用例を説明するためのものです。また、工業所有権その他の権利の実施権の許諾を伴うものではなく、第三者の権利を侵害しないことを保証するものでもありません。