

4 回路入りピンドライバコンパレータ/アナログ SW

概要

NJU6496 はピンドライバとコンパレータ、ケルビン接続用スイッチが 4 チャンネル入っています。低コスト、低消費電力、高機能でテストバーンイン (TDBI) に最適な IC です。

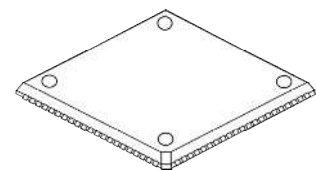
ドライバ部はしきい値電圧を設定することができ、出力ハイレベル電圧、ローレベル電圧、ハイインピーダンスは 4 チャンネルそれぞれ独立制御が可能です。コンパレータ部は各チャンネルのしきい値電圧を独立制御でき、出力ハイレベル電圧、ローレベル電圧を設定することが可能です。スイッチ部は電流検出時に必要なケルビン接続用スイッチで、センス用フォース用と 1 チャンネルに 2 つずつ入っています。

ドライバ出力とコンパレータ入力範囲は 15V と広範囲で、フラッシュメモリの様々なテストだけでなく TTL, ECL, CMOS(3V, 5V and 7V), LVCMOS などの回路へのインターフェースに最適な IC です。

特徴

- 15V 入出力電圧範囲
- 低消費電流動作
- 低出力リーク電流 : $I_{leak} < 2nA$
- 45MHz 動作
- ドライバ DC 出力電流 : $I_o = 125mA$
- PKG : QFN84-D4 (10.2mm x 10.2mm, t=0.2mm)
- CMOS 構造

外形

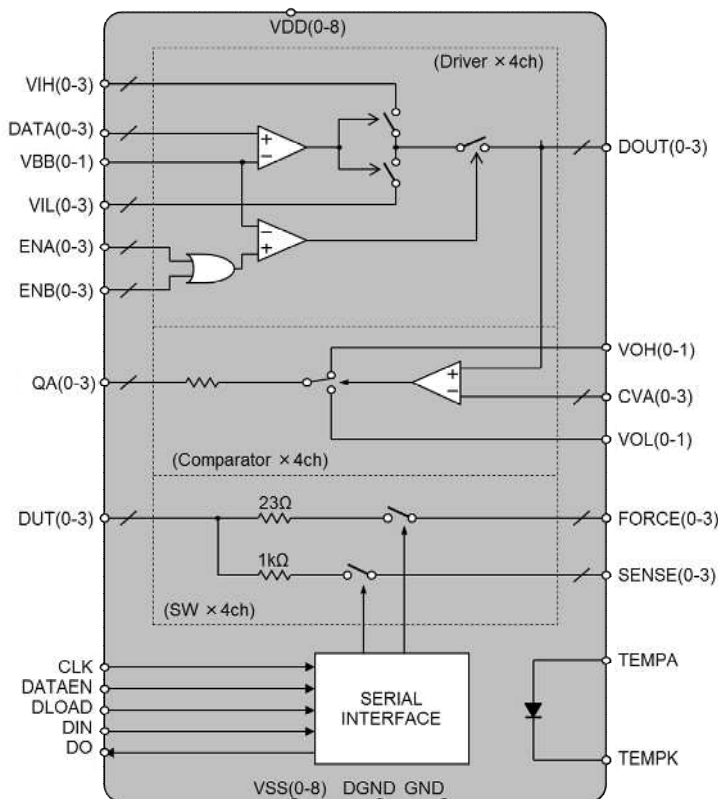


NJU6496KD4

アプリケーション

- バーンインテスタ
- ATE
- 測定器

ブロック図

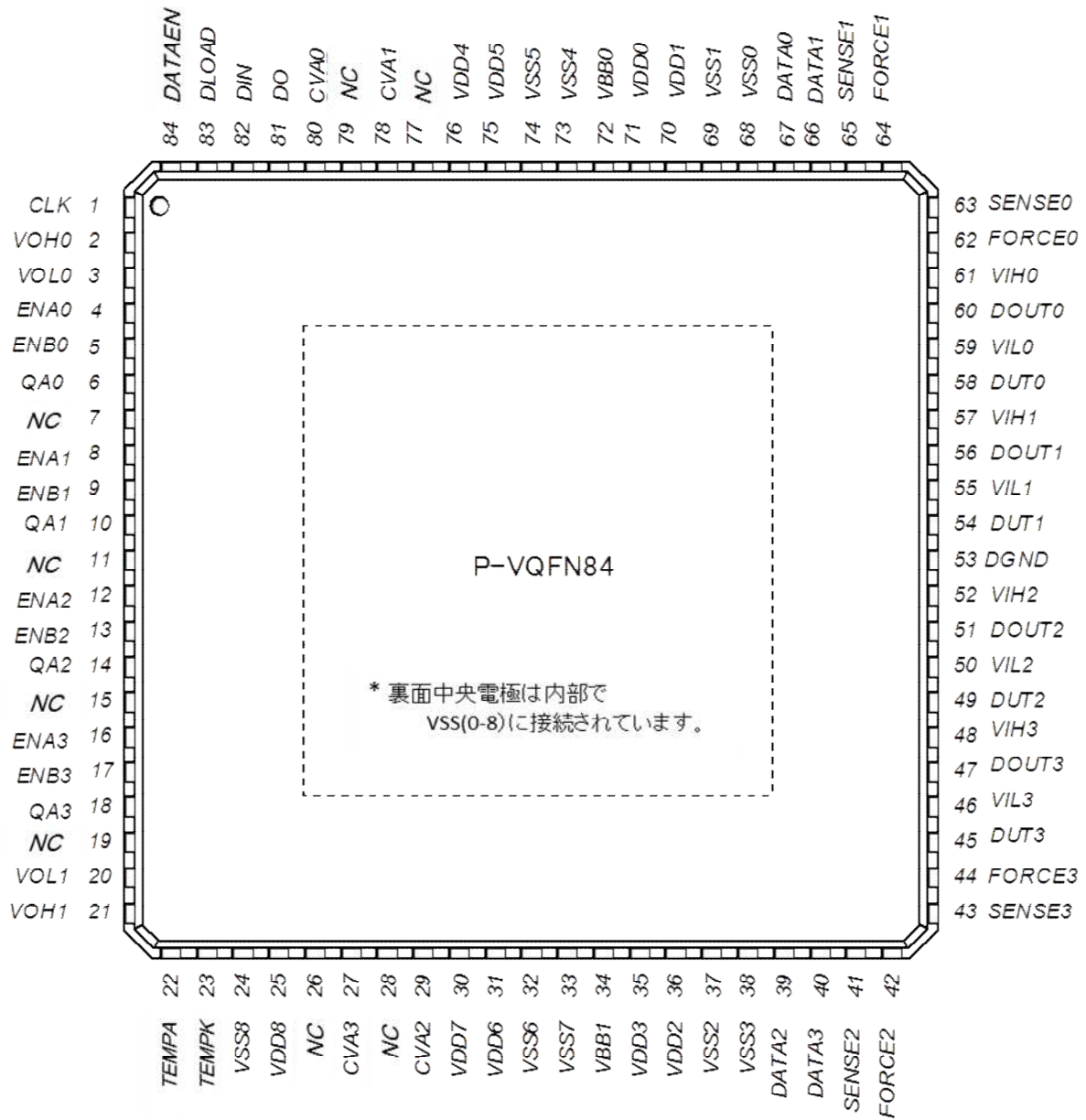


注 1) ドライバ、コンパレータ、スイッチ部分は 1 チャンネル分を示します。

注 2) (0-3) は 0~3 のいずれかの数字が入り、チャンネルを表します。

注 3) (0-1) 及び(0-8) は 0~1 または 0~8 のいずれかの数字が入り、それぞれ IC 内部で短絡しています。

端子配列



ピン番号	端子名	機能
39,40,66,67	DATA(0-3)	ドライバモード入力 (0-3ch)
4,8,12,16 5,9,13,17	ENA(0-3) ENB(0-3)	ドライバ出力のイネーブル/ハイインピーダンス 設定入力 (0-3ch)
47,51,56,60	DOOUT(0-3)	ドライバ出力、コンパレータ入力 (0-3ch)
48,52,57,61	VIH(0-3)	ドライバ出力ハイレベル設定出力 (0-3ch)
46,50,55,59	VIL(0-3)	ドライバ出力ローレベル設定入力 (0-3ch)
34,72	VBB(0-1)	ドライバ入力(DATA, EN) 閾値電圧設定入力
27,29,78,80	CVA(0-3)	コンパレータ A 閾値電圧設定入力 (0-3ch)
2,21	VOH(0-1)	コンパレータ出力ハイレベル設定入力
3,20	VOL(0-1)	コンパレータ出力ローレベル設定入力
6,10,14,18	QA(0-3)	コンパレータ A 出力 (0-3ch)
45,49,54,58	DUT(0-3)	DUT 接続端子 (0-3ch)
41,43,63,65	SENSE(0-3)	PMU センス接続端子 (0-3ch)
42,44,62,64	FORCE(0-3)	PMU フォース接続端子 (0-3ch)
81	DO	シリアルデータ出力
82	DIN	シリアルデータ入力
83	DLOAD	シリアルデータロード
84	DATAEN	シリアルデータ入力イネーブル
1	CLK	シリアルデータ入力用クロック
25,30,31,35,36,70,71,75,76	VDD(0-8)	正電源入力
24,32,33,37,38,68,69,73,74	VSS(0-8)	負電源入力
22	TEMPA	温度測定用ダイオード(アノード)
23	TEMPK	温度測定用ダイオード(カソード)
53	DGND	論理回路 GND
7,11,15,19,26,28,77,79	NC	IC 内部回路には接続されていません

絶対最大定格 (指定無き場合には Ta=25°C)

項目	記号	条件	定格	単位
電源電圧	V _{DD} - V _{SS}	V _{DD} , V _{SS} トータル電圧	17.0	V
入力電圧	V _{IN}	各入力端子	V _{SS} - 0.3 to V _{DD} (*1)	V
消費電力	P _D	(*2)	4400	mW
出力電流	I _{out}		130	mA
動作温度	T _{opr}		-20 to +85	°C
保存温度	T _{stg}		-40 to +150	°C

(*1) 入力電圧は、電源電圧印加時。電源電圧が17V以下の場合には電源電圧と等しくなります。

(*2) 基板実装時 76.2×114.3×1.6mm(4層 FR-4)でEIA/JEDEC 準拠による。裏面中央電極実装時

(4層基板内箔: 74.2×74.2mm、JEDEC 規格 JESD51-5 に基づき、基板にサーマルビアホールを適用)

推奨動作電圧 (Ta=25°C)

項目	記号	条件	単位
電源電圧	V _{DD} -V _{SS}	10.0 ~ 15.0 (トータル電圧)	V

電気的特性

指定無き場合 VDD=10V, VSS= -3V, VBB=1.5V, DATA=1.5±1.5V, VIH=5V, VIL=0V, ENA=ENB=0V, CL=33pF, RL=1k, Ta=25°C

項目	記号	条件	最小	標準	最大	単位
ドライバDC特性						
ハイレベル出力電圧	D _{OUTH}	DATA=5.0V	4.75	-	-	V
ローレベル出力電圧	D _{OUTL}	DATA=0V	-	-	0.25	V
出力リーク電流(HiZ時)	I _{leak}	ENA=3V, DUT=9.5V or -3V	-2	-	2	nA
出力抵抗	R _{out}		19.8	22.8	25.8	
DC出力電流(source)	I _{source DC}		125	-	-	mA
DC出力電流(sink)	I _{sink DC}		125	-	-	mA
ハイレベル入力電圧	V _{IH}		2.0	-	-	V
ローレベル入力電圧	V _{IL}		-	-	1.0	V
入力電流	I _{in}		-100	-	100	nA
ドライバAC特性 (f=10MHz)						
伝達遅延						
DATA to DUT 図1	T _{pdr} , T _{pdf}	VIH=3V, VIL=0V	15.4	16.9	18.4	ns
EN to DUT (Active to HiZ) 図2	T _{az}	VIH=3V, VIL=0V, DATA=3.0V, ENA=0V to 3.0V, f=500kHz	18	19.5	21	ns
EN to DUT (HiZ to Active) 図2	T _{za}	VIH=3V, VIL=0V, DATA=3.0V, ENA=3.0V to 0V, f=500kHz	15.5	17.0	18.5	ns
遅延時間マッチング 図1	T _{pdr} - T _{pdf}	VH=3V, VL=0V	-	-	1	ns

指定無き場合 VDD=10V, VSS= -3V, VBB=1.5V, DATA=1.5 ± 1.5V 10MHz, VIH=3V, VIL= 0V, ENA=ENB=0V, CL=33pF, RL=1k , Ta=25°C

項目	記号	条件	最小	標準	最大	単位
ドライバAC特性 (f=10MHz)						
立上がり立下り時間						
1V スイング時 図3	Tr 1/ Tf1	VIH=1V, VIL=0V, 20% to 80%	-	4.8	11.0	ns
3V スイング時 図3	Tr 3/ Tf3	VIH=3V, VIL=0V, 10% to 90%	-	6.7	15.5	ns
5V スイング時 図3	Tr 5/ Tf5	VIH=5V, VIL=0V, 10% to 90%	-	6.8	15.5	ns
10V スイング時 図3	Tr 10/ Tf10	VIH=10V, VIL=0V, 10% to 90%	-	7.2	-	ns
15V スイング時 図3	Tr15/ Tf15	VDD=12V, VIH=12V, VIL= 3V, 10% to 90%	-	7.4	-	ns
立ち上がり時間 / 立ち下がり時間 マッチング 図3	Tr - Tf		-	-	2	ns
オーバーシュート, アンダーシュート, プリシュート	Vshoot	VIH=3V, VIL=0V, CL=33pF	-	150	-	mV
最大動作周波数 図4	Fmax	VIH=5V, VIL=0V	45	-	-	MHz
最小パルス幅 図4	Tpw	VIH=5V, VIL=0V	-	-	11	ns

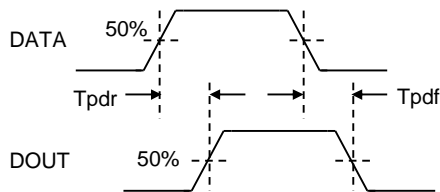


図 1

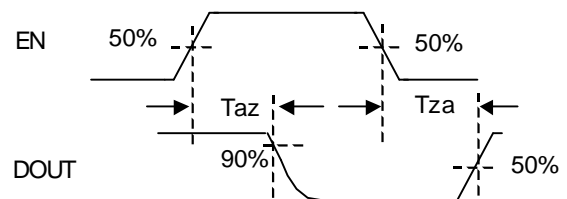


図 2

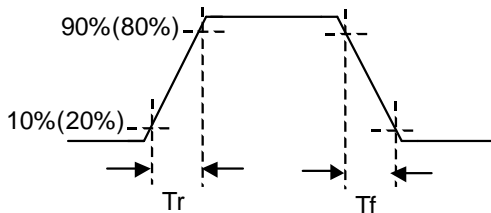


図 3

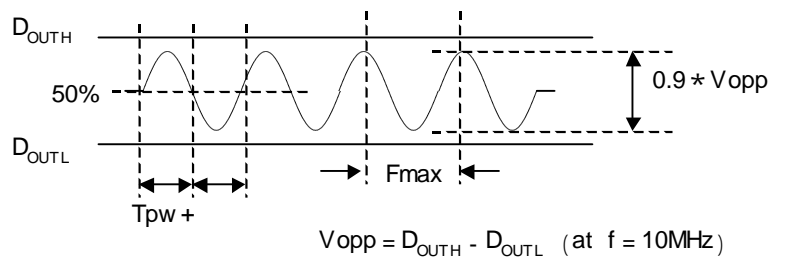


図 4

NJU6496

指定無き場合 VDD=10V, VSS= -3V, ENA=ENB=3V, CVA=1.5V, DOUT=1.5 ± 1.5V 10MHz, VOH=3V, VOL= 0V, CL=33pF, RL=1k , Ta=25°C

項目	記号	条件	最小	標準	最大	単位
コンパレータ DC 特性						
ハイレベル出力電圧	Vch		2.75	3.0		V
ローレベル出力電圧	Vcl			0	0.25	V
入力オフセット電圧	Voff		-50	0	50	mV
出力抵抗	Rcout		25	35	45	
コンパレータ AC 特性						
伝達遅延						
DUT to QA,QB	Tcpdr, Tcpdf		9	12	15	ns
オーバードライブ電圧変動時	Tpd/ DUTamp1	DOUT=1.5V ± [100mV ~ 1V]	-	8	10	ns/V
	Tpd/ DUTamp2.5	DOUT=1.5V ± [1V ~ 2.5V]	-	0.8	1.5	ns/V
コモン電圧変動時	Tpdcn	CVA=0V ~ 3.0V, DOUT=CVA ± 1.5V	-	-	2	ns
遅延時間マッチング	Tcpdr-Tcpdf		-	-	2	ns
その他						
立ち上がり/立ち下がり時間 図3	Tcr / Tcf	10% to 90%	-	3.0	-	ns
最大動作周波数 図4	Fmax	VOH=3V, VOL=0V	60	-	-	MHz
最小パルス幅 図4	Tpw	VOH=3V, VOL=0V	-	-	8	ns

指定無き場合 VDD=10V, VSS= -3V, Ta=25°C

項目	記号	条件	最小	標準	最大	単位
アナログスイッチ特性						
FORCE スイッチ抵抗	Rf	V _{FORCE} =0V, I _{DUT} =10mA	18	23	28	
SENSE スイッチ抵抗	Rs	V _{SENSE} =0V, I _{DUT} =1mA	0.7	1	1.3	k
FORCE 端子容量	Cf	SW open		9		pF
SENSE 端子容量	Cs	SW open		8		pF
DUT 端子容量	Cd	SW open		10		pF
スイッチ電流リーク	Iswleak	V _{DUT} =0V, V _{SENSE} =-3 or 9.5V, V _{FORCE} =-3 or 9.5V	-2	-	2	nA

指定無き場合 VDD=10V, VSS= -3V, VBB=1.5V, DATA=0V, VIH=3V, VIL=0V, ENA=ENB=0V, RL=1k , CL=33pF, CVA=1.5V, VOH=3V, VOL=0V, Ta=25°C

項目	記号	条件	最小	標準	最大	単位
電源特性						
正電源消費電流	I _{DD}	無信号時	-	45	65	mA
負電源消費電流	I _{SS}	無信号時	-65	-45	-	mA

指定無き場合 VDD=10V, VSS= -3V, Ta=25°C

項目	記号	条件	最小	標準	最大	単位
データインターフェース						
電源投入時セットアップ時間	T _{st}		-	200	-	ns
Hレベルデータパルス幅 図5	T _{pwh}		-	33	-	ns
Lレベルデータパルス幅 図5	T _{pwl}		-	33	-	ns
DATAEN Low ホールドタイミング 図5	T _{cel}		5	-	20	ns
DATAEN High ホールドタイミング 図5	T _{ceh}		5	-	20	ns
CLK 最大入力周波数	F _{clk}		15	-	-	MHz
DO 出力遅延時間 図5	T _{co}		-	-	30	ns
最大ロジック確定時間 図5	T _{el}		-	20	-	ns
DLOADデータパルス幅 図5	T _{lw}		30	-	-	ns
ハイレベル入力電圧	V _{dh}		2.4	-	10	V
ローレベル入力電圧	V _{dl}		-3	-	0.6	V
DO 立上り、立下り時間	Tr _{do} , Tf _{do}	CL=10pF	-	6	-	ns

入出力テーブル ドライバ

DATA, ENA, ENB	Status
VBB+0.5V	H
VBB-0.5V	L

ENA	ENB	DATA	DOUT
H	X	X	HiZ(OPEN)
X	H	X	HiZ(OPEN)
L	L	H	VIH
L	L	L	VIL

コンパレータ

DOUT	Status
CVA+0.1	H
CVA-0.1	L

DOUT	QA
H	VOH
L	VOL

スイッチ制御 タイミングテーブル

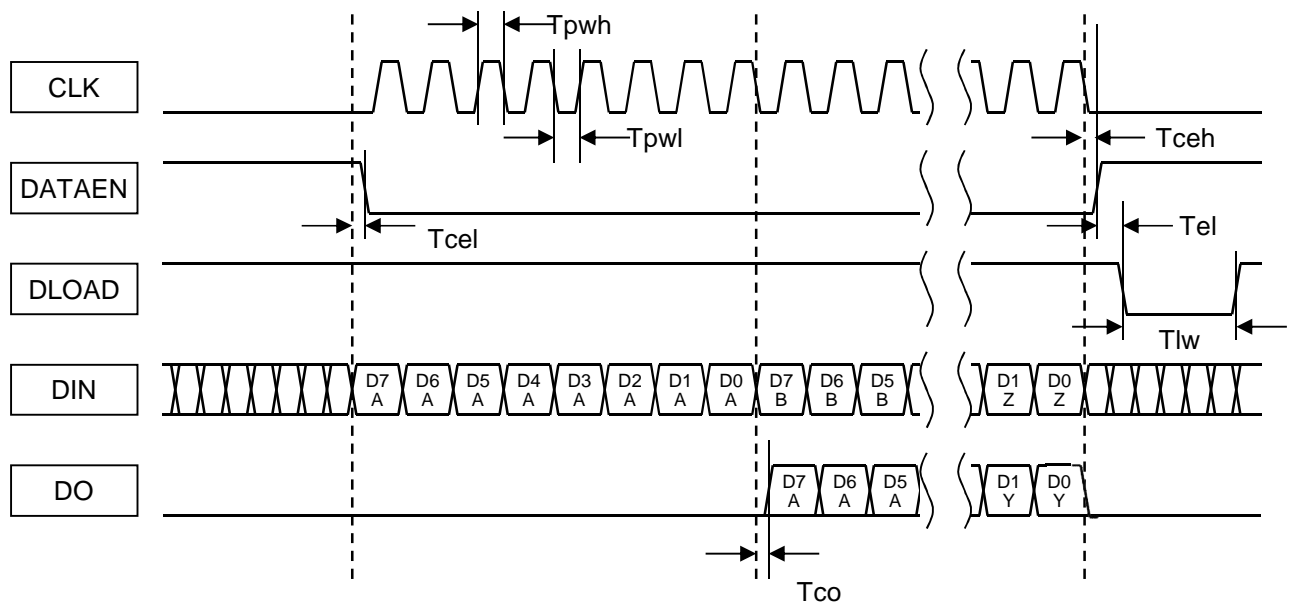


図5 データ入力タイミングテーブル

入力データテーブル

データ名	機能	ビットステート		デフォルト値
		0	1	
D0	CH3 FORCE SW	OPEN	CLOSE	0
D1	CH3 SENSE SW	OPEN	CLOSE	0
D2	CH2 FORCE SW	OPEN	CLOSE	0
D3	CH2 SENSE SW	OPEN	CLOSE	0
D4	CH1 FORCE SW	OPEN	CLOSE	0
D5	CH1 SENSE SW	OPEN	CLOSE	0
D6	CH0 FORCE SW	OPEN	CLOSE	0
D7	CH0 SENSE SW	OPEN	CLOSE	0

インターフェースについて

NJU6496 はアナログスイッチ制御のためのシリアルインターフェースを内蔵しています。このシリアルインターフェースは8ビット・シフトレジスタとスイッチ制御レジスタで構成されています。データ入力はCLK、DATAEN、DLAOD、DINで、データ出力はDOです。

・データ入力

DATAEN が LOW に設定されている間はデータ入力と出力はアクティブ状態になります。CLK の立ち上がりエッジで DIN をシフトレジスタにロードします。

・データ出力

シフトレジスタのデータは DO を通じて出力されます。DO はシフトレジスタの最終ビットのバッファ出力であり、VDD と VSS の電圧レベルで出力されます。DO を利用して複数のデバイスをデジチェーン接続することが可能です。

・スイッチのロード

アナログスイッチのロードタイミングは DLOAD で制御されます。DLOAD の立下りエッジでシフトレジスタのデータがスイッチ制御レジスタにロードされ、アナログスイッチの状態を切り替えます。スイッチ制御レジスタにロードされたデータはデータの書き換えがない限りデータを保持します。

・OFF 状態

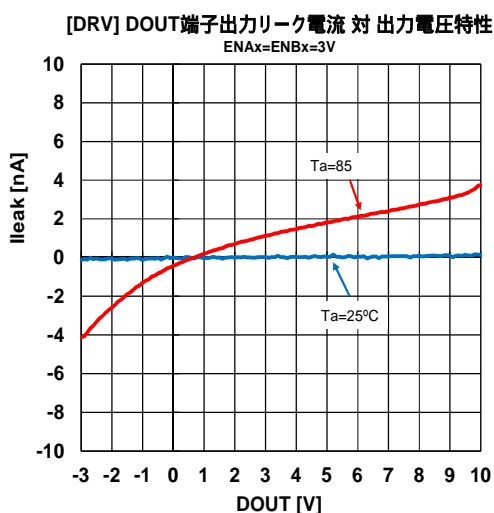
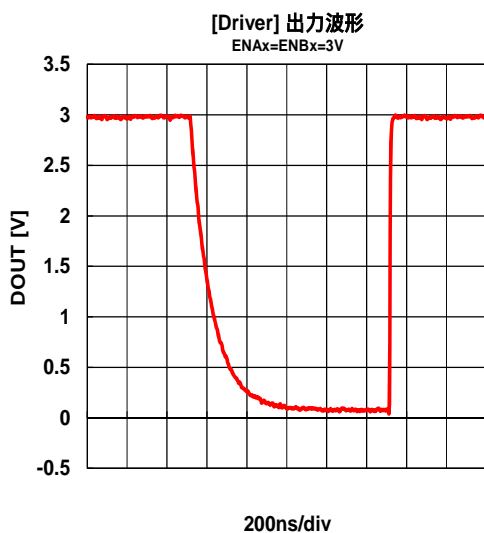
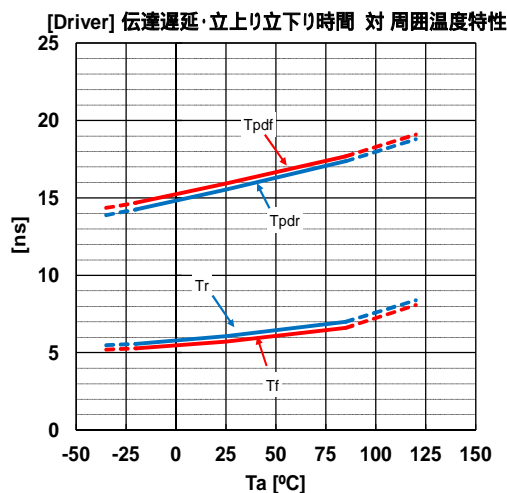
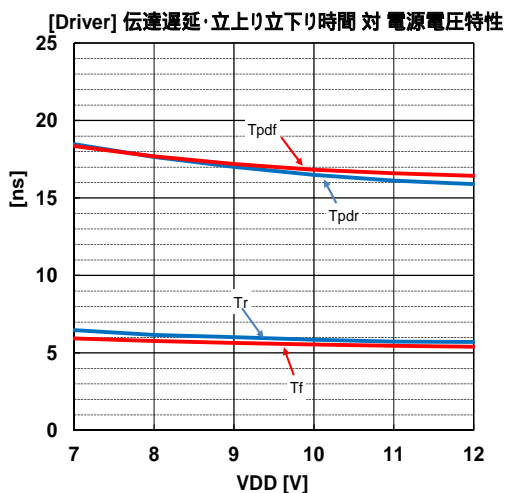
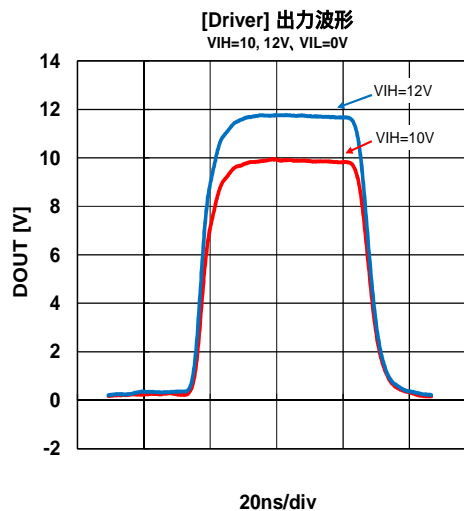
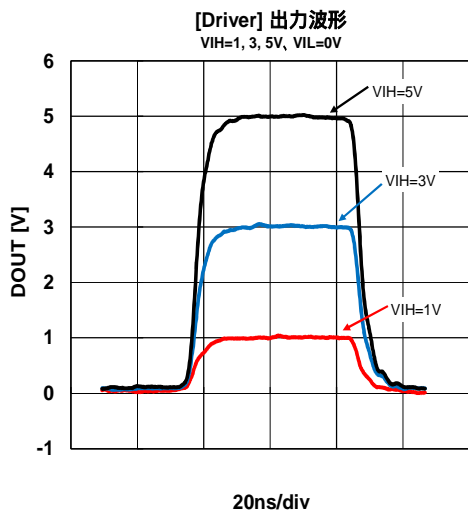
DATAEN が HIGH に設定されている間は、データはロードされず、同時に DO は LOW に固定されます。また、CLK を入力する必要はありません。

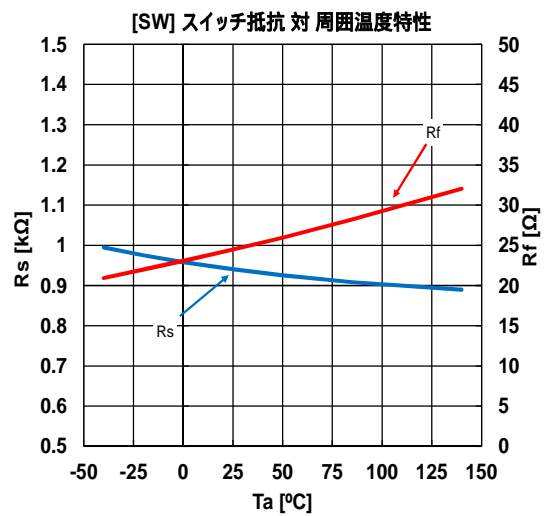
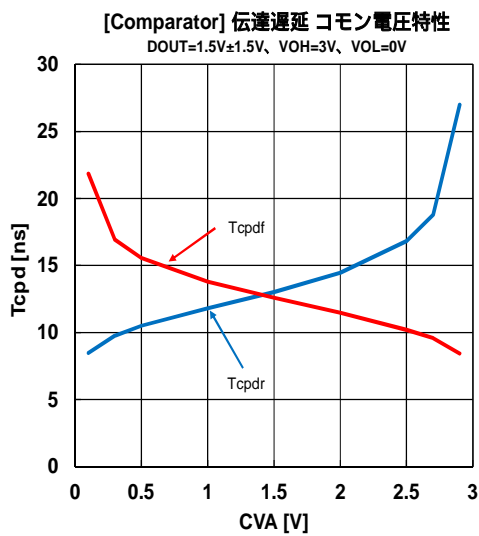
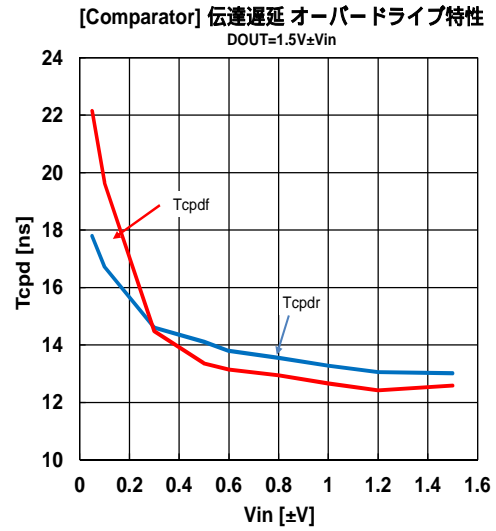
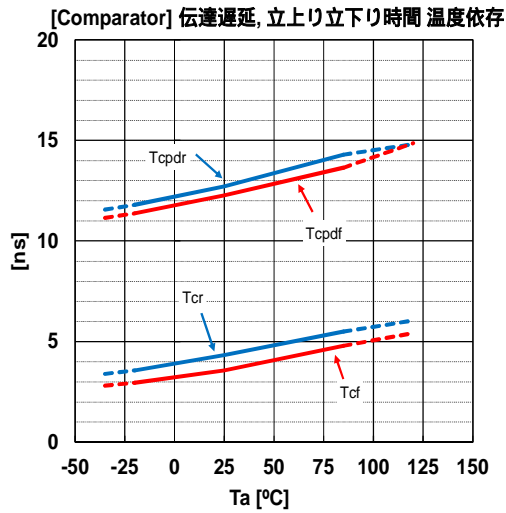
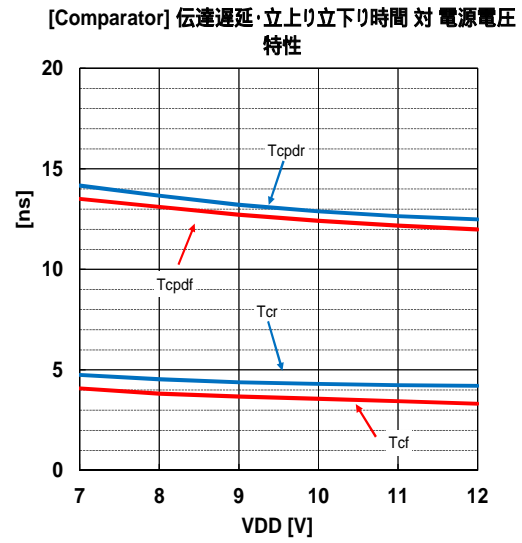
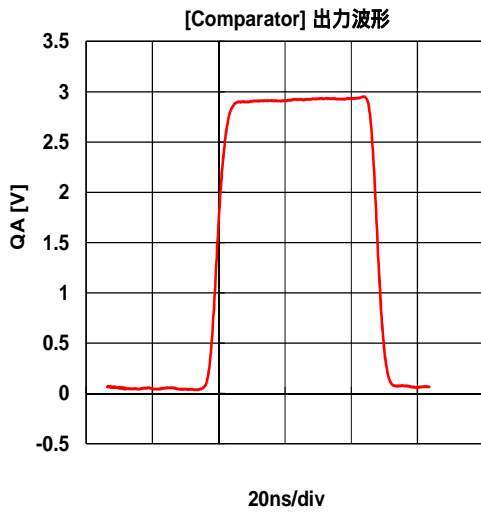
・電源投入時

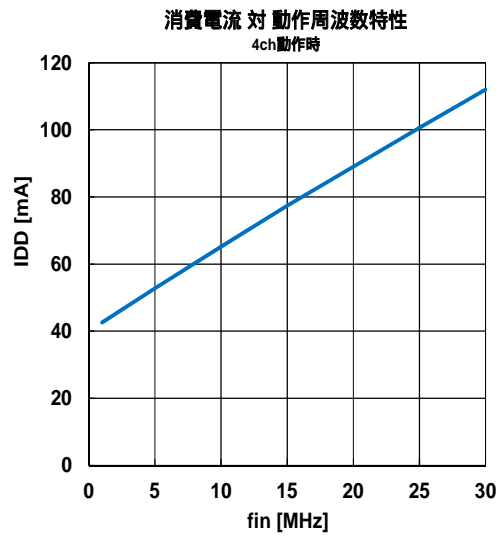
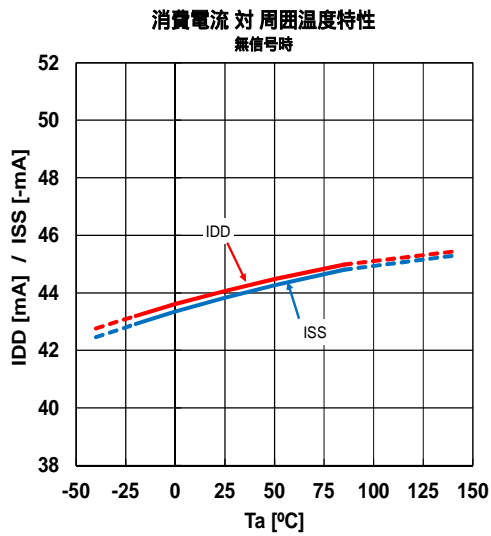
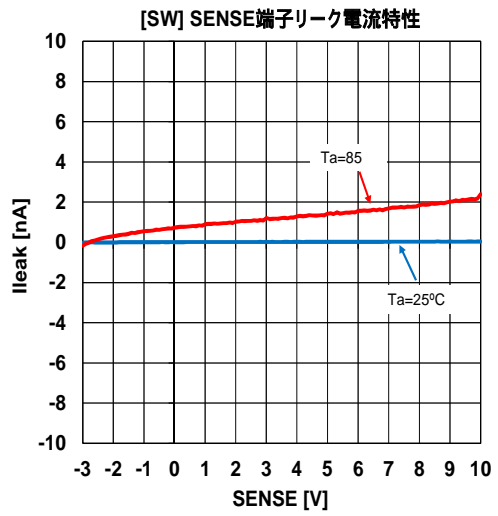
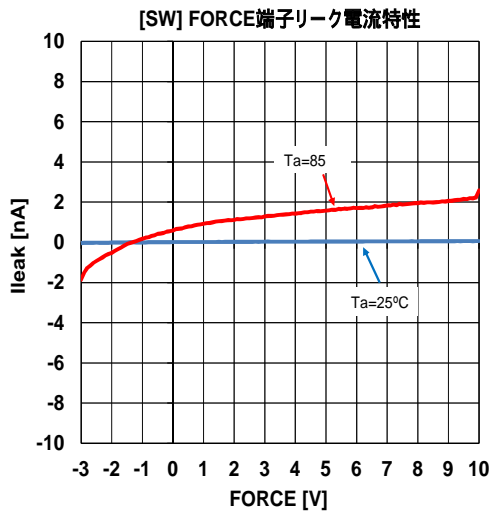
電源投入直後のスイッチ制御レジスタは LOW に設定され、アナログスイッチは OPEN(OFF)状態になります。

特性例

特に指定のない限り、VDD=10V, VSS= -3V, VBB=1.5V, ENAx=ENBx=0V, VIHx=3V, VILx=0V, CVAx=1.5V, VOH=3V, VOL=0V、RL=1k、CL=33pF、Ta=25







注意事項

1) 端子内部短絡及びその配線方法について

VSS(0-8)、VDD(0-8)、VBB(0-1)、VOH(0-1)、VOL(0-1)はそれぞれIC内部で短絡していますが、内部電源インピーダンス低減のためそれぞれに配線を行いますようにご留意願います。

2) 電源投入順序について

電源投入の際はVSS(0-8)、VDD(0-8)、VBB(0-1)及びCVA(0-3)、その他の入力の順で電源を投入してください。順序が変わるとICの破損や特性劣化につながる事があります。

3) HiZ 時リーク電流について

ハイインピーダンス時、DOUT(0-3)やVIH(0-3)、VIL(0-3)の電圧をVDD(正電源電圧)付近にした場合、または高温の場合にリーク電流が2nAを超えることがあります。

<注意事項>

このデータブックの掲載内容の正確さには万全を期しておりますが、掲載内容について何らかの法的な保証を行うものではありません。とくに応用回路については、製品の代表的な応用例を説明するためのものです。また、工業所有権その他の権利の実施権の許諾を伴うものではなく、第三者の権利を侵害しないことを保証するものではありません。