

24 キー入力キースキャン IC

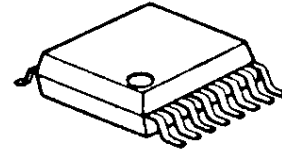
■ 概要

NJU6010 は、内部クロックで動作する 24 キー入力のキースキャン IC です。

最大 4×6 のキーマトリックスをスキャンし、CPU にキーデータを転送します。

CPU とのインターフェイスは、最速 2MHz の高速クロックによるシリアルインターフェイスを持ち、CPU と直接接続することができます。

■ 外形

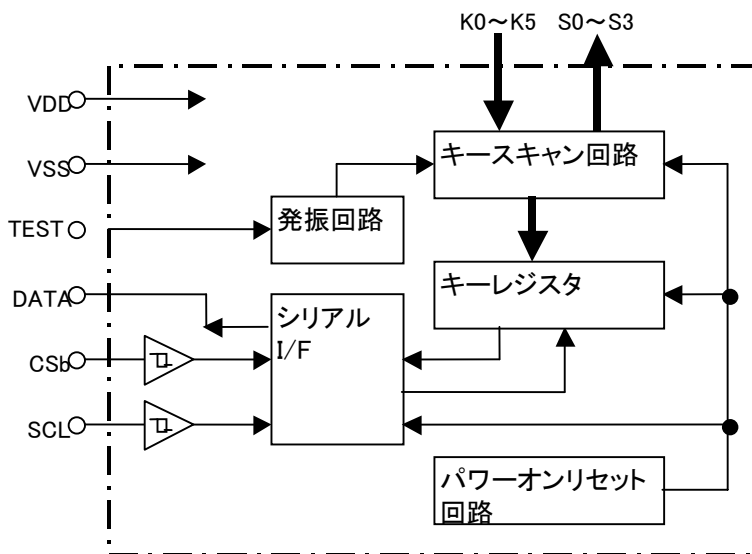


NJU6010VT

■ 特徴

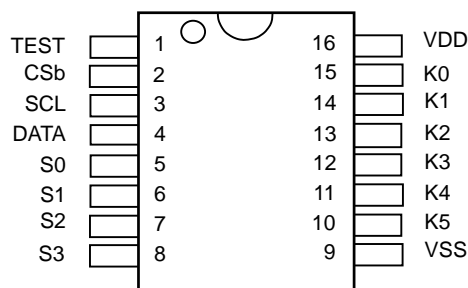
- キースキャン機能 (最大マトリックス 4X6 24 キー)
- シリアルデータ転送 (シフトクロック 2MHz Max.)
- 発振回路内蔵
- パワーオンリセット機能
- 電源電圧 2.4 to 5.5V
- CMOS 構造 (P-Sub)
- 外形 SSOP16

■ ブロック図



■ 端子配列

● SSOP16



NJU6010-T

■ 端子説明

No.	端子名	機能
1	TEST	発振回路テスト端子
2	CSb	Lでデータの出力が可能になります。
3	SCL	シリアルクロック入力端子
4	DATA	シリアルデータ出力端子 (REQ 信号兼用) CSb=H→リクエスト信号出力、CSb=L→キーデータ出力
5~8	S0 ~ S3	キースキャン出力端子
9	VSS	GND 端子
10~15	K0~K5	キースキャン入力端子 (プルアップ内蔵)
16	V _{DD}	電源端子

■ 機能説明

(1) 各ブロック機能

- ・ シリアル I/F
シリアルインターフェイス制御です。出力信号の制御を行います。
- ・ パワーオンリセット回路
電源投入時に自動的にキーレジスタの内容を初期化(リセット)します。
- ・ キースキャン回路
キースキャンの制御回路です。キーが押された場合、DATA 端子からリクエスト信号を出し、CPU がキーデータを読み込みを開始 (CSb=L) するまで、キーデータをキーレジスタに保持します。
- ・ キーレジスタ
読み込んだキーデータを保持します。
- ・ 発振回路
内蔵の発振回路です。

(2) キースキャン回路

キースキャンは、キースキャン信号の出力部 (S0~S3) キーキャン信号の取込み部 (K0~K5) から構成されています。これらの端子を図 1 のように、4×6 のマトリックス状にキーを接続することで、最大 24key のキー入力に対応します。また、複数キーの多重押しに対応しています (条件有り)。

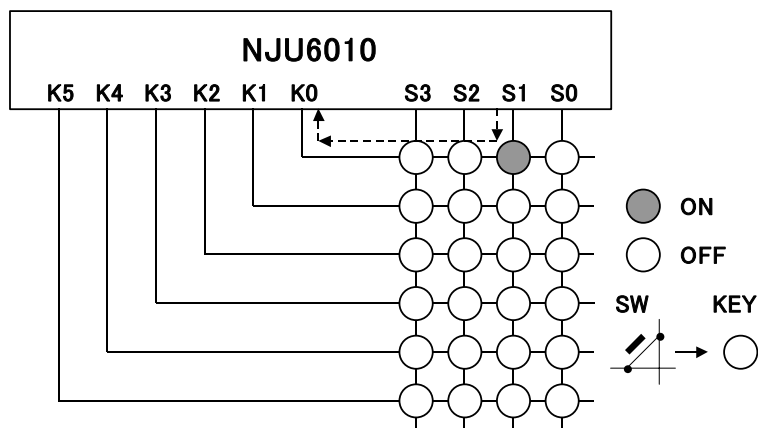


図 1 キースキャン・マトリックス

(2-1)キースキャンタイミング

キースキャン周期は、 $512 \times T[s]$ ($T=1/fosc$)であり、この周期でキースキャンを2回実行することで、キーデータの検出をします。これにより、チャタリングなどによる誤動作を防ぎます。(図2参照)

キースキャンは、CSbが“H”の状態では有効になります。CSbが“L”の状態ではキースキャンは動作しません。

2回のキーデータが一致した場合には、キーが押されたと判断し、キー入力時から最大 $1408 \times T[s]$ 後に、CPU に対してキーデータ読み込み要求 (REQ 信号) として、DATA 端子に “H” が出力されます。DATA 端子に “H” が出力されると、NJU6010 は、キーデータの読み出しを開始するまで、キーデータは内部レジスタに保持されます。キーデータの読み出しが終了するまで、キースキャンは実行できません。

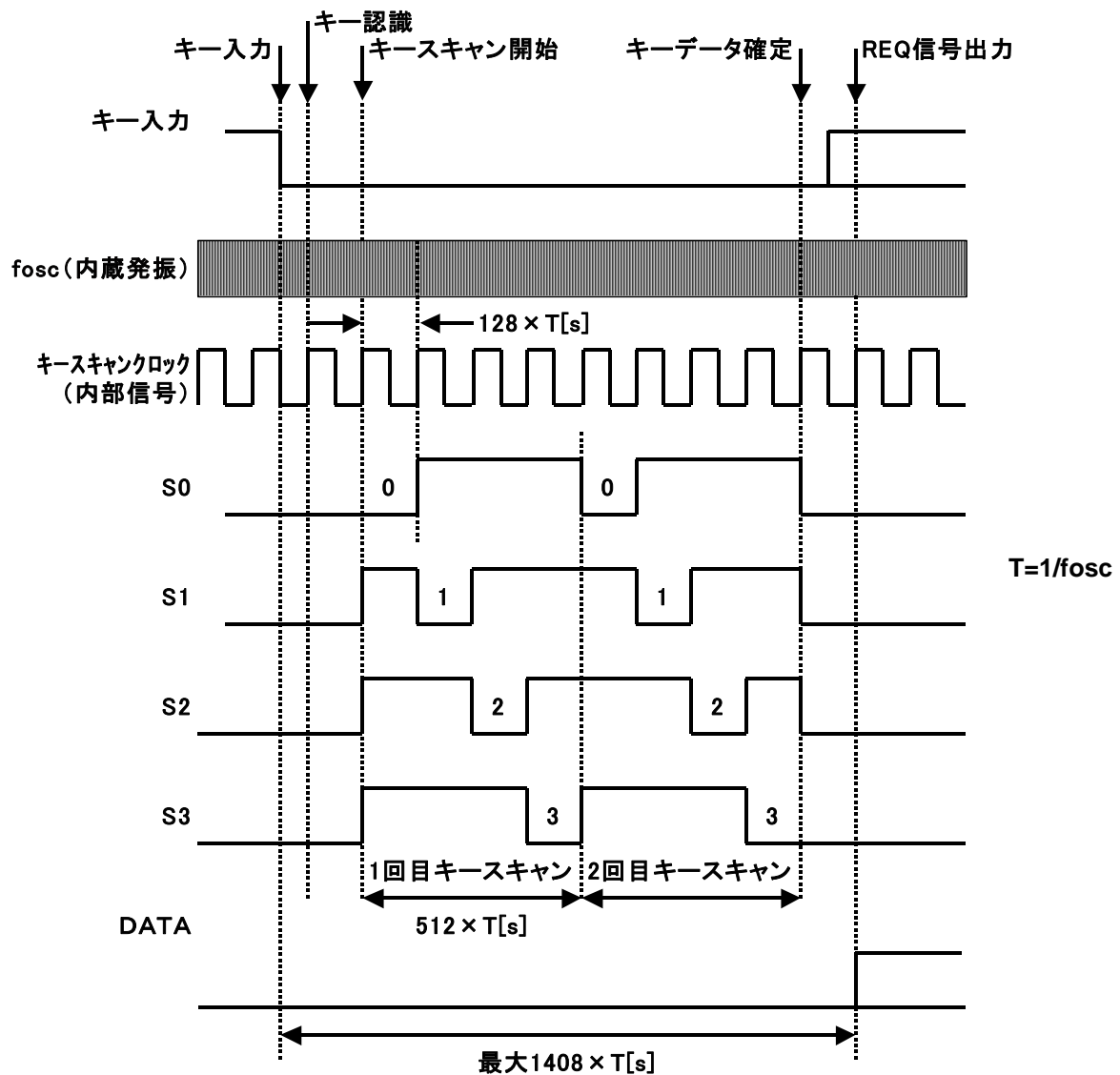


図 2 キースキャンタイミング図

(2-2)キーの判別方法

キーの判別方法は、図 2 に示したキースキャン出力信号 (S0~S3) を K0~K5 端子で取り込むことにより押されたキーの判別を行います。S0~S3 は通常”L”に固定されており、K0~K5 は、NJU6010 内部でプルアップされている入力端子です。

例として、図 3 に示すように S1 と K0 の交点のキーが押されたとします、このとき K0 が”H”から”L”に変化します。この K0 信号の変化により NJU6010 はキーが押されたこと検出し、どのキーが押されたか判別するため、S0~S3 からキースキャン信号を出力します。(図 4 参照)

このスキャン動作により、S1 のスキャン信号が K0 端子に入力されます。(図 3 中の点線ルート) これにより、NJU6010 は、S1 と K0 の交点のキーが押されたことを判別します。

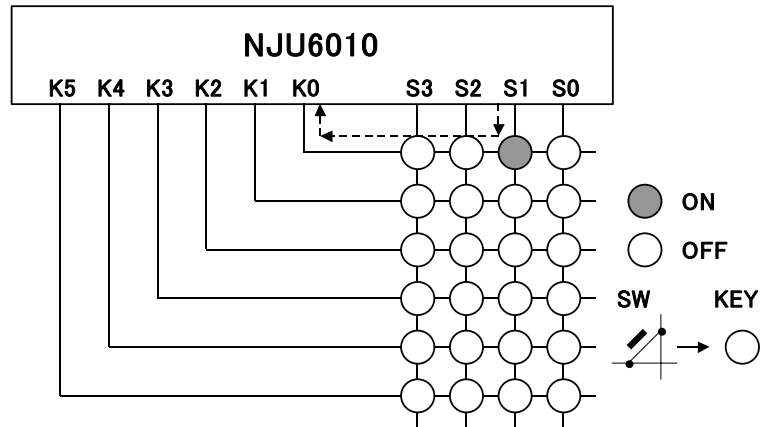


図 3 キースキャン判別 例 1

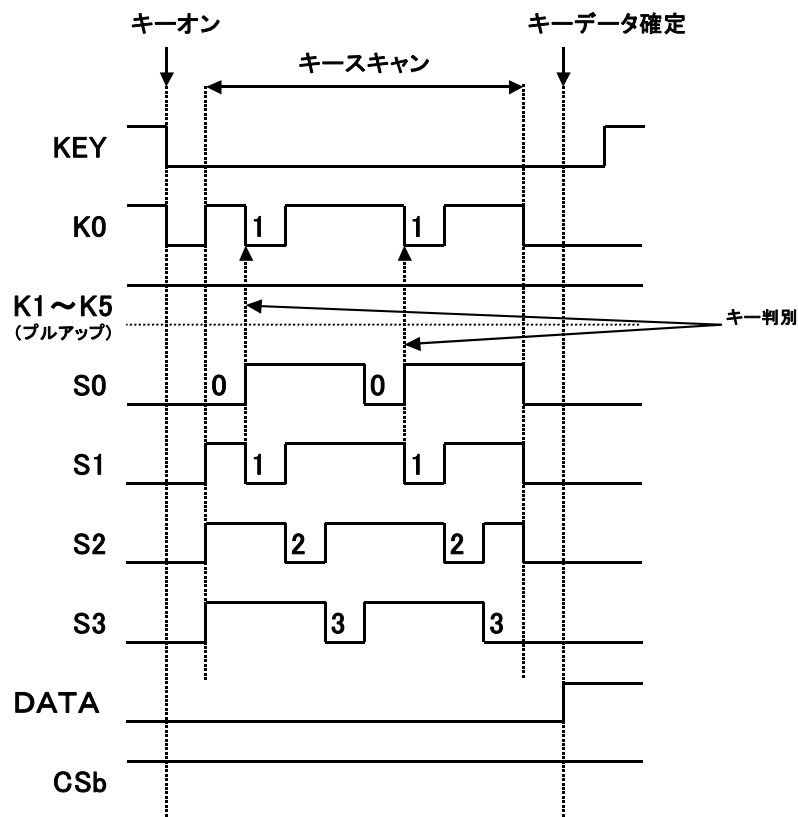


図 4 キースキャン判別 例 2

(2-3) キースキャンデータ出力例

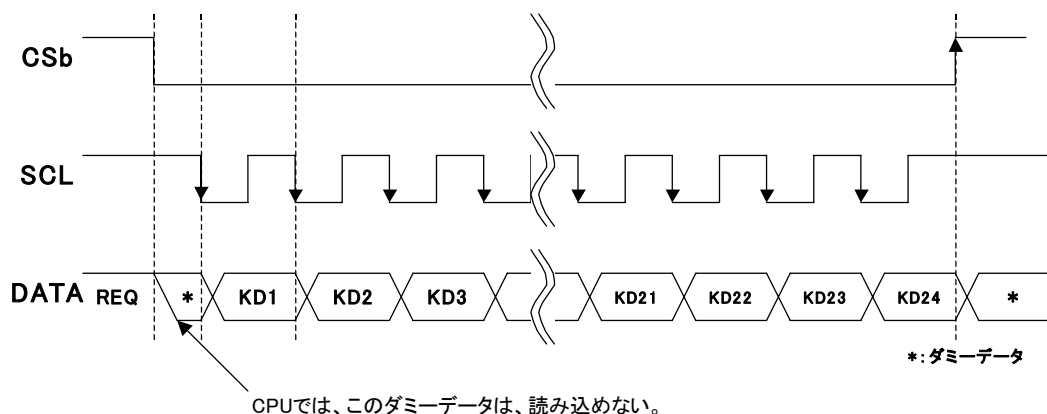
キーデータの読み出しは、CSb が「L」になっている時、SCL の立ち下がりで、DATA 端子からダミーデータ→KD1~KD24→ダミーデータ（余分なクロックが入力されたとき）の順でデータを出力します（図5参照）。よって、CPU によるキーデータ読み込みは、SCL の立ち上がりで行ってください。このとき、CSb が立ち下がったとき、SCL の状態は、「H」でも「L」でも、NJU6010 は、キーデータの読み出しが可能です。（図5 ①②参照）しかし、①の場合、CPU 側では最初のダミーデータの読み込みは、行えません。これに対し②の場合は、最初のダミーデータの読み込みを行うように、それぞれ CPU 側での設定が必要になります。

キーデータの出力は、KD1~KD24 の 24 ビットを使用して出力されます。このとき、押されたキーに対応するビットは「H」で出力され、それ以外は「L」が出力されます。（(2-4)キーマトリックスとキーデータの対応参照）

キーデータの読み込みタイミングは、CSb が「H」の時 DATA が「H」（REQ フラグ）になることで CPU に対しキーデータの読み込み要求を出します。この REQ フラグを確認後キーデータの読み込みをしてください。CSb が「H」の時 DATA が「L」の状態、キーデータの読み込みを行った場合、データは不定が出力されます。

CPU が、読み込み終了後、CSb を「H」にすることで NJU6010 は、キーデータの読み出しを解除し、次のキー入力待ちます。このとき、キーデータ 24 ビット全て読み出す前に CPU が、CSb を「H」にした場合、レジスタ内のキーデータは失われ、REQ フラグも解除され、NJU6010 は次のキー入力待ちます。

① SCL が H の場合



② SCL が L の場合

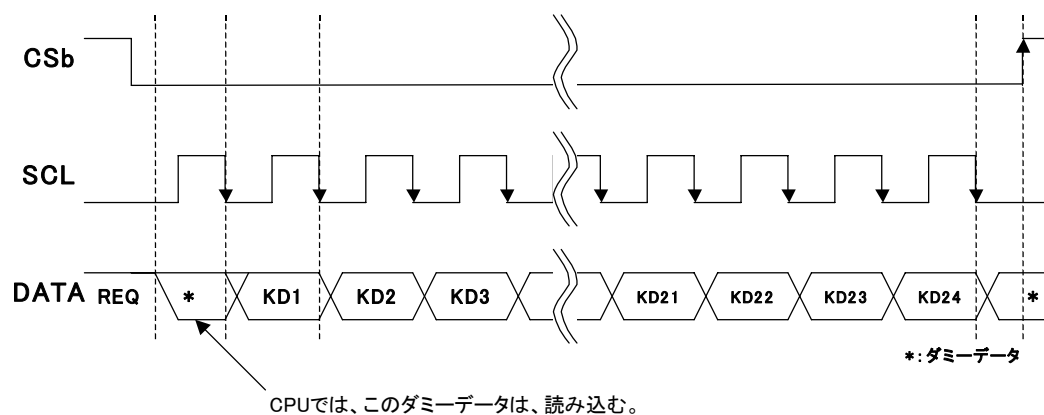


図 5 キーデータ転送タイミング

NJU6010-T

(2-4)キーマトリックスとキーデータの対応

NJU6010のキーマトリックスとキーデータは、図6のように対応しています。

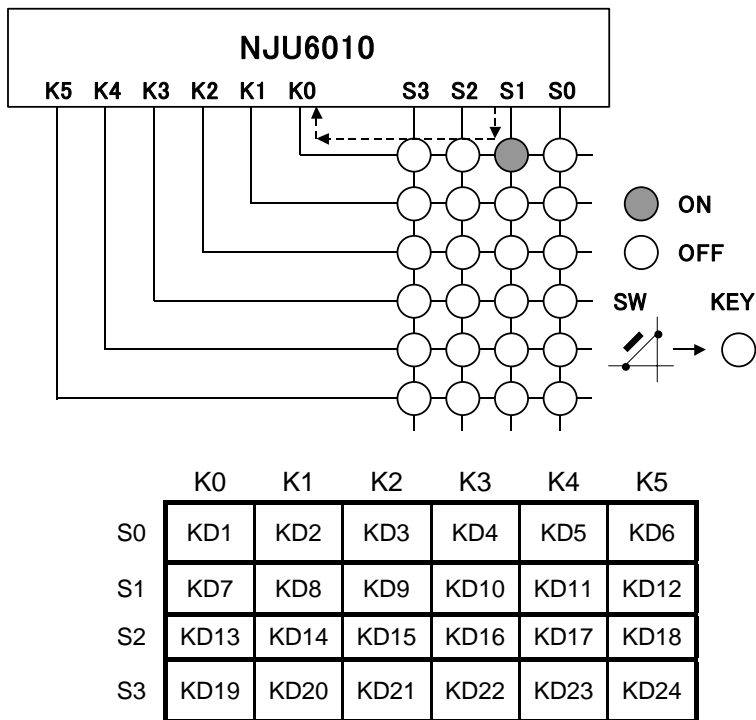


図6 キーマトリックスとキーレジスタの対応

(2-5)キーの多重押しについて

キーの多重押しに関しては、図7に示す様な3重押し以上の場合には、スキャン信号の回り込みにより押されていないキーが押されたものとしてキーデータが出力されます。この間違ったデータによる誤認識を防ぐためには、各キーに直列にダイオードを挿入(図8参照)するか、誤認識の可能性のあるキーの組み合わせをCPU側のプログラムで排除するなどの対策が必要になります。

ただし、図9に示すようなキーの押し方であれば、ダイオードなしで多重押しの認識が可能です。

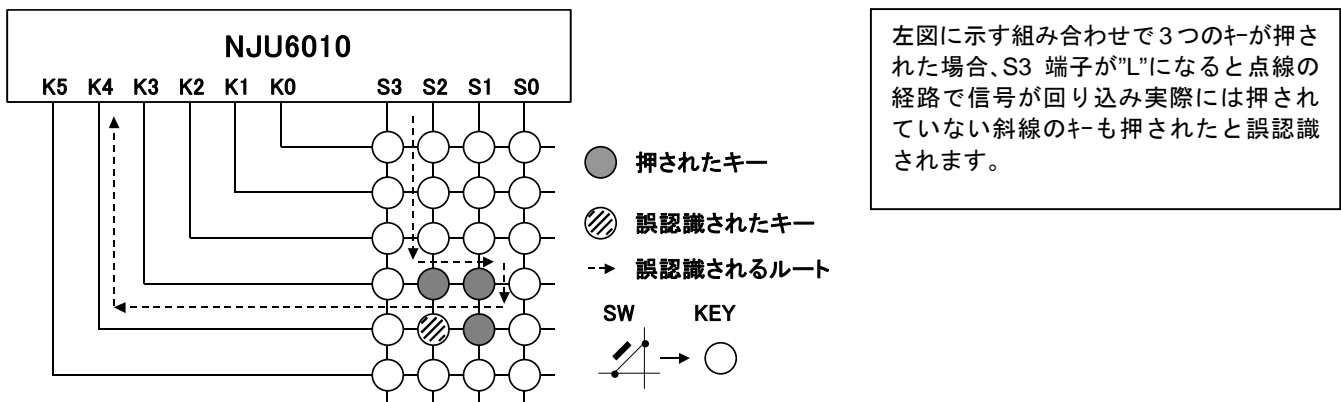


図7 多重押し

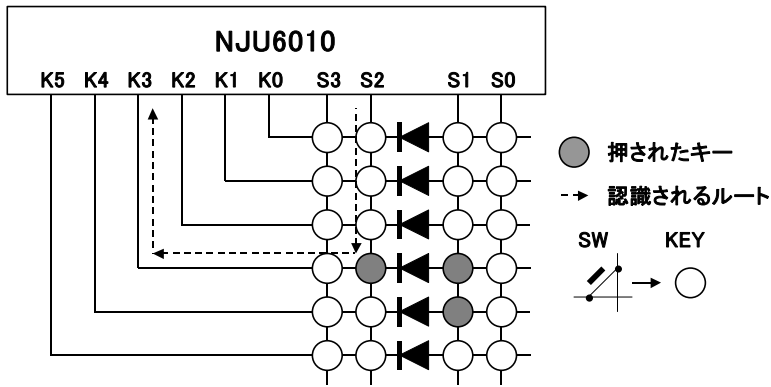


図7の誤認識を防止するには、左図のようにダイオードを挿入します。これにより、図7の誤認識ルートを修正し、正確なキー認識が可能になります。

図 8 図7における誤認識防止ダイオード挿入例

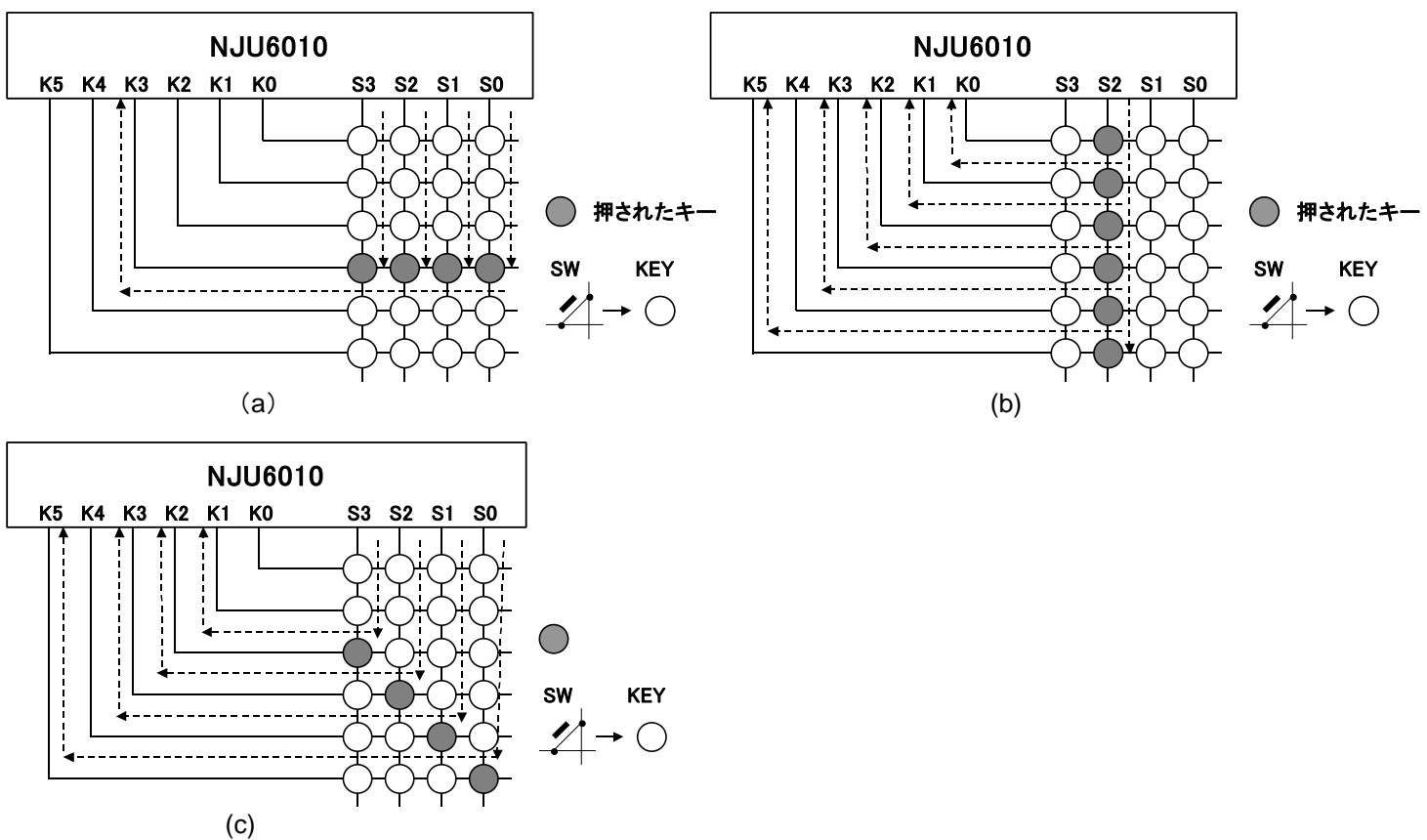


図 9 認識可能な多重押しパターン

(2-6) キースキャン動作例

図 10 にキースキャンの動作例を示します。

- ① 通常のキースキャン。
 キー入力を検出しキースキャンを開始。キーデータ確定後 DATA を”H” (REQ フラグ) にする。
 REQ フラグが有効になったあとはキー入力があってもキースキャンは行わない。
 CSb を”L”にすることで NJU6010 は、キーデータの読み出しを行い、”H”にすることで、キーデータの読み出しを解除します。
- ② キーデータの読み出し解除 (CSb=”H”) 後のキースキャン
 キーデータの読み出し終了後、キー入力が続いていた場合、NJU6010 は、再度キースキャンを実行します。
- ③ CSb=”L”の時のキースキャン
 CSb=”L”のときは、REQ フラグが立っていても、キースキャンは行えません。
 キースキャンは、CSb=”H”のときで REQ フラグが立っていない状態で有効になります。
- ④ 無効データ
 REQ フラグが立っていない時に、CPU がキーデータの読み込みを行った場合のデータは不定になります。

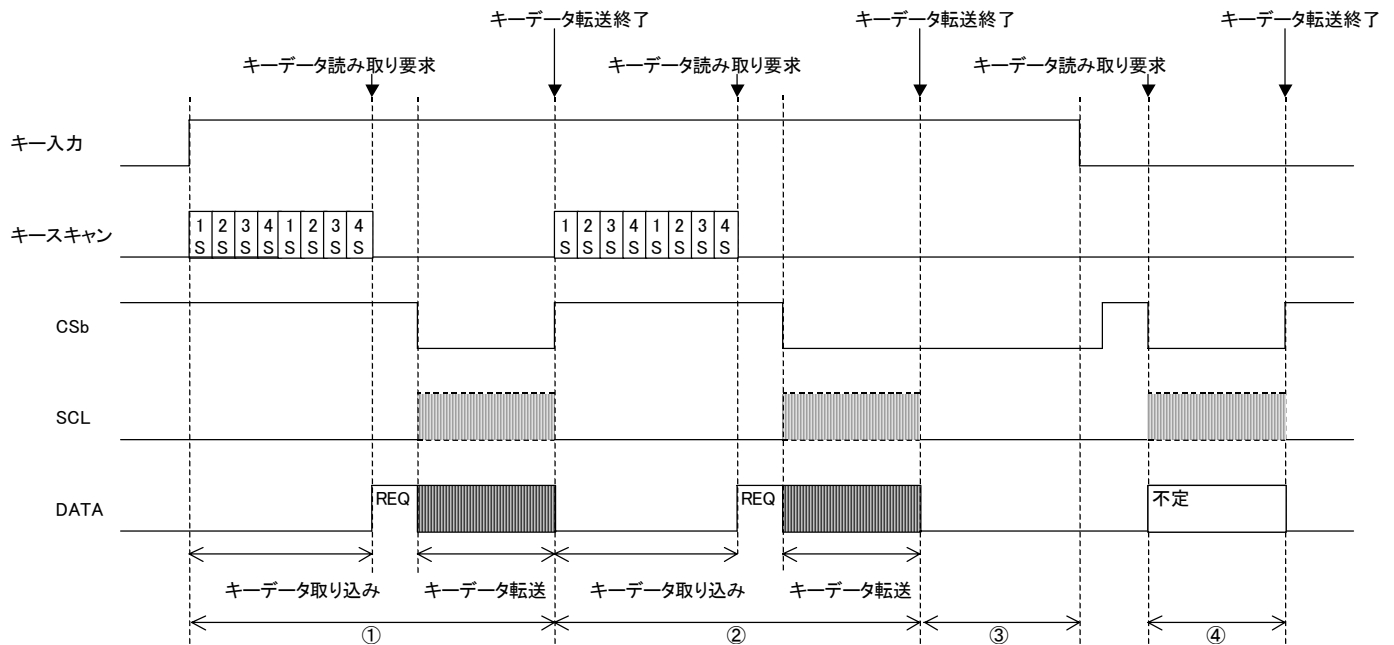


図 10 キースキャン動作例

■ 絶対最大定格

(Ta=25°C)

項目	記号	定格値	単位	備考
電源電圧	V _{DD}	-0.3 to +7.0	V	
入力電圧	V _{IN1}	-0.3 to V _{DD} +0.3	V	CSb, SCL, TEST 端子に適用
動作温度	T _{opr}	-40 to +105	°C	
保存温度	T _{stg}	-55 to +125	°C	
許容損失	P _D	300	mW	

注 1) 絶対最大定格を超えて LSI を使用した場合、LSI が破壊することがあります。

注 2) 電圧は全て V_{SS}= 0V を基準とした値です。

■ 電気的特性

• DC 特性 1

(特記無き場合 $V_{DD}=2.4$ to $3.6V$, $V_{SS}=0V$, $T_a=-40$ to $+105^{\circ}C$)

項目	記号	条件	MIN	TYP	MAX	単位	注
電源電圧	V_{DD}		2.4		3.6	V	
入力"H"レベル電圧 1	V_{IH1}	CSb, SCL, TEST 端子	$0.8 V_{DD}$		V_{DD}	V	
入力"L"レベル電圧 1	V_{IL1}	CSb, SCL, TEST 端子	0		$0.2 V_{DD}$	V	
入力"H"レベル電圧 2	V_{IH2}	K0~K5	$0.8 V_{DD}$		V_{DD}	V	
入力"L"レベル電圧 2	V_{IL2}	K0~K5	0		$0.2 V_{DD}$	V	
ヒステリシス電圧	V_H	CSb, SCL 端子		$0.2V_{DD}$		V	
入力"H"レベル電流	I_{IH}	$V_{IN}=V_{DD}$ CSb, SCL 端子			1.0	μA	
入力"L"レベル電流	I_{IL}	$V_{IN}=V_{SS}$ CSb, SCL 端子			1.0	μA	
出力"H"レベル電圧 1	V_{OH1}	$I_O=-10\mu A, V_{DD}=3.0V, S0\sim S3$	$0.8V_{DD}$		V_{DD}	V	
出力"L"レベル電圧 1	V_{OL1}	$I_O=+250\mu A, V_{DD}=3.0V, S0\sim S3$	V_{SS}		$0.2V_{DD}$	V	
出力"H"レベル電圧 2	V_{OH2}	DATA $I_O=-1mA$ $V_{DD}=3.0V$	2			V	
出力"L"レベル電圧 2	V_{OL2}	DATA $I_O=+1mA$ $V_{DD}=3.0V$			0.5	V	
プルアップ MOS 電流	I_p	$V_{DD}=3V, V_{IN}=V_{SS}, K0\sim K5$	-5	-15	-25	μA	
発振周波数	fosc		35	60	100	KHz	
消費電流	I_{DD}	$V_{DD}=3V,$ $T_a=25^{\circ}C$		20	40	μA	

• DC 特性 2

(特記無き場合 $V_{DD}=4.5$ to $5.5V$, $V_{SS}=0V$, $T_a=-40$ to $+105^{\circ}C$)

項目	記号	条件	MIN	TYP	MAX	単位	注
電源電圧	V_{DD}		4.5		5.5	V	
入力"H"レベル電圧 1	V_{IH1}	CSb, SCL, TEST 端子	$0.8V_{DD}$		V_{DD}	V	
入力"L"レベル電圧 1	V_{IL1}	CSb, SCL, TEST 端子	0		$0.2 V_{DD}$	V	
入力"H"レベル電圧 2	V_{IH2}	K0~K5	$0.8 V_{DD}$		V_{DD}	V	
入力"L"レベル電圧 2	V_{IL2}	K0~K5	0		$0.2 V_{DD}$	V	
ヒステリシス電圧	V_H	CSb, SCL 端子		$0.2V_{DD}$		V	
入力"H"レベル電流	I_{IH}	$V_{IN}=V_{DD}$ CSb, SCL 端子			1.0	μA	
入力"L"レベル電流	I_{IL}	$V_{IN}=V_{SS}$ CSb, SCL 端子			1.0	μA	
出力"H"レベル電圧 1	V_{OH1}	$I_O=-20\mu A, V_{DD}=5.0V, S0\sim S3$	$0.8V_{DD}$		V_{DD}	V	
出力"L"レベル電圧 1	V_{OL1}	$I_O=+500\mu A, V_{DD}=5.0V, S0\sim S3$	V_{SS}		$0.2V_{DD}$	V	
出力"H"レベル電圧 2	V_{OH2}	DATA $I_O=-1mA$ $V_{DD}=5V$	4			V	
出力"L"レベル電圧 2	V_{OL2}	DATA $I_O=+1mA$ $V_{DD}=5V$			0.5	V	
プルアップ MOS 電流	I_p	$V_{DD}=5V, V_{IN}=V_{SS}, K0\sim K5$	-10	-25	-65	μA	
発振周波数	fosc		35	60	100	KHz	
消費電流	I_{DD1}	$V_{DD}=5V,$ $T_a=25^{\circ}C$		45	80	μA	

NJU6010-T

• AC 特性 1

(特記無き場合 $V_{DD}=V_0=2.4$ to $3.6V$, $V_{SS}=0V$, $T_a=-40$ to $+105^{\circ}C$)

項目	記号	条件	MIN	TYP	MAX	単位	注
"L"レベルクロックパルス幅	t_{WCLL}		260			ns	
"H"レベルクロックパルス幅	t_{WCLH}		260			ns	
CSb ウェイト時間	t_{CP}		50			ns	注 3
CSb セットアップ時間	t_{CS}		180			ns	
CSb ホールド時間	t_{CH}		100			ns	
立ち上がり時間	t_r				20	ns	
立ち下がり時間	t_f				20	ns	
キーデータ出力遅延時間	t_{KDD}	DATA 端子負荷 $CL=50pF$			230	ns	

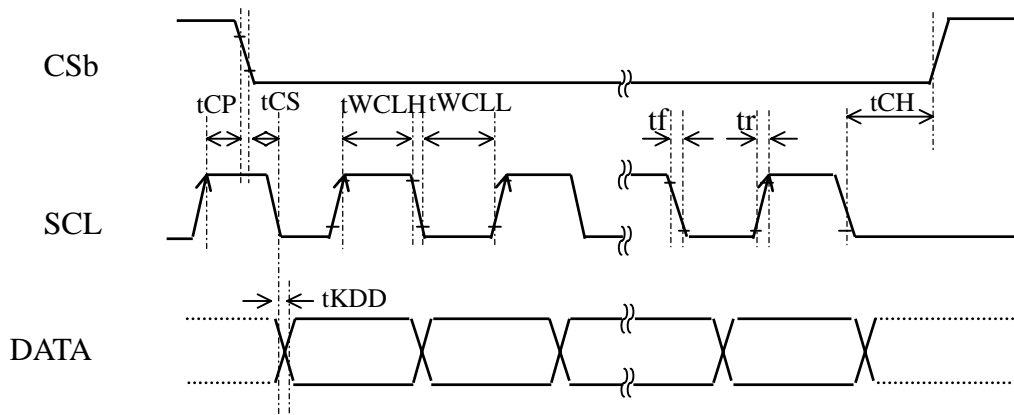
• AC 特性 2

(特記無き場合 $V_{DD}=V_0=4.5$ to $5.5V$, $V_{SS}=0V$, $T_a=-40$ to $+105^{\circ}C$)

項目	記号	条件	MIN	TYP	MAX	単位	注
"L"レベルクロックパルス幅	t_{WCLL}		230			ns	
"H"レベルクロックパルス幅	t_{WCLH}		230			ns	
CSb ウェイト時間	t_{CP}		50			ns	注 3
CSb セットアップ時間	t_{CS}		180			ns	
CSb ホールド時間	t_{CH}		100			ns	
立ち上がり時間	t_r				20	ns	
立ち下がり時間	t_f				20	ns	
キーデータ出力遅延時間	t_{KDD}	DATA 端子負荷 $CL=50pF$			200	ns	

注 3) t_{CP} は CSb の立ち下がり時に SCL が "H" レベルとなる場合の規定です。SCL が "L" レベルの場合は適用されません。

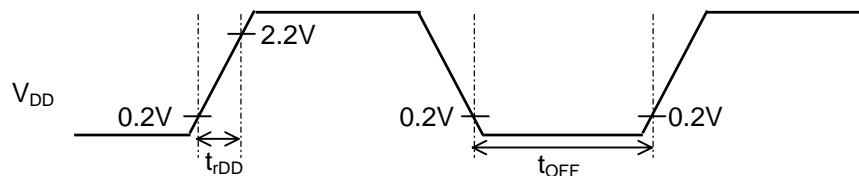
• 出力タイミング特性



• パワーオンリセット回路の電源条件

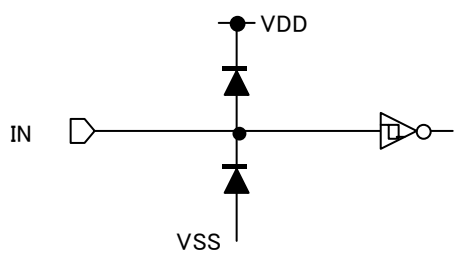
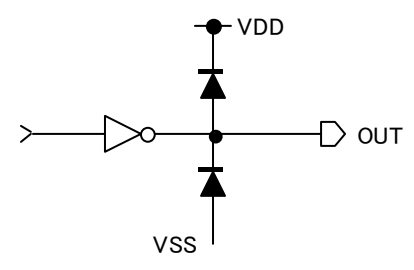
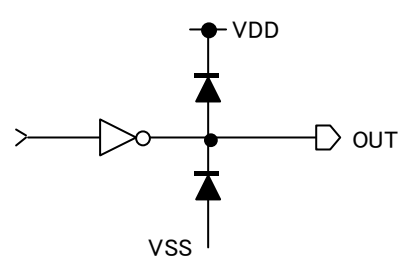
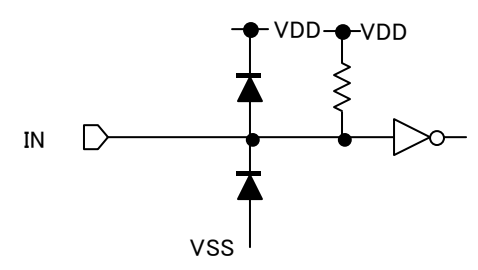
(Ta=-40 to +105°C)

項目	記号	条件	MIN	TYP	MAX	単位
電源立ち上がり時間	t_{rDD}		0.1		5	ms
電源 OFF 時間	t_{OFF}		1			ms



注 4) t_{OFF} は、電源の瞬断及び、電源が ON/OFF を繰り返す場合に、電源が OFF している時間を規定します。

入出力回路形式

	
<p>CSb, SCL, TEST</p>	<p>DATA</p>
	
<p>S0~S3</p>	<p>K0~K5</p>

<注意事項>
 このデータブックの掲載内容の正確さには
 万全を期しておりますが、掲載内容について
 何らかの法的な保証を行うものではありません。
 とくに応用回路については、製品の代表的
 な応用例を説明するためのものです。また、
 工業所有権その他の権利の実施権の許諾を伴
 うものではなく、第三者の権利を侵害しない
 ことを保証するものでもありません。