

11 ビットパラレル - シリアル変換 IC

■ 概要

NJU3754 は、11 ビットのパラレル入力ポートの状態をシリアルデータに変換して出力するパラレル-シリアル変換 IC で、2.7V~5.5V で動作する MCU 入力ポートの拡張に最適です。

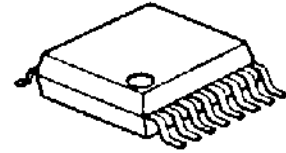
MCU とは 3 本の信号線によるシリアルインターフェースで接続できるため、MCU の入力ポートを有効に使用することが可能です。

入力されたパラレルデータはデータラッチ、シフトレジスタ及び、3 ステート出力バッファを介して SO 端子より出力されます。

CLK 端子の入力回路にはシュミットトリガー回路を用いた事でノイズに強く、最高動作周波数は 5MHz です。

P0~P10 端子の入力にプルアップ抵抗を内蔵しているため、少数の外付け部品でキースキャン回路が構成できるなど、幅広い応用が可能です。

■ 外形

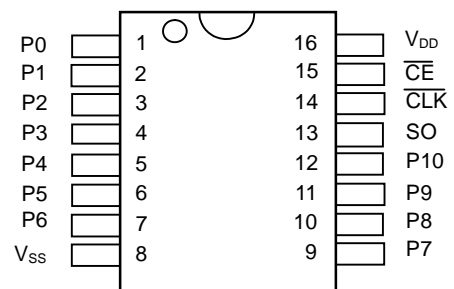


NJU3754V

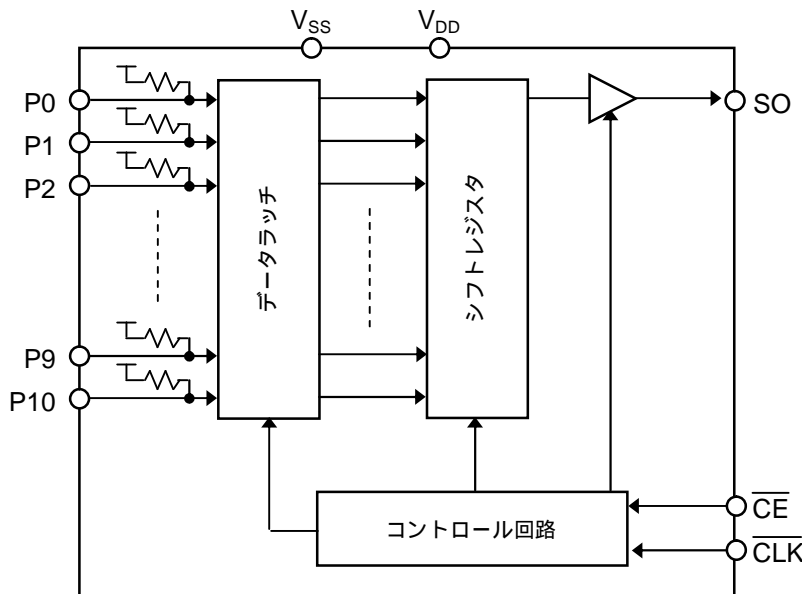
■ 特長

- 11 ビットパラレル入力
- 3 線式シリアルインターフェース出力
- ヒステリシス入力 typ. 0.4V@5V
- 動作電源電圧 2.7 ~ 5.5V
- C-MOS 構造
- 外形 SSOP16

■ 端子配列



■ ブロック図



■ 端子説明

No.	記号	I/O	機能
1	P0	I	パラレルデータ入力端子 (プルアップ抵抗内蔵)
2	P1	I	
3	P2	I	
4	P3	I	
5	P4	I	
6	P5	I	
7	P6	I	
8	V _{SS}	-	GND
9	P7	I	パラレルデータ入力端子 (プルアップ抵抗内蔵)
10	P8	I	
11	P9	I	
12	P10	I	
13	SO	O	シリアルデータ出力端子 CE 端子が“L”の期間、CLK 端子の立ち下がりエッジに同期して P0 から P10 端子までデータを出力します。 CE 端子が“H”の期間、ハイインピーダンス状態になります。
14	CLK	I	シフトクロック入力端子 CE 端子が“L”の時、CLK 端子の立ち下がりエッジに同期して出力データをシフトします。
15	CE	I	チップイネーブル入力端子 CE 端子の立ち下がりエッジでパラレルデータを取り込みます。 CE 端子が“L”の期間、SO 端子よりシリアルデータを出力します。
16	V _{DD}	-	電源接続端子 (2.7 ~ 5.5V)

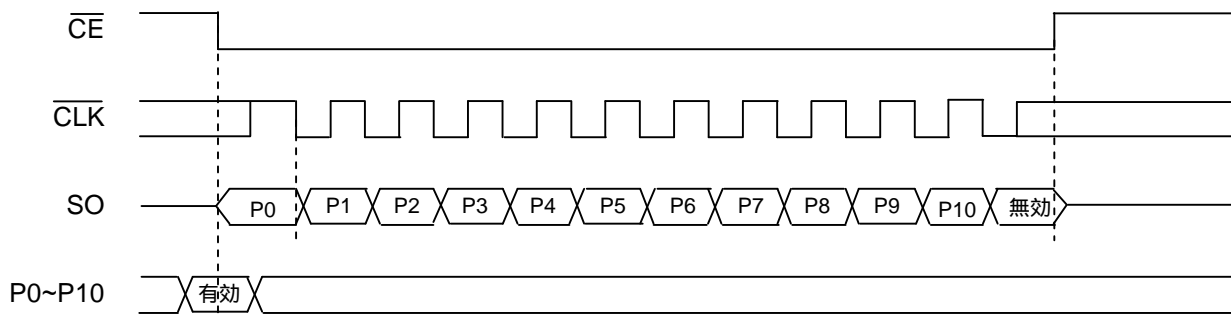
■ データの読み出し

CE 端子の立ち下がりエッジで P0 ~ P10 端子のパラレルデータは内部に取り込まれます。この時、SO 端子からは、P0 端子のデータが出力されます。以後、CE 端子が“L”の期間は、CLK 端子の立ち下がりエッジに同期して、シフトレジスタのデータが順次シフトし、P1 から P10 端子の順に、入力したデータが正転して SO 端子から出力されます。なお、CE 端子が“H”の期間は、SO 端子はハイインピーダンス状態になります。

(注1) CE 端子が“L”の期間、CLK 端子への 11 クロック目の立ち下がり以降は、SO 端子の出力データは無効データになります。

(注2) データ読み出しを中断する場合は、CE 端子を“H”にしてください。再度 CE 端子を“L”にすると、新たにデータを取り込み、P0 端子のデータから出力されます。

■ タイムチャート



■ 絶対最大定格

(Ta=25)

項目	記号	定格	単位
電源電圧	V _{DD}	-0.3 ~ +7.0	V
入力電圧	V _I	-0.3 ~ V _{DD} +0.3	V
許容損失	P _D	300 (SSOP)	mW
動作温度範囲	Topr	-40 ~ +85	°C
保存温度範囲	Tstg	-65 ~ +150	°C

(注3) 電圧は全て V_{SS}=0V を基準とした値です。

(注4) 絶対最大定格を超えて IC を使用した場合、IC の永久破壊となることがあります。また、通常動作では電気的特性の条件で使用することが望ましく、この条件を超えると IC の誤動作の原因になると共に、IC の信頼性に悪影響を及ぼすことがあります。

(注5) 安定して動作させるために、V_{DD}-V_{SS}間にデカップリングコンデンサを挿入してください。

■ DC 電気的特性

(特記無き場合 V_{DD}=2.7~5.5V, V_{SS}=0V, Ta=25)

項目	記号	条件	MIN	TYP	MAX	単位	
電源電圧	V _{DD}		2.7	-	5.5	V	
電源電流	I _{DD}	V _{DD} =5.5V P0~P10=オープン CE=H, CLK=L SO=無負荷	-	-	10	μA	
入力電圧	V _{IH}	P0~P10, $\overline{\text{CLK}}$, $\overline{\text{CE}}$ 端子	0.7V _{DD}	-	V _{DD}	V	
	V _{IL}		V _{SS}	-	0.3V _{DD}	V	
H レベル入力電流	I _{IH}	V _{DD} =5V, V _I =5V P0~P10, $\overline{\text{CLK}}$, $\overline{\text{CE}}$ 端子	-	-	1	μA	
L レベル入力電流 1	I _{IL1}	V _{DD} =5V, V _I =0V CLK, CE 端子	-1	-	-	μA	
L レベル入力電流 2	I _{IL2}	V _{DD} =5V, V _I =0V P0~P10 端子	-100	-40	-15	μA	
出力電圧	V _{OH}	I _{OH} =-0.4mA	SO 端子	V _{DD} -0.4	-	V _{DD}	V
	V _{OL}	I _{OL} =+3.2mA		V _{SS}	-	0.4	V
3 ステートリーク電流	I _{TSL}	SO 端子 CE=H	-2	-	2	μA	

■ スイッチング特性

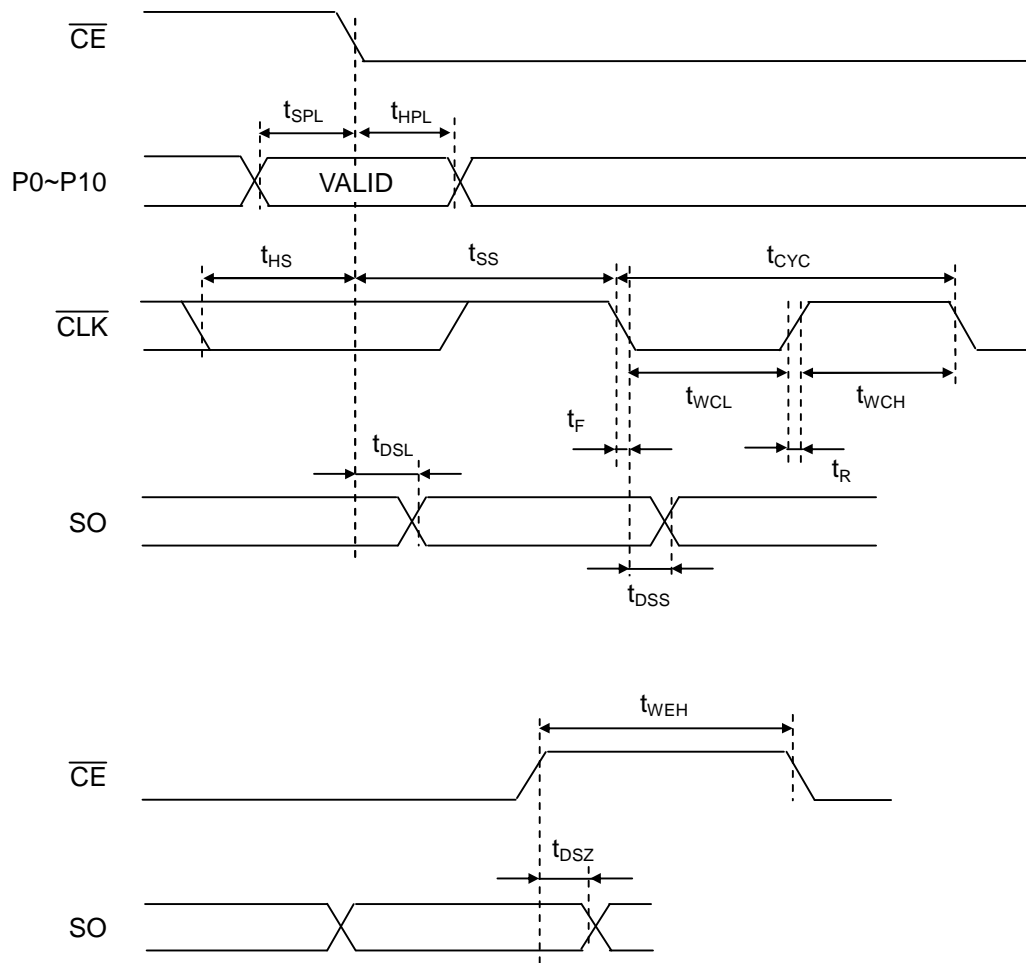
(特記無き場合 $V_{DD}=2.7 \sim 5.5V$, $V_{SS}=0V$, $T_a=25$)

項目	記号	条件	MIN	TYP	MAX	単位
\overline{CLK} サイクル時間	t_{CYC}	\overline{CLK}	200	-	-	ns
\overline{CLK} "H"パルス幅	t_{WCH}	\overline{CLK}	90	-	-	ns
\overline{CLK} "L"パルス幅	t_{WCL}	\overline{CLK}	90	-	-	ns
\overline{CE} "H"パルス幅	t_{WEH}	\overline{CE}	100	-	-	ns
\overline{CLK} 立ち下がり前 \overline{CE} セットアップ時間	t_{SS}	$\overline{CE} - \overline{CLK}$	100	-	-	ns
\overline{CLK} 立ち下がり後 \overline{CE} ホールド時間	t_{HS}	$\overline{CLK} - \overline{CE}$	100	-	-	ns
パラレルデータ セットアップ時間	t_{SPL}	$P0 \sim P10 - \overline{CE}$	50	-	-	ns
パラレルデータ ホールド時間	t_{HPL}	$\overline{CE} - P0 \sim P10$	50	-	-	ns
\overline{CE} 立ち下がり後 出力遅延時間	t_{DSL}	$\overline{CE} - SO$ (注6)	-	-	50	ns
\overline{CLK} 立ち下がり後 出力遅延時間	t_{DSS}	$\overline{CLK} - SO$ (注6)	-	-	50	ns
\overline{CE} 立ち上がり後 データホールド時間	t_{DSZ}	$\overline{CE} - SO$ (注6)	-	-	20	ns
立ち上がり時間	t_R	\overline{CLK} 端子	-	-	20	ns
立ち下がり時間	t_F	\overline{CLK} , \overline{CE} 端子	-	-	20	ns

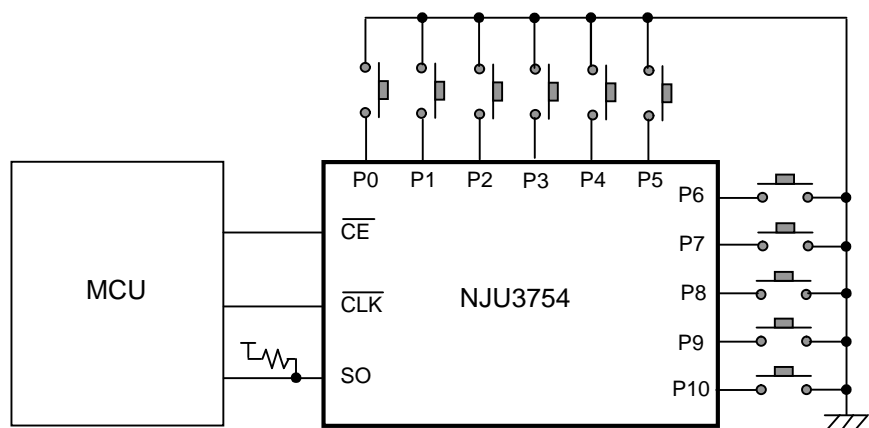
(注6) SO 端子に $C_L=50pF$ 、 $15k$ の外付けプルアップまたはプルダウン抵抗を接続して測定。

(注7) 全てのタイミングは、 V_{DD} の 30%および 70%を基準に規定しています。

■ タイミング



■ 応用回路例



<注意事項>

このデータブックの掲載内容の正確さには万全を期しておりますが、掲載内容について何らかの法的な保証を行うものではありません。とくに応用回路については、製品の代表的な応用例を説明するためのものです。また、工業所有権その他の権利の実施権の許諾を伴うものではなく、第三者の権利を侵害しないことを保証するものでもありません。