

TV用デジタル シグナル プロセッサ

■ 概要

NJU26123は24ビットDSPコアを持つデジタル シグナル プロセッサで、NJRCオリジナルサウンドエンハンスメント、リップシンク用ディレイ、10BandPEQ、HPF/LPF(FIR Filter)、DRC、トーンコントロール、ソフトクリップ機能等を搭載しています。

TV、ミニコンポ、ラジカセ、スピーカーシステムなどの各種オーディオ機器に最適です。

外形



NJU26123V

■ 特徴

◆ ソフトウェア

- NJRC オリジナルサウンドエンハンスメント(3D サウンド機能、Dialogue Boost、Bass Enhance)
- リップシンク用ディレイ
(fs=48kHz : Max. 36msec、fs=44.1kHz : Max. 39msec、fs=32kHz : Max. 54msec)
- 10Band PEQ
- HPF/LPF (FIR Filter)
- DRC (Dynamic Range Compression) : 2 帯域独立動作
- トーンコントロール
- ソフトクリップ機能
- マスターボリューム
- ウォッチドッグクロック出力

◆ ハードウェア

- 24ビット固定小数点デジタルシグナルプロセッサ
- 外部クロック周波数 : 通常動作時 12.288MHz PLL 内蔵
- デジタルオーディオインターフェース: 入力3ポート、出力3ポート
- デジタルオーディオフォーマット : I²S 24bit、左詰め、右詰め 対応、BCK : 32fs/64fs
- マスター/スレーブ対応
 - マスター時、MCK : 384fs @32kHz / 256fs @48kHz
- ホストインターフェース : I²C バスインターフェース(Fast-mode/400kbps)
- 電源電圧 : 3.3V
- 入力専用端子許容電圧 : 5Vトレラント
- パッケージ : SSOP24 (鉛フリー対応)

■ NJU26123

■ NJU26123 ブロック図

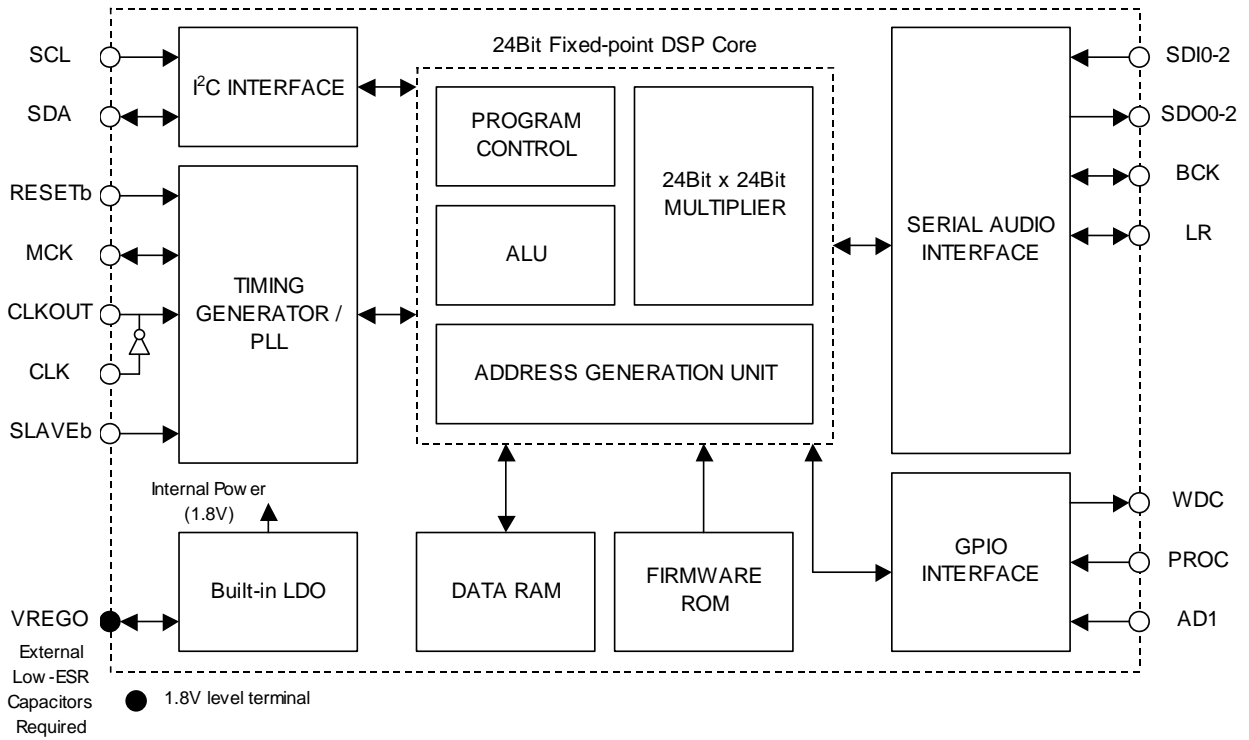


図1 NJU26123 ハードウェアブロック図

■ 機能ブロック

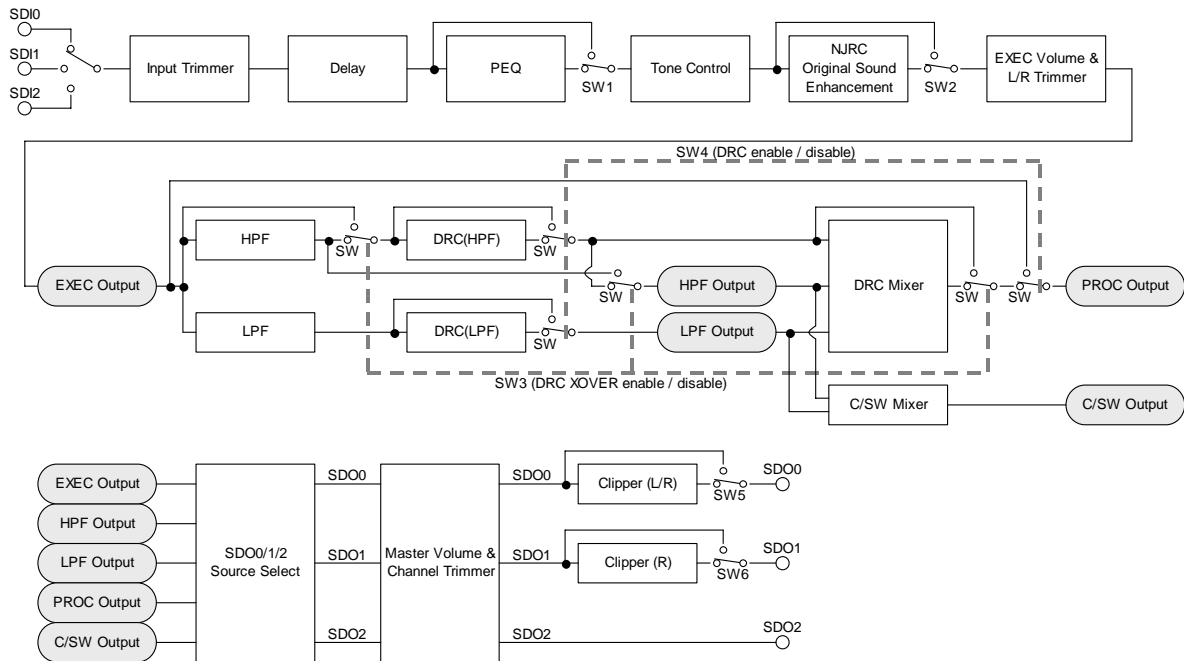


図2 NJU26123機能ブロック図

■ NJU26123

■ 端子配列

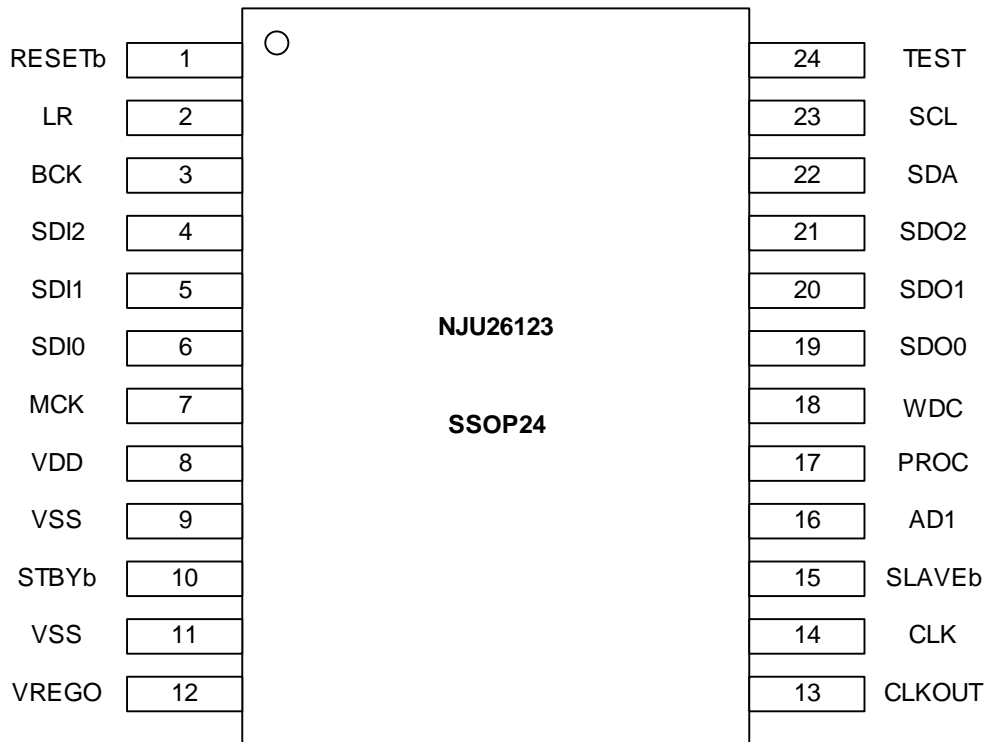


図3 端子配列

■ 端子説明

表1 端子説明

No.	端子名	I/O	機能
1	RESETb	I	リセット(RESETb="0"でリセット)
2	LR	I/O	LR クロック入出力
3	BCK	I/O	ビットクロック入出力
4	SDI2	I	音声データ入力 2 L/R
5	SDI1	I	音声データ入力 1 L/R
6	SDI0	I	音声データ入力 0 L/R
7	MCK	I/O	マスタークロック入出力
8	VDD	—	内部電源 +3.3V
9	VSS	—	内部電源 GND
10	STBYb	I	内蔵電源テスト端子(V _{DD} 接続)
11	VSS	—	内部電源 GND
12	VREGO	PI	内蔵電源バイパス端子
13	CLKOUT	O	オシレータ出力
14	CLK	I	クロック入力
15	SLAVEb	I	強制スレープ選択
16	AD1	I	I ² C アドレス
17	PROC	I	リセット後動作選択
18	WDC	OD	ウォッチドッグタイマ用クロック
19	SDO0	O	音声データ出力 0 L/R
20	SDO1	O	音声データ出力 1 L/R
21	SDO2	O	音声データ出力 2 L/R
22	SDA	OD	I ² C I/O
23	SCL	I	I ² C クロック
24	TEST	I	テスト端子(V _{SS} 接続)

* I:入力、O:出力、I/O:双方向、OD:オープンドレイン入出力、PI:内蔵電源バイパス

No.16,17pinは入力端子、No.18pinはプルアップ抵抗付きオープンドレイン端子として使用しますが、出荷試験時に入出力端子として使用しています。No.16,17pinは、保護のため3.3kΩ程度の抵抗を介してV_{DD}またはV_{SS}に接続することをお勧めします。No.18pinは、ウォッチドッグタイマ用クロック機能の未使用時もオープンまたはプルアップして使用します。

No.12pinは内蔵電源バイパス端子です。通常、No.11pinとの間、端子のすぐ直近に、4.7μFと0.01μF程度の低ESRコンデンサを並列に接続してください。内蔵電源はNJU26123動作のためだけに使用されます。本端子を短絡させたり、電流を取り出したり、他の電源を接続しないでください。

プルアップ、および、プルダウンの付いていない端子をオープンにしないでください。

■ 絶対最大定格

(以降、特に断り無き場合、全ての電気的特性・定格において、 $V_{SS}=0V$ と定義し、この電位をGND電位と規定します。)

表 2 絶対最大定格

($T_a=25^\circ C$)

項目	記号	定格	単位
電源電圧 *	V_{DD}	-0.3 ~ 4.2	V
内蔵電源バイパス端子電圧 *	V_{REGO}	-0.3 ~ 2.3	
端子電圧 *	In	$V_{x(IN)}$	-0.3 ~ 5.5 ($V_{DD} \geq 3.0V$)
	I/O, OD	$V_{x(IO)}, V_{x(OD)}$	-0.3 ~ 4.2 ($V_{DD} < 3.0V$)
	Out	$V_{x(OUT)}$	-0.3 ~ 4.2
	CLK	$V_{x(CLK)}$	
	CLKOUT	$V_{x(CLKOUT)}$	
許容損失	P_D	565	mW
動作温度範囲	T_{OPR}	-40 ~ 85	$^\circ C$
保存温度	T_{STR}	-40 ~ 125	$^\circ C$

* 絶対最大定格を超えてLSIを使用した場合、LSIの永久破壊となることがあります。また、通常動作では電気的特性の条件で使用することが望ましく、この条件を超えるとLSIの誤動作の原因になると共に、LSIの信頼性に悪影響を及ぼすことがあります。

- * V_{DD} : 8 pin
- * V_{REGO} : 12 pin
- * $V_{x(IN)}$: 1, 4~6, 10, 15, 23, 24 pin
- * $V_{x(OD)}$: 22 pin
- * $V_{x(IO)}$: 2, 3, 7, 16, 17, 18 pin
- * $V_{x(OUT)}$: 19~21 pin
- * $V_{x(CLK)}$: 14pin
- * $V_{x(CLKOUT)}$: 13pin

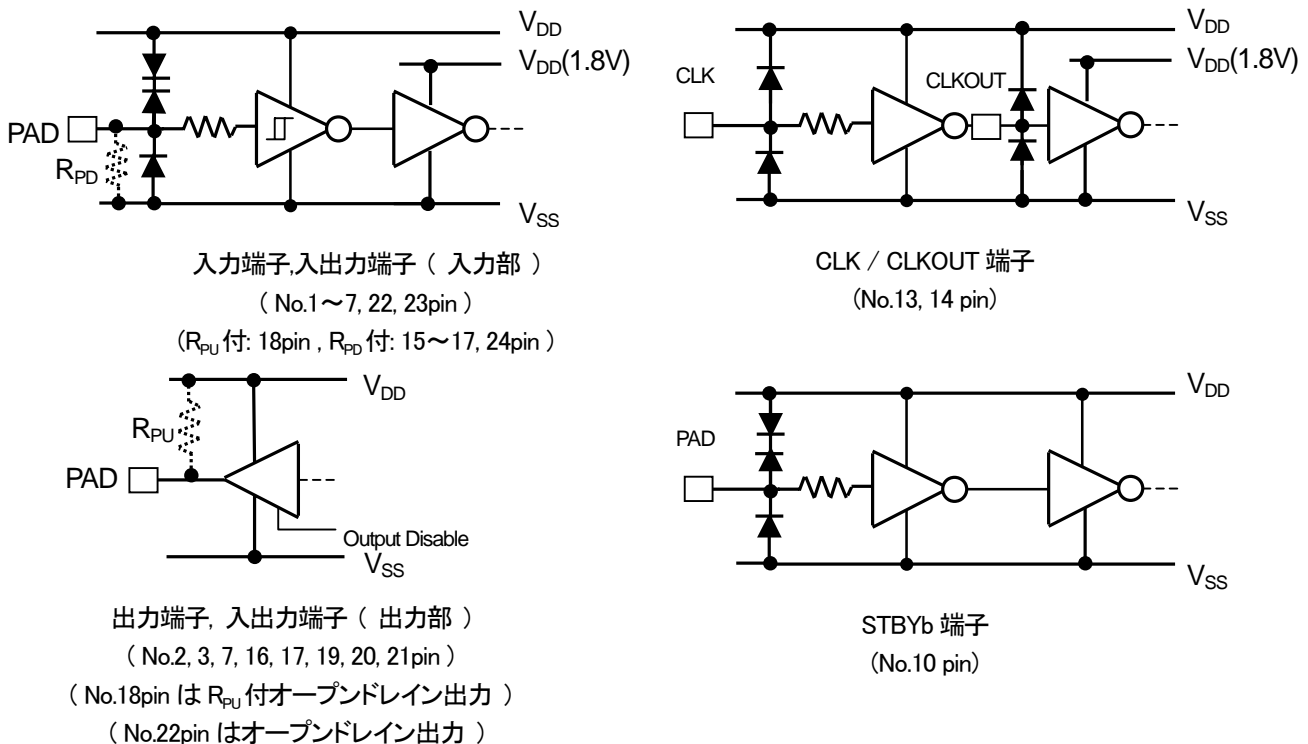


図 4 NJU26123 入出力等価回路図

■ NJU26123

■ 電気的特性

表3 電気的特性

($V_{DD}=3.3V$, $f_{OSC}=12.288MHz$, $T_a=25^{\circ}C$)

項目	記号	条件	Min.	Typ.	Max.	単位
動作電圧範囲	V_{DD}	V_{DD} 端子	3.0	3.3	3.6	V
消費電流	I_{DD}	無負荷時	-	20	35	mA
High レベル入力電圧	V_{IH}		$V_{DD} \times 0.7$	-	V_{DD} *1	V
Low レベル入力電圧	V_{IL}		0	-	$V_{DD} \times 0.3$	
High レベル出力電圧 *2	V_{OH}	$I_{OH}=-1mA$	$V_{DD} \times 0.8$	-	V_{DD}	
Low レベル出力電圧	V_{OL}	$I_{OL}=1mA$	0	-	$V_{DD} \times 0.2$	
端子リーク電流 *3	I_{IN}	$V_{IN} = V_{SS} \sim V_{DD}$	-10	-	10	
	$I_{IN(PU)}$		-120	-	10	
	$I_{IN(PD)}$		-10	-	120	
入カクロック周波数	f_{OSC}		10	12.288	13	MHz
入カクロックジッター耐量 *4	$f_{JIT(CC)}$	CLK, MCK 端子 *5	0	-	± 3.0	ns
クロックデューティー比	r_{EC}		45	50	55	%

*1 V_{DD} 電圧は電気的特性の範囲内で使用してください。 V_{DD} の投入は単調増加とし、 V_{DD} を規程の電圧まで立ち上げた後、電気的特性を下回る電圧に落とさないでください。電源を切断し、再度投入する場合は必ず GND レベルまで一度 V_{DD} を低下させた後、投入しなおしてください。

*2 CLK 端子を除く入力端子・入出力端子・オープンドレイン端子は V_{DD} 定格印可時に限り、5V トレラントです。

*3 オープンドレイン出力端子(18pin)、オープンドレイン入出力端子(22pin)を除きます。

*4 $I_{IN(PU)}$: 18pin, $I_{IN(PD)}$: 15~17, 24pin. プルアップ、および、プルダウンの付いていない端子をオープンにしないでください。

*5 ジッターとは、隣接サイクル間ジッター: Cycle-to-cycle period jitter (JEDEC JESD65)を示します。

*6 入カクロックのジッター $f_{JIT(CC)}$ を含めて f_{OSC} の範囲に入るようにクロックを供給します。NJU26123 をサンプリングレート 48kHz 時において、実現可能な最大の組み合わせ条件で使用するためには、12.288MHz のクロックが必要です。

1. 電源・入力／入出力端子・クロック信号・リセット信号

1.1 電源

NJU26123 の V_{DD} 端子・GND 端子は確実に接続して下さい。また、電源端子と GND 間には、デカップリングコンデンサを入れて下さい。

V_{DD} 電圧は電気的特性の範囲内で使用して下さい。 V_{DD} の投入は単調増加とし、 V_{DD} を規程の電圧まで立ち上げた後、電気的特性を下回る電圧に落とさないでください。電源を切断し、再度投入する場合は必ず GND レベルまで一度 V_{DD} を低下させた後、投入しなおして下さい。

NJU26123 は、内部ロジックのために内蔵電源(LDO)を搭載しており、内部で 1.8V(±10%)を生成します。 V_{REGO} 端子はこのレギュレータのバイパス端子です。 V_{REGO} 端子(12pin)と GND 端子(11pin)との間、端子の直近に、 $4.7\mu F$ と $0.01\mu F$ 程度の低 ESR コンデンサを平行に接続して下さい。

内蔵電源は、NJU26123 動作のためだけに使用して下さい。短絡させたり、電流を取り出したり、他の電源と接続したりしないでください。

1.2 入力／入出力端子

NJU26123 の入力端子(AD1, PROC, RESETb, SDI0, SDI1, SDI2, STBYb, SLAVEb, SCL, TEST の各端子)、入出力端子(LR, BCK, MCK の各端子)、オープンドレイン入出力端子(SDA 端子)は、(CLK 端子を除き) V_{DD} が規定の電圧で投入されている場合に限り、5Vトレラントになります。

1.3 クロック信号

NJU26123 の動作には、独立したクロックが必要です。通常は、使用する最も高いサンプリング周波数(F_s)の 256 倍のクロックを CLK 端子に供給します。

(例: $F_s=48kHz$ CLK=12.288MHz)

また、CLK/CLKOUT 端子間に水晶振動子等を接続し、発振させることも可能です。設計した基板に応じた外部定数を設定して下さい。CLK/CLKOUT 端子は 5Vトレラントではありませんので、電圧レベルに注意して下さい。

SLAVEb 端子を "L" に固定している場合に限り、MCK 端子よりクロックを供給することができます。CLK 端子と MCK 端子の OR 信号を内部に供給しますので、使用しない側のクロック入力端子は "L" に固定して下さい。

注意：

NJU26123 は F_s の 256 倍のクロックに合わせた DSP マスターモード用の分周回路を搭載しています。DSP マスターモード状態で 256 倍以外のクロックを使用する場合、DSP マスターモードの分周周波数が変わりますので注意してお使い下さい。水晶振動子等を使用する際は、十分検討して接続する定数などを決定して下さい。

1.4 リセット信号

NJU26123 のリセットには、RESETb を一旦 "L" レベルにし、その後、"H" レベルにすることで行います。V_{DD} 投入後、V_{REGO} 端子電位が 1.8V(±10%)まで上がり、水晶発振が安定した後(発振器から入力する場合は供給を開始した後)、少なくとも t_{RESETb} 期間 "L" レベルを維持して下さい。(図5)

RESETb 端子を"H"にした後(リセット解除後)、NJU26123 は 10msec 以内にホストインターフェースの内部ハードウェア設定を終了し、通信可能な状態になります。そのため、内部ハードウェアの設定が完了するまではホストインターフェースによる通信はできません。

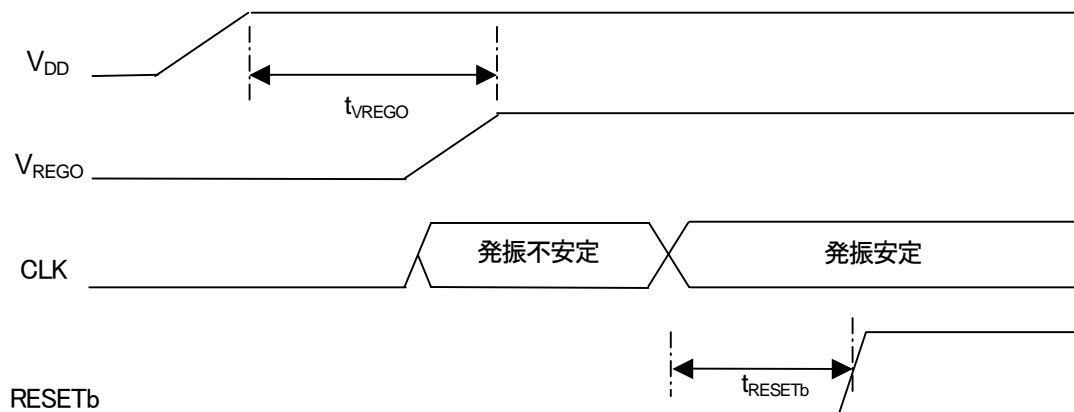


図5 リセットタイミング

表4 リセット時間

Symbol	Time
t _{VREGO}	≥10msec
t _{RESETb}	≥1.0msec

注意：

動作中は、クロックの供給を停止しないでください。NJU26123 は内部に PLL 回路を搭載していますが、クロックの供給を停止した場合、PLL 回路が正常なクロックを内部に送ることができなくなり、NJU26123 は正常に動作しません。

動作中にクロックを停止させた場合、クロック周波数を変更した場合、もしくはリセットを再度かける場合、CLK 端子に正常なクロックを入れながら、t_{RESETb} の期間 RESETb 端子を "L" レベルに維持して(表4)、リセットをかけて下さい。その後、初期設定からやり直して下さい。

2. デジタルオーディオクロック

デジタルオーディオデータは、デジタルオーディオシステム間を同期して転送する必要があります。そのため、システム内の1つのデバイスが基準となる転送クロックを発生し、その他のデバイスは転送クロックに従うよう設定されます。転送クロックを発生するデバイスをマスターデバイスと呼び、この転送クロックに従うデバイスをスレーブデバイスと呼びます。NJU26123 は、通常の用途ではスレーブデバイス(本仕様書では DSP スレーブモードと呼びます)として機能しますが、SLAVEb が“H”の状態では内部ファームウェアの設定をマスターモードに設定することで、マスターデバイスとして使用することも可能です。DSP スレーブモードの場合は、BCK, LR 端子に入力されたクロックを、DSP マスターモードの場合は、BCK, LR 端子から出力されたクロックを、NJU26123 のデジタルオーディオデータ転送に使用します。

2.1 オーディオクロック

デジタルオーディオデータ転送には、次の3種類のクロックが必要になります。

- ① LR クロック(端子名:LR)は、シリアルデータ転送で必要になります。デジタルオーディオ信号のサンプリング周波数と同じです。
- ② ビットクロック(端子名:BCK)は、シリアルデータ転送で必要になります。LR クロックの倍数になります。
- ③ マスタークロック(端子名:MCK)は、A/D、D/A コンバータなどで必要になります。LR クロックの倍数になります。また、シリアルデータ転送とは関係ありません。

MCK 端子は、SLAVEb=“H”の場合にのみ出力になり、リセット解除後、CLK 端子への入力クロックのバッファ出力になります。ファームウェアのコマンドによって停止も可能です。

MCK 端子は、SLAVEb=“L”の場合、NJU26123 の動作クロック入力端子になります。動作中の SLAVEb 端子の論理切り替え動作は保障できません。システム上 SLAVEb 端子の設定変更が必要な場合は、その都度 NJU26123 をリセットしてください。

表5 SLAVEb, BCK, LR, MCK 各端子と動作モード関係

SLAVEb 端子状態 および、ファームウェア設定	LR 端子	BCK 端子	MCK 端子
SLAVEb=“L” ファームウェア設定:無関係	LR クロック入力 DSP スレーブ動作	ビットクロック入力 DSP スレーブ動作	NJU26123 動作クロック入力 (CLK 端子との OR 入力)
SLAVEb=“H” ファームウェア設定:Slave			マスタークロック出力 (CLK 端子のバッファ出力)
SLAVEb=“H” ファームウェア設定:Master	LR クロック出力 DSP マスター動作	ビットクロック出力 DSP マスター動作	

NJU26123 は最高サンプリング周波数の 256 倍(サンプリングレート 48kHz で 12.288MHz)で使用する場合、NJU26123 は DSP マスターモードとして、サンプリングレートの 1 倍、2/3 倍の LR クロックと、それぞれに対する 32 倍、64 倍のビットクロックを出力することができます。

■ NJU26123

表6 対応可能な入力クロック(スレーブモード)

モード	クロック信号	倍レート周波数	32kHz	44.1kHz	48kHz
DSP スレーブ	LR	1fs	32kHz	44.1kHz	48kHz
	BCK (32fs)	32fs	1.024MHz	1.4112MHz	1.536MHz
	BCK (64fs)	64fs	2.048MHz	2.822MHz	3.072MHz
	MCK (SLAVEb="L")	(入力端子:CLK 端子との OR で NJU26123 動作クロック生成に使用)			
	MCK (SLAVEb="H")	(CLK 端子のバッファ出力)	12.288MHz		

表7 対応可能な出力クロック(マスターモード)

モード	クロック信号	倍レート周波数	32kHz	44.1kHz	48kHz
DSP マスター	LR	1fs	32kHz	-	48kHz
	BCK (32fs)	32fs	1.024MHz	-	1.536MHz
	BCK (64fs)	64fs	2.048MHz	-	3.072MHz
	MCK	(CLK 端子のバッファ出力)	12.288MHz		

3. デジタルオーディオインターフェース

3.1 デジタルオーディオデータフォーマット

NJU26123 は、デジタルオーディオデータフォーマットとして、3種類のフォーマットを使用することができます。

- ① I²S :LR クロック切り替わりの 2 ビット目に MSB が置かれます。(左詰めにに対し 1bit 遅延)
- ② 左詰め (Left-Justified) :LR クロックの切り替わりに MSB が置かれます。
- ③ 右詰め (Right-Justified) :LR クロック切り替わり直前に LSB が置かれます。

3種類のフォーマットの主な違いは LR クロックとデジタルオーディオデータ(SDI、SDO)の位置関係にあります。

- ・どのフォーマットにおいても、左チャンネルが先に転送されます。
- ・左詰め/右詰めにおいては、LR クロック="H"が左チャンネルを示します。
- ・I²S フォーマットにおいては、極性が逆になり、LR クロック="L"で左チャンネルを表します。
- ・ビットクロックBCKは、転送データのシフトクロックとなります。少なくともL/Rチャンネルの合計転送ビット数以上のクロック数が必要となります。
- ・LR クロックの 1 周期がステレオオーディオの 1 サンプルで、LR クロックの周波数は、サンプルレート(fs)に等しくなります。

NJU26123 では、DSP マスターモード/スレープモード共に、LR クロック中、32/64 個のクロックが存在するフォーマット(以下、32fs / 64fs と呼ぶ)が使用可能です。

3.2 シリアルオーディオデータ入出力

NJU26123 は、入力 3 ポート(表 8) と、出力 3 ポート(表 9) 備えています。

表 8 シリアルオーディオデータ入力端子

Pin No.	端子名	機能
6	SDI0	オーディオデータ入力 0 L/R
5	SDI1	オーディオデータ入力 1 L/R
4	SDI2	オーディオデータ入力 2 L/R

表 9 シリアルオーディオデータ出力端子

Pin No.	端子名	機能
19	SDO0	オーディオデータ出力 0 L/R
20	SDO1	オーディオデータ出力 1 L/R
21	SDO2	オーディオデータ出力 2 L/R

『図 2 NJU26123 機能ブロック図』を参照してください。

シリアルオーディオデータ入出力の形式は I²S、左詰め、右詰めの 3 種類のフォーマット形式で 24bit, 20bit, 18bit, 16bit の 4 種類のビット数を選択できます。(図 6-1~図 6-12)

オーディオデータ入力フォーマットと出力フォーマットは同じ形式になります

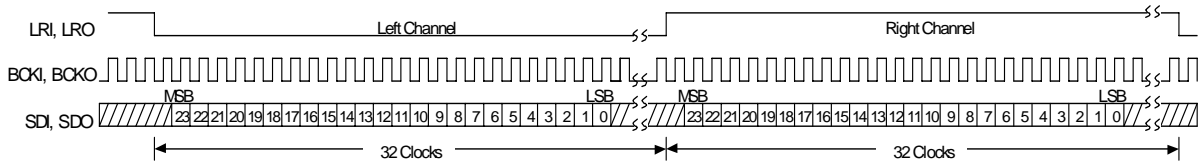


図 6-1 I²S Data Format 64fs, 24bit Data

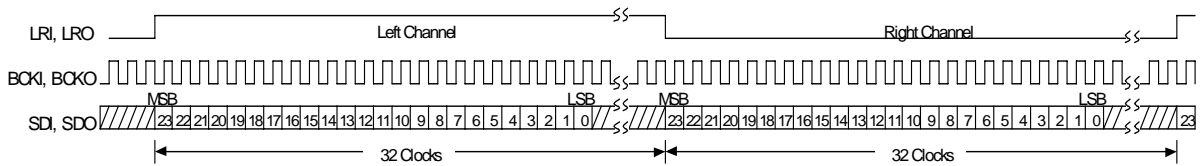


図 6-2 Left-Justified Data Format 64fs, 24bit Data

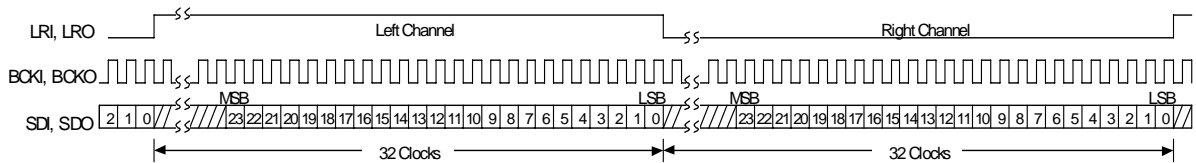


図 6-3 Right-Justified Data Format 64fs, 24bit Data

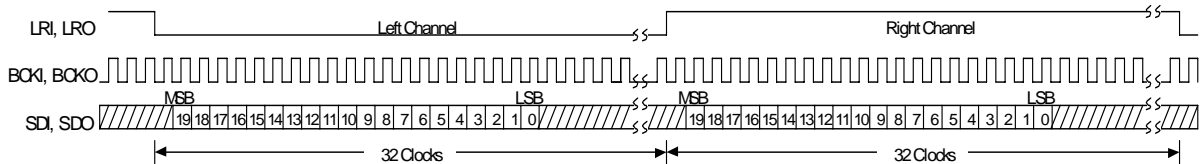


図 6-4 I²S Data Format 64fs, 20bit Data

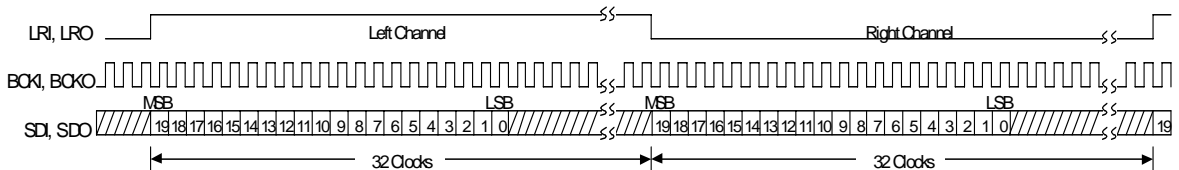


図 6-5 Left-Justified Data Format 64fs, 20bit Data

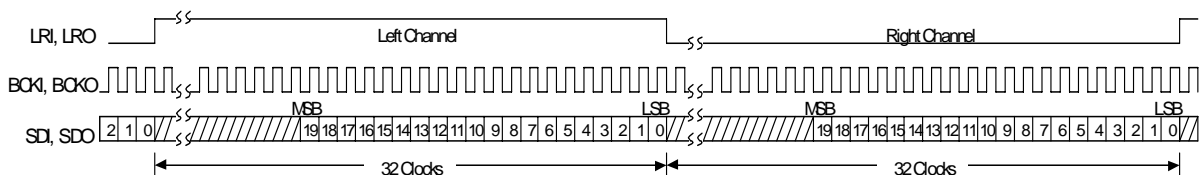


図 6-6 Right-Justified Data Format 64fs, 20bit Data

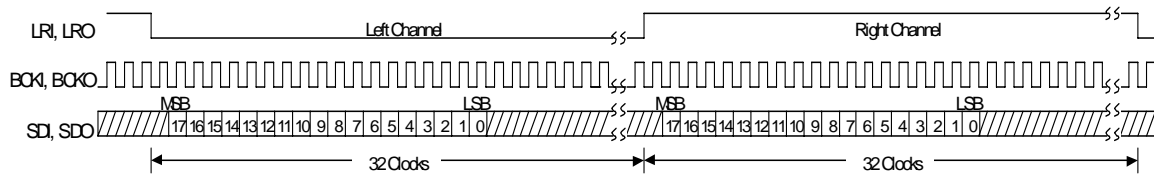


图 6-7 I²S Data Format 64fs, 18bit Data

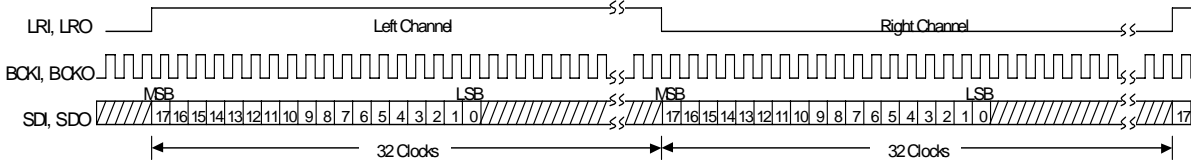


图 6-8 Left-Justified Data Format 64fs, 18bit Data

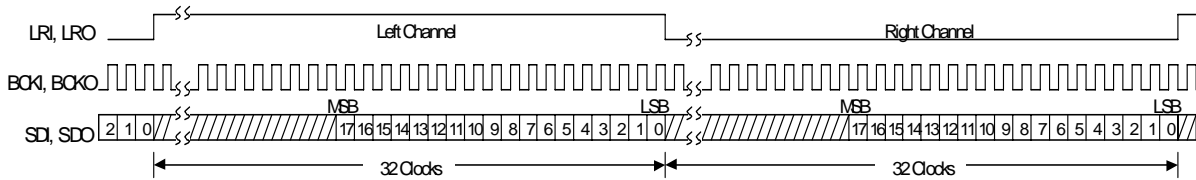


图 6-9 Right-Justified Data Format 64fs, 18bit Data

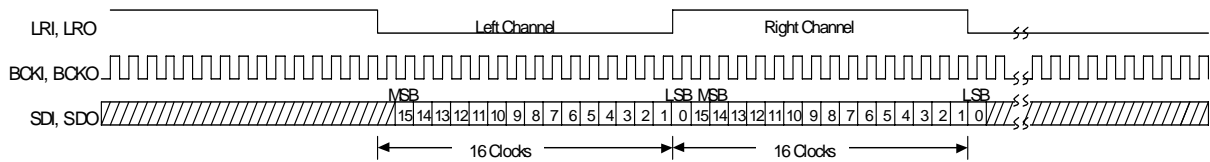


图 6-10 I²S Data Format 32fs, 16bit Data

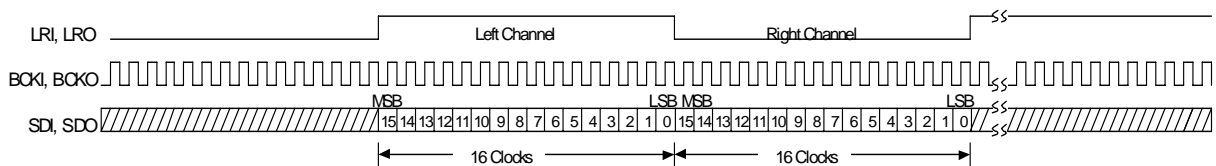


图 6-11 Left-Justified Data Format 32fs, 16bit Data

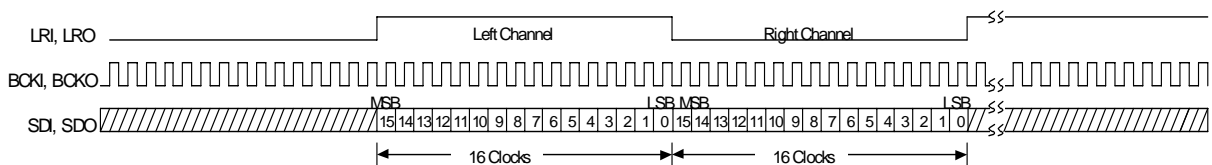


图 6-12 Right-Justified Data Format 32fs, 16bit Data

3.3 シリアルオーディオタイミング

表10 シリアルオーディオ入力タイミング

($V_{DD}=3.3V, T_a=25^{\circ}C$)

項目	記号	条件	Min.	Typ.	Max.	単位
BCK 周波数 *	f_{BCK}		-	-	6.5	MHz
BCK 周期 *						
Low パルス幅	t_{SIL}		75	-	-	ns
High パルス幅	t_{SIH}		75	-	-	ns
BCK → LR 時間 **	t_{SLI}		40	-	-	ns
LR → BCK 時間 **	t_{LSI}		40	-	-	ns
データセットアップ時間	t_{DS}		15	-	-	ns
データホールド時間	t_{DH}		15	-	-	ns

* 電気的特性を示す規定です。ファームウェア処理によって BCK 周波数上限値は制限されます。

** DSP スレープモード時の規定です。

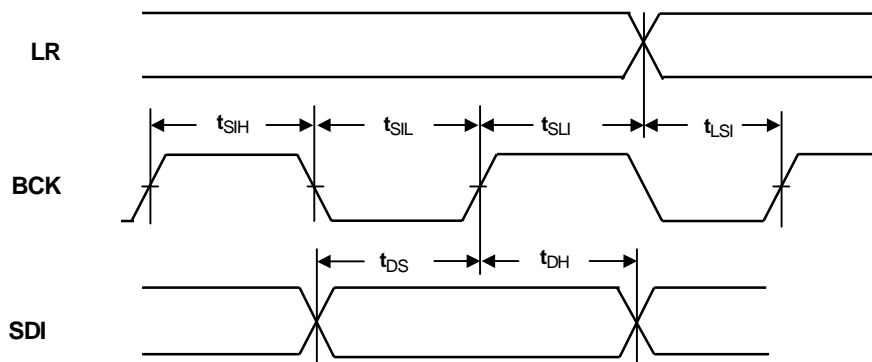


図7 シリアルオーディオ入力タイミング

表11 シリアルオーディオ出力タイミング

($V_{DD}=3.3V, T_a=25^{\circ}C$)

項目	記号	条件	Min	Typ.	Max	単位
BCK-LR 時間差 *	t_{SLO}	$C_L = 25pF$	-15	-	15	ns
データ出力遅延時間	t_{DOD}		-	-	15	ns

* DSP マスターモード時の規定です。

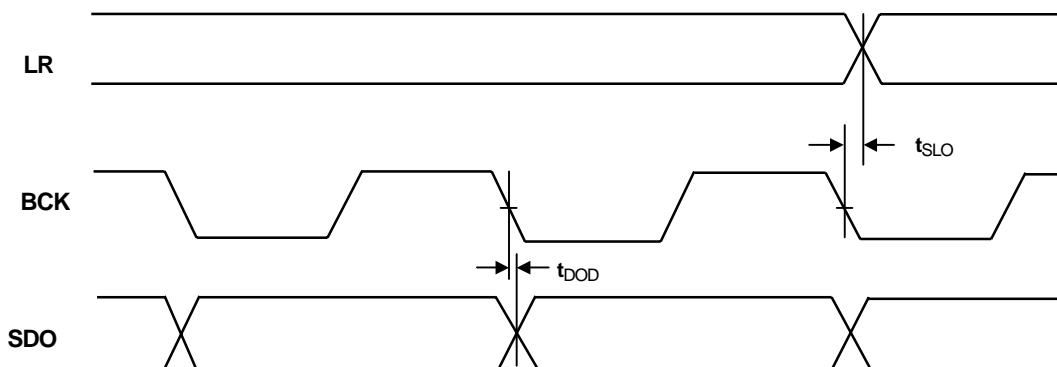


図8 シリアルオーディオ出力タイミング

■ ホストインターフェース

NJU26123 の制御インターフェースは、I²C バスインターフェースです。

ホストインターフェース端子機能は、表 12 の通りです。

データ転送は 8 ビット(1 バイト)単位です。ホストコントローラからクロック(SCL)に同期してデータが転送されます。

表 12 ホストインターフェース端子機能

Pin No.	端子名(I ² C バス)	I ² C バスインターフェース選択時
16	AD1	I ² C バスアドレス選択
22	SDA	シリアルデータ入出力 (オープンドレイン入出力)
23	SCL	シリアルクロック

注意: SDA 端子(Pin No.22)は、オープンドレイン入出力端子として機能します。プルアップ抵抗が必要です。

AD1 端子(Pin No.16)はプルダウン付入力端子として機能します。この端子は、保護のため 3.3kΩ 程度の抵抗を介して V_{DD} または V_{SS} に接続することをお勧めします。

NJU26123 は V_{DD} 電源を遮断したとき、SDA, SCL 端子はハイ・インピーダンス状態になります。ただし、V_{DD} 電源を遮断したとき、この端子は 5V トレラントにはなりません。

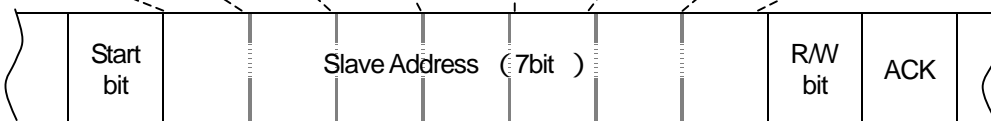
■ I²C バスインターフェース

I²C バスインターフェースでは、データを SDA 端子に、クロックを SCL 端子に転送します。SDA 端子はオープンドレイン構造で、外部にプルアップ抵抗が必要です。AD1 端子(Pin No.16)は、7 ビットからなるスレーブアドレスの下位 1 ビットの設定に用います。アドレスは、表 13 に示す固定値と AD1 端子により、2 種類設定できます。

表 13 I²C バスインターフェーススレーブアドレス設定

固定値						AD1 端子	R/W
bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
0	0	1	1	1	0	0	R/W
0	0	1	1	1	0	1	

データ形式



※ AD1 端子において“0”=“L”、“1”=“H”

※ R/W において“0”=“W”、“1”=“R”

■ NJU26123

表 14 I²C バスインターフェースタイミング

(V_{DD}=3.3V, f_{OSC}=12.288MHz, Ta=25°C)

項目	記号	Min	Max	単位
SCL クロック周波数	f _{SCL}	0	400	kHz
開始条件ホールド時間	t _{HD:STA}	0.6	-	μs
SCL "Low" レベルパルス幅	t _{LOW}	1.3	-	μs
SCL "High" レベルパルス幅	t _{HIGH}	0.6	-	μs
開始条件セットアップ時間	t _{SU:STA}	0.6	-	μs
データホールド時間 ^(*)	t _{HD:DAT}	0	0.9	μs
データセットアップ時間	t _{SU:DAT}	250	-	ns
立ち上がり時間	t _R	-	1000	ns
立ち下がり時間	t _F	-	300	ns
停止条件セットアップ時間	t _{SU:STO}	0.6	-	μs
バス解放時間 ^(*)	t _{BUF}	1.3	-	μs

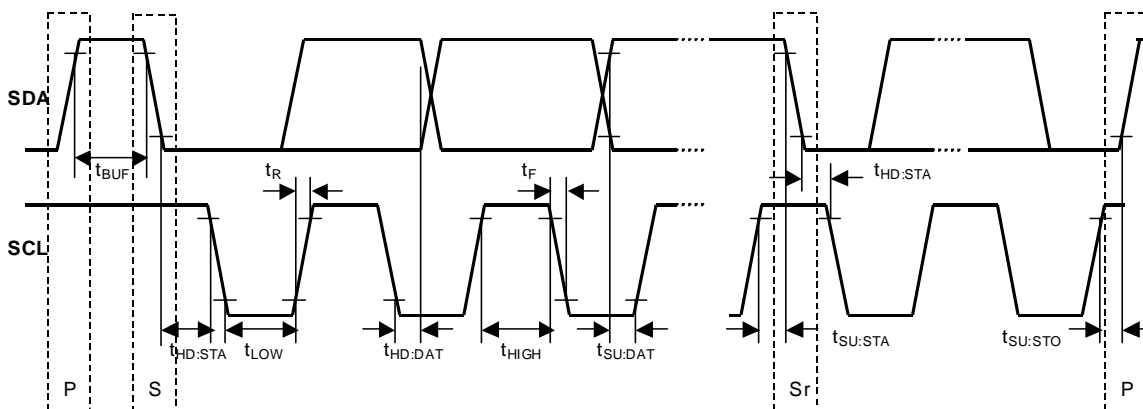


図9 I²C バスタイミング

- 注意：** *1 t_{HD:DAT}: SCL の立ち下がりエッジでの不確かな状態を回避するために、少なくとも 100ns 程度のホールド時間を確保するようにして下さい。
- *2 本項目はインターフェースとしての仕様を示すものです。連続するコマンドの間隔は、別途規定されます。

■ 端子設定

NJU26123 は、リセット解除後の動作を PROC 端子により設定することができます。(表 15)
 PROC 端子は、抵抗(推奨 3.3kΩ)を介して V_{DD} または V_{SS} に接続してください。

表15 シリアルオーディオ出力タイミング (V_{DD}=3.3V, Ta=25°C)

Pin No.	端子	設定	機能
17	PROC	H	リセット解除後、信号処理を行いません。信号処理の開始には、専用のスタートコマンド(0xFD もしくは 0xFE)を送信する必要があります。
		L	リセット解除後、デフォルト設定に従って信号処理を行います。デフォルトはマスターボリュームがミュート状態です。

■ ウォッチドッグクロック出力

NJU26123 は、ウォッチドッグクロック出力(WDC 端子: 18pin)を持っています。音声信号処理の過程で、一定の間隔で WDC 端子をトグル出力(Low/High)することにより、外部にファームウェアが動作していることを通知します。この出力と外部 Watch Dog 監視 IC やマイコン等の端子でモニタすることで、異常状態を検出することができます。
 WDC 端子のトグル出力する周期は、約 170msec に設定されます。

注意： ウォッチドッグクロック出力は、オーディオインターフェースの信号を元に制御しているため、音声信号の入出力が停止することにより、オーディオインターフェースが停止すると 出力なくなります。

■ NJU26123

■ NJU26123 コマンド一覧

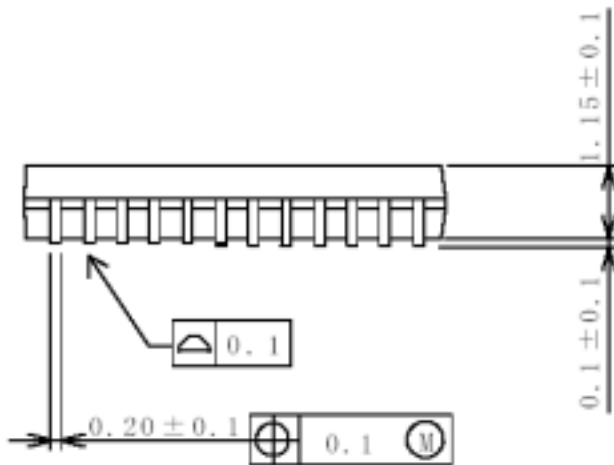
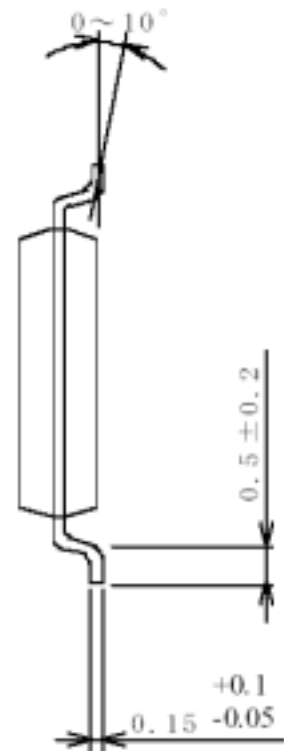
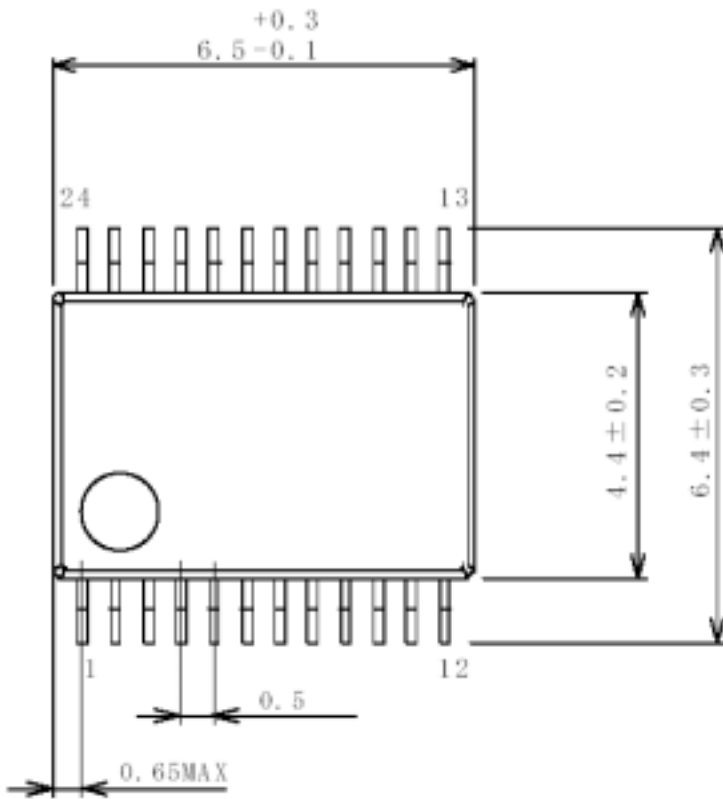
表 16 NJU26123 コマンド表

No.	コマンド	No.	コマンド
1	Set Task	17	Clipper (SDO1_R) Boost Level Setup
2	Fs Select	18	Trimmer Setup
3	Smooth Control	19	DRC (HPF) Radio & Attack/Release Time Setup
4	Input Select	20	DRC (LPF) Radio & Attack/Release Time Setup
5	SDO0 Output Source Select	21	DRC (HPF) Level Setup
6	SDO1 Output Source Select	22	DRC (LPF) Level Setup
7	SDO2 Output Source Select	23	PEQ Setup
8	DRC Mode Select	24	Sound Enhancement Setup
9	DRC Xover Frequency Select	25	User Define Xover Filter Coefficient Setup
10	Delay Setup	26	Firmware Version Number Request
11	System Status	27	Firmware Revision Number Request
12	Tone Control (Bass@100Hz)	28	Software Reset
13	Tone Control (Treble@10kHz)	29	Boot with Mute
14	Clipper (SDO0_L/R) Limit Level Setup	30	Boot with Unmute
15	Clipper (SDO_L/R) Boost Level Setup	31	No Operation (Nop)
16	Clipper (SDO1_R) Limit Level Setup		

コマンドの詳細については別途、ご請求下さい。

■ パッケージ寸法

SSOP24、鉛フリー



<注意事項>

このデータブックの掲載内容の正確さには万全を期しておりますが、掲載内容について何らかの法的な保証を行うものではありません。とくに応用回路については、製品の代表的な応用例を説明するためのものです。また、工業所有権その他の権利の実施権の許諾を伴うものではなく、第三者の権利を侵害しないことを保証するものでもありません。