

## PWM出力搭載 汎用スピーカーシステム向け デジタルシグナルプロセッサ

### 概要

NJU26060-04A はサンプリングレートコンバータ(SRC)、PWM モジュレータを搭載し、音声処理として、3帯域独立 DRC 機能、12bands-PEQ、256tap FIR フィルタ、2系統 Limiter 機能、サウンドエンハンスメント機能として NJR オリジナルサラウンドである eala / eala Rebirth または、eala Stereo Expander、Dynamic Bass Boost、および BEEP 音生成機能を搭載しています。

スピーカーサイズに制限のある薄型 TV 等や、ミニコンポ、ラジカセ、スピーカーシステムなどの各種オーディオ機器に最適です。

### 外形



NJU26060V-04A

### 特徴

#### ハードウェア

- 24ビット固定小数点デジタルシグナルプロセッサ
- 外部クロック周波数 : 24.576MHz、PLL 内蔵
- サンプリングレートコンバータ(SRC) :  $F_s=8\text{kHz} \sim 192\text{kHz}$  48kHz
- PWM モジュレータ : 4ch(ステレオ 2系統)出力
- デジタルインターフェーストランスミッタ(DIT) : 出力1ポート
- デジタルオーディオインターフェース : 入力3ポート、出力2ポート(ただし PWM と切替え)
- デジタルオーディオフォーマット : I2S 24bit、左詰め、右詰め 対応、BCK : 32/64fs
- マスター/スレーブ対応
  - サンプリングレートコンバータ : スレーブ動作
  - DSP : マスター動作( $F_s=48\text{kHz}$ )
- ホストインターフェース : I<sup>2</sup>C バスインターフェース(Fast-mode/400kbps)
- 電源電圧 : 3.3V
- 入力専用端子許容電圧 : 5Vトレラント
- パッケージ : SSOP44 (鉛フリー対応)

#### ソフトウェア

- 入力セレクト機能
- 無信号検知機能
- 入力 DC カット用 HPF
- 12バンド・パラメトリック・イコライザ機能
- 256tap FIR フィルタ
- Limiter 機能 (SDO0/SDO1)
- 3帯域独立のダイナミックレンジ圧縮機能
- SubWoofer 出力機能
- BEEP 音出力機能
- WatchDog クロック出力
- 入力トリム・L/R ボリューム・マスターボリューム・SDO0/SDO1 出力トリム
- オリジナルサウンドエンハンスメント
  - eala
  - eala Rebirth
  - eala Stereo Expander
  - Dynamic Bass Boost 機能

\* ハードウェア仕様の詳細については「NJU26060 シリーズハードウェア共通仕様書」を参照願います。

# NJU26060-04A

## NJU26060-04A ブロック図

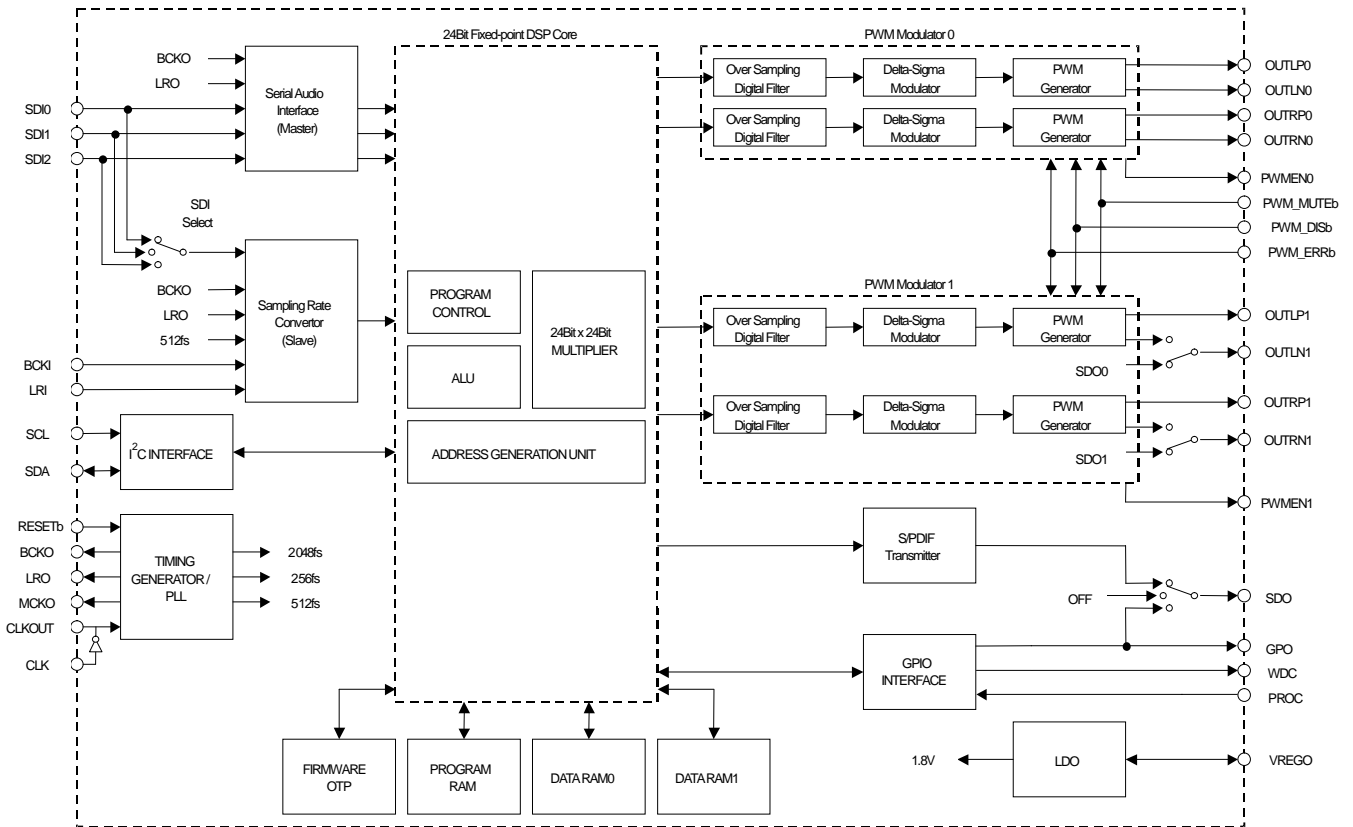


図1 NJU26060-04A ハードウェアブロック図

## 機能ブロック

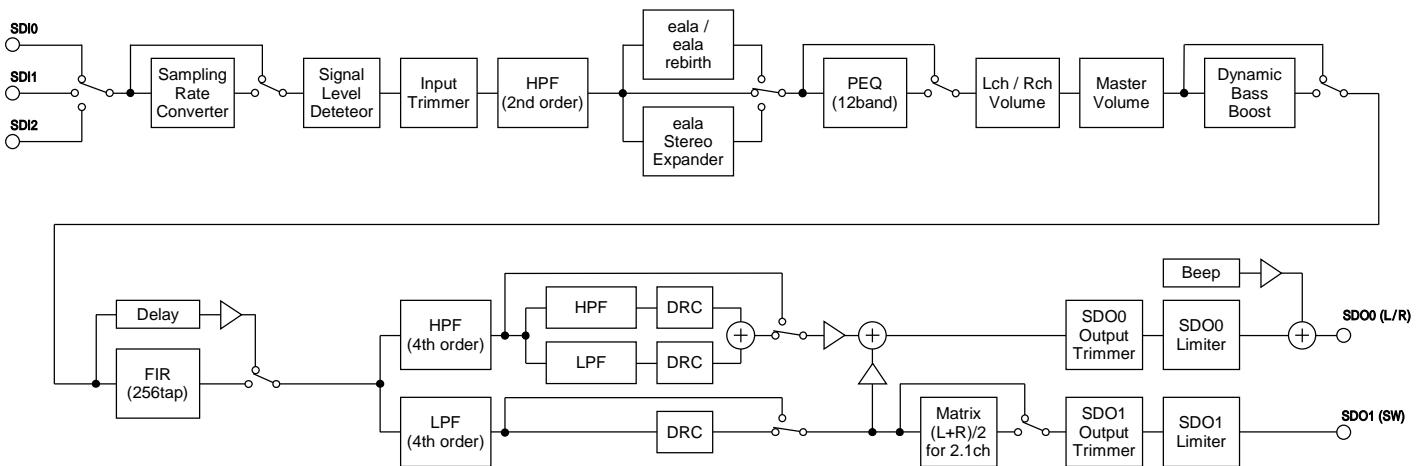


図2 NJU26060-04A機能ブロック図

## 端子配列

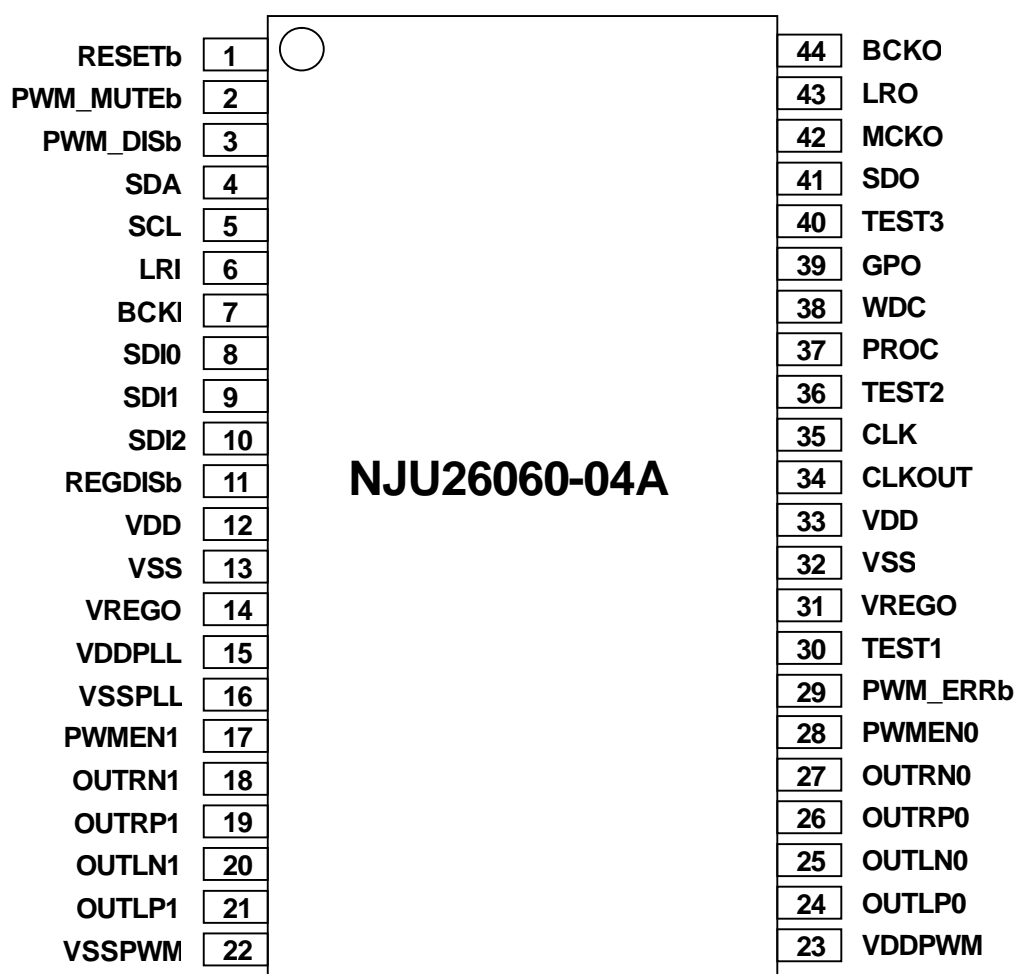


図3 NJU26060-04A 端子配列

## 端子説明

表1 端子説明

No.	端子名	属性	機能
1	RESETb	I	リセット端子(RESETb=0'でリセット)
2	PWM_MUTEb	I+	PWM ブロックミュート要求入力端子
3	PWM_DISb	I+	PWM ブロックスタンバイ要求入力端子
4	SDA	OD	I <sup>2</sup> C シリアルデータ入出力端子(不使用時は 3.3K 抵抗経由で VSS に接続)
5	SCL	I	I <sup>2</sup> C クロック入力端子(不使用時は VSS に接続)
6	LRI	I-	サンプリング周波数変換側 LR クロック入力端子
7	BCKI	I-	サンプリング周波数変換側ビットクロック入力端子
8	SDI0	I-	シリアルオーディオ入力端子 0
9	SDI1	I-	シリアルオーディオ入力端子 1
10	SDI2	I-	シリアルオーディオ入力端子 2
11	REGDISb	I	内蔵電源イネーブル端子(必ず VDD に接続)
12	VDD	P	電源端子 +3.3V
13	VSS	G	GND 端子
14	VREGO	PI	内蔵電源出力端子(10μF と 0.01μF 程度のコンデンサを接続)
15	VDDPLL	PA	内部 PLL 用電源 +1.8V (VREGO へ接続)
16	VSSPLL	GA	内部 PLL 用 GND
17	PWMEN1	O	PWM1 有効信号出力端子(PWMEN1=1'で有効な出力が出ていることを示す)
18	OUTRN1	OP	PWM1R- 出力端子 / シリアルオーディオ出力端子 1 (コマンドで切替)
19	OUTRP1	OP	PWM1R+ 出力端子
20	OUTLN1	OP	PWM1L- 出力端子 / シリアルオーディオ出力端子 0 (コマンドで切替)
21	OUTLP1	OP	PWM1L+ 出力端子
22	VSSPWM	GP	PWM 出力端子用 GND
23	VDDPWM	PP	PWM 出力端子用電源 +3.3V (十分にデカップリングする事を推奨)
24	OUTLP0	OP	PWM0L+ 出力端子
25	OUTLN0	OP	PWM0L- 出力端子
26	OUTRP0	OP	PWM0R+ 出力端子
27	OUTRN0	OP	PWM0R- 出力端子
28	PWMEN0	O	PWM0 有効信号出力端子 (PWMEN0=1'で有効な出力が出ていることを示す)
29	PWM_ERRb	I+	PWM バックエンド異常時停止要求入力端子(PWM_ERRb=0'で PWM 停止)
30	TEST1	I	テスト端子(必ず VSS に接続)
31	VREGO	PI	内蔵電源出力端子(10μF と 0.01μF 程度のコンデンサを接続)
32	VSS	G	GND 端子
33	VDD	P	電源端子 +3.3V
34	CLKOUT	O	水晶発振用クロック出力端子
35	CLK	I	水晶発振用クロック入力端子
36	TEST2	I-	テスト端子(必ず VSS に接続)
37	PROC	I+	PROC 端子
38	WDC	O+	WatchDog クロック出力端子
39	GPO	OD	無信号検知出力
40	TEST3	I-	テスト端子(必ず VSS に接続)
41	SDO	O	OFF/ DIT 出力端子 0 / GPO (Pin 39 と同一動作) (コマンドで切替)
42	MCKO	O	マスタークロック出力端子
43	LRO	O	LR クロック出力端子
44	BCKO	O	ビットクロック出力端子

P:電源 PI:内蔵電源バイパス端子 G:GND PP:PWM 端子電源 GP:PWM 端子 GND PA:PLL 電源 GA:PLL GND  
 I:入力端子 I+:入力プルアップ付き端子 I-:入力プルダウン付き端子 O:出力端子 OD:オープンドレイン入出力端子  
 I/O+:入出力プルアップ付き端子 I/O-:入出力プルダウン付き端子 OP:PWM 出力端子(属性 PP 端子から電源供給)

注意: プルアップ及びプルダウンの付いていない端子をオープンにしないでください。

## オーディオクロック

デジタルオーディオデータ転送には、次の3種類のクロックが必要になります。

LR クロック(端子名:LRI, LRO)は、シリアルデータ転送で必要になります。デジタルオーディオ信号のサンプリング周波数と同じです。

ビットクロック(端子名:BCKI, BCKO)は、シリアルデータ転送で必要になります。LR クロックの倍数になります。

マスタークロック(端子名:MCKO)は、A/D、D/A コンバータなどで必要になります。LR クロックの倍数になります。

また、シリアルデータ転送とは関係ありません。

NJU26060-04A のビットクロック(端子名:BCKI, BCKO)は、LR クロックの 32 倍、64 倍をサポートしています。

NJU26060-04A はマスターデバイスとして、MCKO,BCKO,LRO の各端子から、デジタルオーディオデータ伝送に必要なクロックを外部デバイスに供給します。一方、スレーブデバイスとして動作するサンプリングレートコンバータは、BCKI,LRI 端子に入力されたクロックによってデジタルオーディオデータを取り込み、MCKO/BCKO/LRO から構成されるクロック系にサンプリング周波数の変換を行います。MCKO 端子は、マスタークロックとして、内部リセット終了後、CLK 端子への入力クロックの 2 分周出力、またはバッファ出力となります。ファームウェアのコマンドによって停止も可能です。

NJU26060-04A は内部動作サンプリング周波数の 512 倍(サンプリング周波数 48kHz で 24.576MHz)で使用します。その場合、NJU26060-04A はマスターデバイスとして、サンプリング周波数の 1 倍の LR クロックと、それぞれに対する 64 倍・32 倍のビットクロック、512 倍・256 倍のマスタークロックを出力することができます。表 2 にそれぞれのクロックの関係を示します。

NJU26060 シリーズはハードウェアとして CLK 端子への供給クロックは 24.576MHz (Fs=48kHz) 及び 22.572MHz (Fs=44.1kHz)をサポートしていますが、NJU26060-04A のソフトウェアはサンプリング周波数 48kHz のみをサポートしているため、NJU26060-04A の CLK 端子へ供給するクロックは 24.576MHz としてください。

表2 CLK 端子供給クロック周波数と BCKO,LRO,MCKO

クロック信号	倍レート周波数	CLK 端子への供給クロック
		24.576MHz
LRO	1Fs	48kHz
BCKO(32Fs)	32Fs	1.536MHz
BCKO(64Fs)*	64Fs	3.072MHz
MCKO(256Fs)*	256Fs	12.288MHz
MCKO(512Fs)	512Fs	24.576MHz

\* 起動時デフォルト

# NJU26060-04A

## シリアルオーディオデータ入出力

NJU26060-04A は、入力3ポート(表3) と、出力2ポート(表4) 備えています。

表3 シリアルオーディオデータ入力端子

Pin No.	端子名	機能
8	SDI0	オーディオデータ入力0
9	SDI1	オーディオデータ入力1
10	SDI2	オーディオデータ入力2

表4 シリアルオーディオデータ出力端子

Pin No.	端子名	機能
20	OUTLN1	オーディオデータ出力0 (L/R)
18	OUTRN1	オーディオデータ出力1 (SW)
41	SDO	OFF

Pin 20、18 は、コマンドで PWM1 出力用端子 に切り替えできます。

Pin 41 は DIT 出力0 (L/R)、もしくは GPO 出力(Pin 39 と同一動作)に切り替えできます。

表1 端子説明参照。

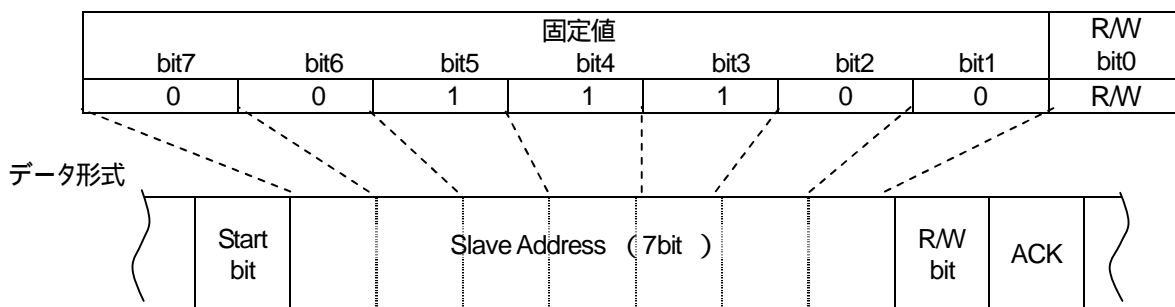
## I<sup>2</sup>C バスインターフェース

I<sup>2</sup>C バスインターフェースは、データを SDA 端子に、クロックを SCL 端子に転送します。SDA 端子は双方向オープンドレイン構造で、外部にプルアップ抵抗が必要です。

I<sup>2</sup>C バススレーブアドレスは以下(表5)のように設定されています。リセット解除後、ファームウェアの初期化が終了すると、設定した I<sup>2</sup>C バススレーブアドレスで通信が可能ですが、初期化完了までの間は、NJU26060-04A から正常な返答は得られませんので注意してください。

注意: NJU26060-04A は、I<sup>2</sup>C バス “Standard-Mode (100kbps)” および “Fast-Mode (400kbps)” をサポートしています。

表5 I<sup>2</sup>C バスインターフェーススレーブアドレス設定



RW において“0”=“W”、“1”=“R”

## 汎用入出力端子

NJU26060 シリーズは汎用入出力端子を備えています。NJU26060-04A では以下の機能(表 6)として動作します。

**表 6 NJU26060-04A における汎用入出力端子の動作**

Pin No.	端子名	機能
40	TEST3 (プルダウン付 I)	テスト端子。必ず VSS へ接続してください。
39	GPO (O)	無信号検出端子。無信号を検知すると Low を出力します。デフォルトは Hi-z です。外部でプルアップ抵抗を接続してください。
38	WDC (O)	ウォッチドッククロック出力端子。音声信号処理の過程で、一定の間隔で WDC 端子をトグル出力(Low/High)することにより、外部にソフトウェアが動作していることを通知します。この出力を外部 Watch Dog 監視 IC やマイコンなどの端子でモニタすることで、異常状態を検出することができます。WDC 端子の周期は約 100msec です。
37	PROC (I)	PROC 端子。 H: リセット解除後、信号処理を行いません。信号処理の開始には、専用のスタートコマンドを送信する必要があります。 L: リセット解除後、デフォルト設定に従って信号処理を行います。デフォルトはマスターボリュームが 0dB 状態です。

## コマンド一覧

表7 コマンド一覧

No.	機能
1	Set Task Command
2	Samplerate Config Command
3	Smooth Control Setup Command
4	Input Select Command
5	Trimmer Command
6	Eala Setup Command
7	DBB LFE Filter Setup Command
8	PEQ Config Command
9	HPF For Input FREQ Select Command
10	HPF For L/R FREQ Select Command
11	LPF For SW FREQ Select Command
12	HPF For DRC(L/R) FREQ Select Command
13	LPF For DRC(L/R) FREQ Select Command
14	DRC For HPF(L/R) Time Constant Setting Command
15	DRC For LPF(L/R) Time Constant Setting Command
16	DRC For SW Time Constant Setting Command
17	DBB Time Constant Setting Command
18	DRC For HPF(L/R) Level Setting Command
19	DRC For LPF(L/R) Level Setting Command
20	DRC For SW Level Setting Command
21	DBB Level Setting Command
22	L-Ch FIR Coef Load Command
23	R-Ch FIR Coef Load Command
24	System Status Config Command
25	PWM0 Status Config Command
26	PWM1 Status Config Command
27	No Signal Detection Setup Command
28	SRC Reset Wait Setup Command
29	Delay Setup Command
30	No Signal Counter Read Command
31	No Signal Counter Reset Command
32	No Signal Detection Output Enable Command
33	No Signal Detection Output Disable Command
34	Beep Command
35	FIR Coef Update Command
36	Software Reset Command
37	Firmware Version Number Command
38	Firmware Revision Number Command
39	PWM/SRC Status Read Command
40	Start Command with Mute
41	Start Command with Unmute
42	No Operation Command

コマンドの詳細については別途、ご請求下さい。

<注意事項>

このデータブックの掲載内容の正確さには万全を期しておりますが、掲載内容について何らかの法的な保証を行うものではありません。とくに応用回路については、製品の代表的な応用例を説明するためのものです。また、工業所有権その他の権利の実施権の許諾を伴うものではなく、第三者の権利を侵害しないことを保証するものでもありません。