

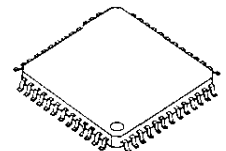
デジタル電源制御用 DSC

■ 概要

NJU20010 は、デジタル電源向けにリアルタイム性の向上を迫り最適設計された最大動作周波数 62.5MHz の新日本無線オリジナル DSC (デジタル・シグナル・コントローラ) です。

DSP とマイクロ・コントローラの特徴を合わせたハイブリッド型 16 ビット固定小数点 DSP コアと、高速 AD 変換機能、柔軟な PWM 機能など周辺回路を含めた高速応答の実現に向けた機構を備えます。また、プログラマブルなクロック周波数設定機能、各種スリープ機能などシステム構成や仕事量に応じた消費電力管理の実現に向けた機構を備えます。

■ 外形



NJU20010FH2

■ 特徴

● DSP コア

- 6ステージのインオーダーパイプライン
- ・ハーバードアーキテクチャバス
- 4レベルの優先順位付き割込み
- ・1系統の高速割込み
- ・16ビット長 / 32ビット長混在命令
- ・ロードストアアーキテクチャ
- 64ビット長の信号処理命令
(積和演算とメモリアクセスの並列実行)
- ・パイプラインハザード検出口ジック
- 分岐先アドレスバッファ
- 2つのハードウェアループ
- 2つのデータアドレス生成
- 40ビットの算術論理演算
- +16 ~ -16ビットのシフト

● AD変換

- ・12ビット分解能 最大2MSPS
- ・逐次比較型
- ・7入力 + 7バッファ + 7 S/H
- ・PWM波形生成器との同期
- ・17リザルトレジスタ

● PWM波形生成

- 6つの主PWM出力 + 6つの副PWM出力
- 6つの最小1ns分解能出力
- ・外部イベント連動の出力停止機能

● 通信

- ・UART / I2C / SPI

● メモリ

- ・プログラム フラッシュROM (16kW)
- ・プログラム RAM (4kW)
- ・データ RAM (2kW)

● IOポート・コンパレータ

- ・16本のIOポート(機能ピンと共用)
- ・3つの20ns遅延コンパレータ

● 電源電圧

- | | |
|---------------|--------------|
| ・DSP コア/ ロジック | 1.62 ~ 1.98V |
| ・I/O | 3.0 ~ 3.6V |
| ・アナログ | 3.0 ~ 3.6V |

● 消費電力

- ・240mW@60MHz

● 動作温度

- | | |
|------------|-----------|
| ・周囲温度 | -40 ~ 85 |
| ・ケース表面温度 | -40 ~ 100 |
| ・ジャンクション温度 | -40 ~ 105 |

● 構造

- ・CMOS構造

● 外形

- ・LQFP52-H2 (鉛フリー対応)

■ 機能ブロック図

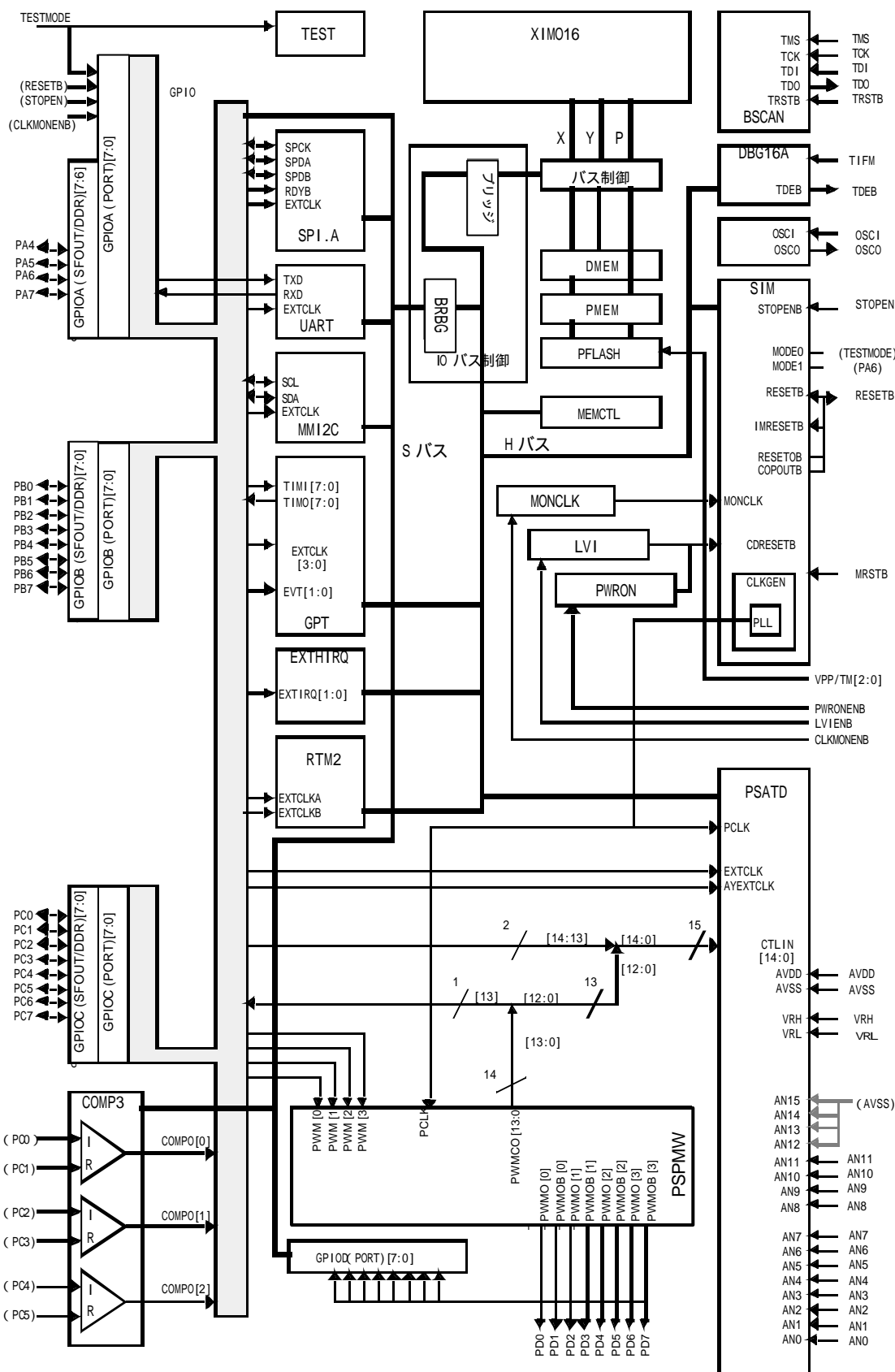


図 1 NJU20010 機能ブロック図

■ 端子配列

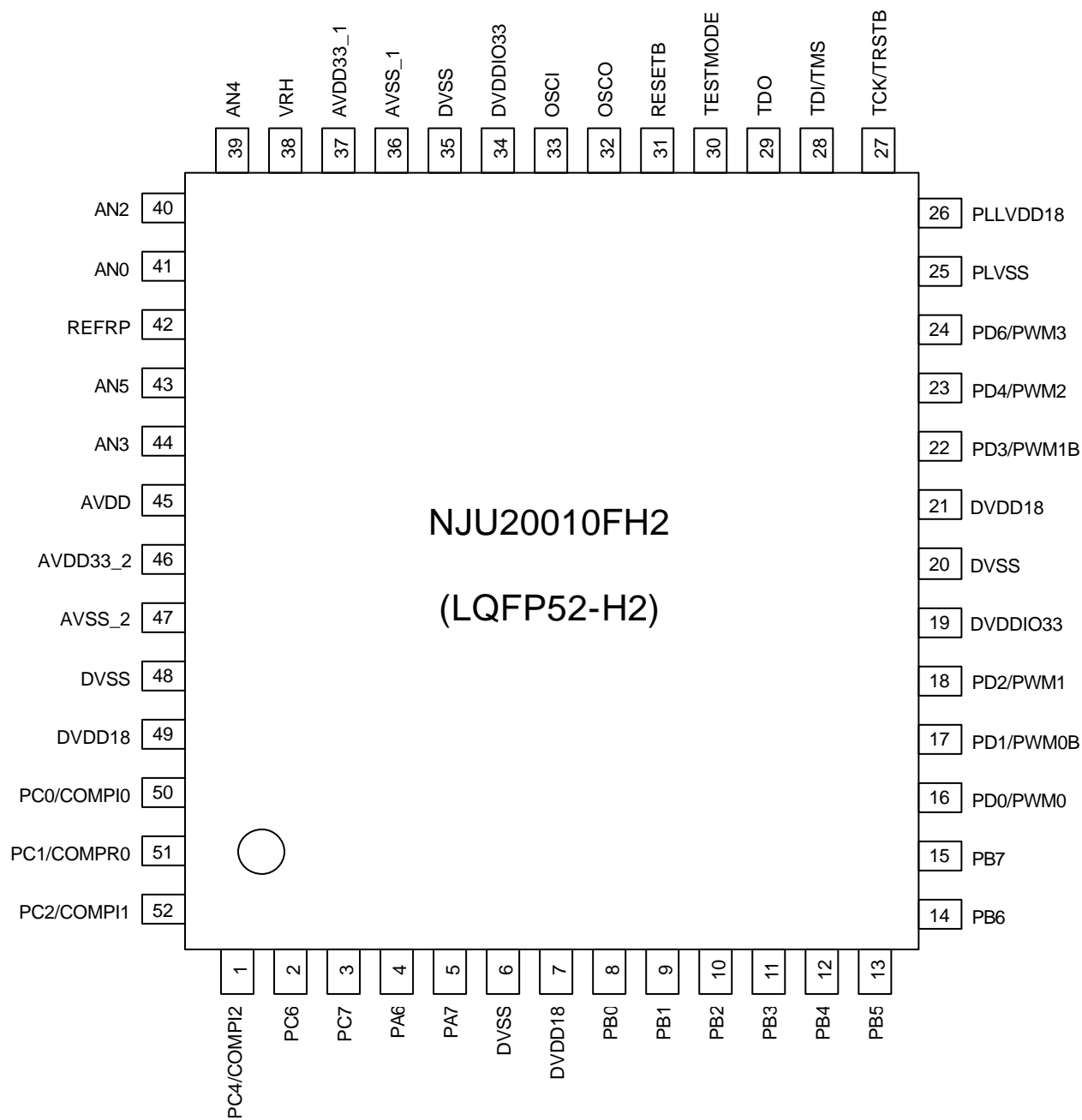


图 2 端子配列

■ 端子説明

表 1 端子機能

Pin No.	端子名	I/O (初期状態)	機能
1	PC4/COMPI2	I/O (Z)	汎用入出力ポートC ビット4 コンパレータ2 信号入力
2	PC6	I/O (Z)	汎用入出力ポートC ビット6
3	PC7	I/O (Z)	汎用入出力ポートC ビット7
4	PA6	I/O (Z)	汎用入出力ポートA ビット6
5	PA7	I/O (Z)	汎用入出力ポートA ビット7
6	DVSS	-	デジタル GND
7	DVDD18	-	DSP コア / ロジック用デジタル電源(1.8V)
8	PB0	I/O (Z)	汎用入出力ポートB ビット0
9	PB1	I/O (Z)	汎用入出力ポートB ビット1
10	PB2	I/O (Z)	汎用入出力ポートB ビット2
11	PB3	I/O (Z)	汎用入出力ポートB ビット3
12	PB4	I/O (Z)	汎用入出力ポートB ビット4
13	PB5	I/O (Z)	汎用入出力ポートB ビット5
14	PB6	I/O (Z)	汎用入出力ポートB ビット6
15	PB7	I/O (Z)	汎用入出力ポートB ビット7
16	PD0/PWM0	O (Z)	PWM0 出力
17	PD1/PWM0B	O (Z)	PWM0 相補出力
18	PD2/PWM1	O (Z)	PWM1 出力
19	DVDDIO33	-	IO 用デジタル電源(3.3V)
20	DVSS	-	デジタル GND
21	DVDD18	-	DSP コア / ロジック用デジタル電源(1.8V)
22	PD3/PWM1B	O (Z)	PWM1 相補出力
23	PD4/PWM2	O (Z)	PWM2 出力
24	PD6/PWM3	O (Z)	PWM3 出力
25	PLLVSS	-	PLL 用デジタル GND
26	PLLVD18	-	PLL 用デジタル電源(1.8V)
27	TCK/TRSTB	I/O (PU)	簡易 JTAG デバッグ クロック入力/リセット入力 未使用時は開放してください
28	TDI/TMS	I/O (PU)	簡易 JTAG デバッグ データ入力/モード選択入力 未使用時は開放してください
29	TDO	I/O (PU)	簡易 JTAG デバッグ データ出力 未使用時は開放してください
30	TESTMODE	I	テストモード 通常はデジタル GND に接続してください
31	RESETB	I/OD (Z)	外部リセット入力 リセット出力 (オープンドレイン出力)
32	OSCO	O	発振器出力 外部クロック入力時は開放してください
33	OSCI	I	発振器入力 / 外部クロック入力 OSCI と OSCO を使って水晶発振回路が構成できます (OSCI と OSCO 間に帰還抵抗は内蔵していません) 外部クロック入力時は OSCI に入力してください
34	DVDDIO33	-	IO 用デジタル電源(3.3V)
35	DVSS	-	デジタル GND
36	AVSS_1	-	ADC 用アナログ GND
37	AVDD33_1	-	ADC 用アナログ電源(3.3V)
38	VRH	I	ADC 用基準電圧入力

Pin No.	端子名	I/O (初期状態)	機能
39	AN4	I	ADC 入力 4
40	AN2	I	ADC 入力 2
41	AN0	I	ADC 入力 0
42	AN7	I	ADC 入力 7
43	AN5	I	ADC 入力 5
44	AN3	I	ADC 入力 3
45	AN1	I	ADC 入力 1
46	AVDD33_2	-	アナログ電源(3.3V)
47	AVSS_2	-	アナログ GND
48	DVSS	-	デジタル GND
49	DVDD18	-	DSP コア / ロジック用デジタル電源(1.8V)
50	PC0/COMPI0	I/O (Z)	汎用入出力ポートC ビット0 コンパレータ0 信号入力
51	PC1/COMPR0	I/O (Z)	汎用入出力ポートC ビット1 コンパレータ0 参照入力
52	PC2/COMPI1	I/O (Z)	汎用入出力ポートC ビット2 コンパレータ1 信号入力

記号) I・・・CMOS 入力、O・・・CMOS 出力、OD・・・オープンドレイン出力、Z・・・ハイインピーダンス、
PU・・・プルアップ抵抗付き。

注 1) 全ての GND 端子 (DVSS, PLLVSS, AVSS_1, AVSS_2) は PCB 上での配線を IC 近傍で接続して下さい。

注 2) DVDD18 と PLLVDD18 は PCB 上での配線を IC 近傍で接続してください。

注 3) DVDDIO33 は PCB 上での配線を IC 近傍で接続してください。

注 4) AVDD33_1 と AVDD33_2 は PCB 上での配線を IC 近傍で接続してください。

注 5) 電源投入時は、ロジック用デジタル電源(1.8V)と IO 用デジタル電源(3.3V)の立ち上りによらず、汎用入出力ポートはハイインピーダンス状態を保持します。

■ 絶対最大定格

表 2 絶対最大定格

(特記無き場合 動作温度範囲)

項目		記号	定格値	単位
電源電圧		V_{DVDD18}	-0.3 ~ 2.5	V
		$V_{PLLVD18}$	-0.3 ~ 2.5	V
		$V_{DVDDIO33}$	-0.3 ~ 4.6	V
		V_{AVDD33_1}	-0.3 ~ 4.6	V
		V_{AVDD33_2}	-0.3 ~ 4.6	V
入力電圧 1	グループ 1	V_{IN1}	-0.3 ~ 5.5	V
入力電圧 2	グループ 2	V_{IN2}	-0.3 ~ $DVDDIO33 + 0.3$	V
入力電圧 3	グループ 3	V_{IN3}	-0.3 ~ $AVDD33_1 + 0.3$	V
動作温度範囲	周囲温度	T_A	-40 ~ +85	°C
	ケース表面温度	T_{C1}	-40 ~ +100	°C
	ジャンクション温度	T_J	-40 ~ +105	°C
保存温度		T_{STG}	-40 ~ +125	°C
熱抵抗	LQFP52-H2	JA	85	/W
		JT	11	/W

注 6) 電圧は全て $DVSS=PLLVSS=AVSS_1=AVSS_2=0V$ を基準とした値です。

注 7) 絶対最大定格を超えて LSI を使用した場合、LSI の永久破壊となることがあります。また、通常動作では電気的特性の条件で使用することが望ましく、この条件を超えると LSI の誤動作の原因になると共に、LSI の信頼性に悪影響を及ぼすことがあります。

注 8) 安定して動作させるために、 $DVDD18-DVSS$ 、 $PLLVD18-PLLVSS$ 、 $DVDDIO33-DVSS$ 、 $AVDD33_1-AVSS_1$ および $AVDD33_2-AVSS_2$ 間にデカップリングコンデンサを挿入してください。

注 9) グループ 1 に含まれる 5V 耐圧の入力端子は、RESETB、PA4 ~ 7、PB0 ~ 7、PC6 ~ 7、TESTMODE、TCK/TRSTB、TDI/TMS および TDO です。

注 10) グループ 2 に含まれる入力端子は、PC0 ~ 5 および OSCI です。

注 11) グループ 3 に含まれる入力端子は、AN0 ~ 11 および VRH です。

注 12) 周囲温度およびケース表面温度は、2層基板(EIA/JEDEC STD 仕様)実装時の値です。

注 13) 保存温度は、フラッシュ ROM へのデータ書き込み前の値です。データ書き込み後は、動作温度を参照してください。

注 14) 熱抵抗は、2層基板(EIA/JEDEC STD 仕様)実装時の参考値です。

■ 推奨動作条件
表 3 推奨動作条件

(特記無き場合 動作電源電圧 / 動作温度範囲)

項目	条件	記号	最小	標準	最大	単位
DSP コア / ロジック用デジタル電源電圧	DVDD18=PLLVD18	V_{DD}	1.62	1.80	1.98	V
IO用デジタル電源電圧	DVDDIO33	V_{DDIO}	3.0	3.3	3.6	V
アナログ電源電圧	AVDD33_1=AVDD33_2	V_{DDA}	3.0	3.3	3.6	V
入力クロック周波数	OSCI: 内蔵 PLL 使用時	F_{IN}	3.2	20	32	MHz
	OSCI: 内蔵 PLL 未使用時		0.1			MHz
システムクロック周波数		F_{SYS}	F_{IN} 最小	-	62.5	MHz
PLL クロック周波数		F_{PLL}	200*	-	500	MHz
ハイレベル入力電圧	グループ1	V_{IH}	2	-	5	V
	グループ2				V_{DDIO}	V
ローレベル入力電圧	グループ1 およびグループ2	V_{IL}	0	-	0.8	V
ハイレベル出力電圧	出力端子 (TDO を除く) $I_{OH} = -4mA$	V_{OH}	2.4	-	-	V
	TDO $I_{OH} = -8m$					
ローレベル出力電圧	出力端子 (TDO を除く) $I_{OL} = 4mA$	V_{OL}	-	-	0.4	V
	TDO $I_{OL} = 8m$					
アナログ入力電圧	AN0 ~ 11	V_{AN}	0	-	V_{RH}	V
	VRH	V_{RH}	2.7	-	V_{DDA}	V
動作温度	周囲温度	T_A	-40	-	85	
	ケース表面温度	T_{C1}	-40	-	100	
	ジャンクション温度	T_J	-40	-	105	

注15) 電圧は全て DVSS=PLLVSS=AVSS_1=AVSS_2=0V を基準とした値です。

注16) PLL クロック周波数を 200MHz 以下で使用する場合は、メーカーへ問合せください。

■ 電気的特性
表 4 電源監視

(特記無き場合 動作電源電圧 / 動作温度範囲)

項目	条件	記号	最小	標準	最大	単位
立ち上がり時間	1.8V 系	T_{PWON1}	-	-	100	ms
	3.3V 系	T_{PWON2}	-	-	100	ms
パワーオン検出電圧	1.8V 系	T_{PWON}	0.7	1.0	1.2	V
低電源電圧監視電圧	1.8V 系検出電圧	V_{LDET1}	1.30	1.33	-	V
	1.8V 系解除電圧	V_{LREL1}	-	1.43	1.62	V
	3.3V 系検出電圧	V_{LDET2}	2.65	2.70	-	V
	3.3V 系解除電圧	V_{LREL2}	-	2.81	2.97	V
低電源電圧検出パルス幅	-	T_{LDET}	100	-	-	μ s

注17) 1.8V 系は、DVDD18 及び PLLVD18 です。3.3V 系は、DVDDIO33、AVDD33_1 及び AVDD33_2 です。

表 5 デジタル入力端子

(特記無き場合 動作電源電圧 / 動作温度範囲)

項目	条件	記号	最小	標準	最大	単位
ハイレベル入力電圧	グループ1	V_{IH}	2	-	5	V
	グループ2				V_{DDIO}	
ローレベル入力電圧	グループ1 およびグループ2	V_{IL}	0	-	0.8	V
入力リーク電流	$V_I=V_{DDIO33}$ または V_{SS}	I_{IL}	-2	-	2	μA
プルアップ抵抗	TDO, TDI/TMS, TCK/TRSTB	R_{IPU}	38	56	89	k Ω
入力容量	-	C_{IN}	-	3.2	-	pF

表 6 デジタル出力端子

(特記無き場合 動作電源電圧 / 動作温度範囲)

項目	条件	記号	最小	標準	最大	単位
ハイレベル出力電圧	出力端子 (TDO を除く) $I_{OH}=-4mA$	V_{OH}	2.4	-	-	V
	TDO $I_{OH}=-8mA$					
ローレベル出力電圧	出力端子 (TDO を除く) $I_{OH}=4mA$	V_{OL}	-	-	0.4	V
	TDO $I_{OH}=8mA$					
オフリーク電流	$V_0=V_{DDIO33}$ または V_{SS}	I_{OFF}	-2	-	2	μA

表 7 AD 変換器

(特記無き場合 動作電源電圧 / 動作温度範囲)

項目	条件	記号	最小	標準	最大	単位
入力インピーダンス	AN0~5, プリアンプ OFF	Z_{AN1}	-	1k Ω /20pF	-	-
	AN0~5, プリアンプ ON			200 Ω /1pF		
	AN6~11, プリアンプ OFF	Z_{AN2}	-	1.8k Ω /20pF	-	-
	AN6~11, プリアンプ ON			1k Ω /1pF		
入力電圧範囲	AN0~11	V_{AN}	0	-	V_{RH}	V
リファレンス入力電圧	V_{RH}	V_{RH}	2.7	-	V_{DDA}	V
リファレンス入力電流	$V_{RH}=3.3V$	I_{RH}	2.1	3.9	7.8	mA
変換時間	ADC クロック サンプリング時間含む	T_{ADC}	14	-	-	cyc
サンプリング時間	ADC クロック	T_{SMPL}	1	-	-	cyc
ADC クロック周波数		F_{ADC}	7	-	28	MHz
分解能		N_{RES}	-	12	-	Bits
積分比直線性誤差	$V_{RH}=V_{AVDD33_1}=3.3V$ プリアンプ OFF 入力電圧範囲 :0.165V ~ 3.135V	E_{INL}	-20	-	20	LSB
微分比直線性誤差		E_{DNL}	-20	-	20	LSB
ゲインエラー		E_{GAIN}	-40	-	20	LSB
オフセットエラー		E_{OFF}	-	-	60	LSB

表 8 コンパレータ

(特記無き場合 動作電源電圧 / 動作温度範囲)

項目	条件	記号	最小	標準	最大	単位
同相入力電圧範囲	-	V_{CMP}	0	-	$V_{DDIO33} - 1.5$	V
応答時間	比較電圧 $\pm 50mV$ 入力	T_{RES}	-	-	20	ns

表 9 PWM 生成器

(特記無き場合 動作電源電圧 / 動作温度範囲)

項目	条件	記号	最小	標準	最大	単位
分解能		F _{RES}	-	-	1000	MHz
応答時間	コンパレータ入力	T _{RES}	-	-	200	ns

表 10 電源電流

(特記無き場合 動作電源電圧 / 動作温度範囲)

項目	条件	記号	最小	標準	最大	単位
DSP コア/ロジック用 デジタル電源電流	DVDD18=PLLVD18=1.8V T _A =25°C 無限ループ F _{IN} =20MHz F _{PLL} =480MHz F _{SYS} =60MHz PWM 周期=100KHz	I _{DD1}	-	75	-	mA
	DVDD18=PLLVD18=1.8V T _A =25°C IDLE スリープ F _{IN} =20MHz F _{PLL} =480MHz F _{SYS} =60MHz PWM 周期=100KHz	I _{DD2}	-	71	-	mA
	DVDD18=PLLVD18=1.8V T _A =25°C WAIT スリープ F _{IN} =20MHz F _{PLL} =480MHz PWM 周期=100KHz	I _{DD3}	-	32	-	mA
	DVDD18=PLLVD18=1.8V T _A =25°C SIESTA スリープ F _{IN} =20MHz F _{PLL} =480MHz	I _{DD4}	-	5	-	mA
	DVDD18=PLLVD18=1.8V T _A =25°C STOP スリープ F _{IN} =停止	I _{DD5}	-	0.06	-	mA
IO 用デジタル電源電流	DVDDIO33=3.3V T _A =25°C 無負荷 F _{IN} =20MHz PWM 周期=100kHz	I _{DDIO1}	-	1	-	mA
	DVDDIO33=3.3V T _A =25°C STOP スリープ F _{IN} =停止	I _{DDIO2}	-	0.2	-	mA
アナログ電源電流	AVDD33_1=AVDD33_2=3.3V T _A =25°C 全プリアンプON VRH=AVDD33_1	I _{DDA1}	-	40	-	mA
	AVDD33_1=AVDD33_2=3.3V T _A =25°C 全プリアンプOFF VRH=AVDD33_1	I _{DDA2}	-	27	-	mA
	AVDD33_1=AVDD33_2=3.3V T _A =25°C 全 Disable VRH=オープン	I _{DDA3}	-	0.3	-	mA

1. アウトライン

NJU20010は16ビットのDSPである"XIMO16A"をコアとした、計測制御用マイコンに必要な基本的なモジュールを内部に持ったデバイスです。内部には最大256ワードのIO領域にマッピングされたMMI2CやSPI.Aなどの通信モジュール、波形生成機能を持つPSPWM、12ビット最大2MHz動作のPSATD、約16Kワードのプログラムとデータ用フラッシュROM、約4Kワードのプログラム用RAM、約2Kワードのデータ用RAMがあります。

内部バスはDSPのプログラムを転送するPバス、データバスのうち読み書き可能なXバス、積和演算の係数等読み出し等に使用するYバスがあります。また、IOペリフェラルモジュールはXバスまたはSバスを使用します。

1.1 外部端子

外部端子は、機能入出力端子、デジタル内部電源端子、デジタル入出力用の電源端子、アナログ電源端子、PLL専用電源端子で構成されます。すべての出力端子と入出力端子はリセット端子によりデバイス内のクロックに非同期でハイインピーダンス状態になります。

1.2 動作モード

NJU20010にはテスト動作を示すテストモードと、ユーザー動作を示すユーザーモード及びブートモードがあります。ユーザーモードとブートモードは例外処理ベクタが異なり、ブートモードはデバイス起動時にブートROMコードを実行するように動作します。(ブートモードのリセットベクタはブートROMコードの先頭アドレスを指し示します。)

各モードエントリーはTESTMODE端子、RESETB端子とJTAG関連端子の状態で定められます。また、デバッガーなどでJTAGを使用しているJTAGアクティブ状態とJTAGを使用していないJTAG初期化状態とでモードエントリー方法が異なります。

ブートプログラムはMMI2CあるいはUARTを使用して、内部メモリにデータを書き込みます。ブート動作での起動デバイスの選択はPC6端子、PC7端子で行われます。この端子による起動デバイスの選択はソフトウェアによりGPIOモジュールを通して行われます。

モードのエントリー方法等は、Alligatorユーザー仕様書を参照願います。

1.3 メモリマップとメモリ

NJU20010は64Kワードのアドレス空間のうち、0x0000から0x00ffまでを256ワードのIO空間、0x800から0x0FFFまでをデータ用RAMから成るDMEM、0x6000から0xFFFFまでをプログラム用メモリとして、ユーザープログラムや例外処理ベクタやブートメモリ空間を持ち、PROMやRAMからなるPMEMとします。

IOレジスタは0x0000から0xffの256ワードのアドレス空間におかれます。バス接続はSバスあるいはXバスになります。割り込みベクタの割り付けは、ユーザーモードとブートモードは異なるベクタアドレスを持っています。

IO領域レジスタ及びベクタアドレスの詳細はAlligatorユーザー仕様書を参照願います。

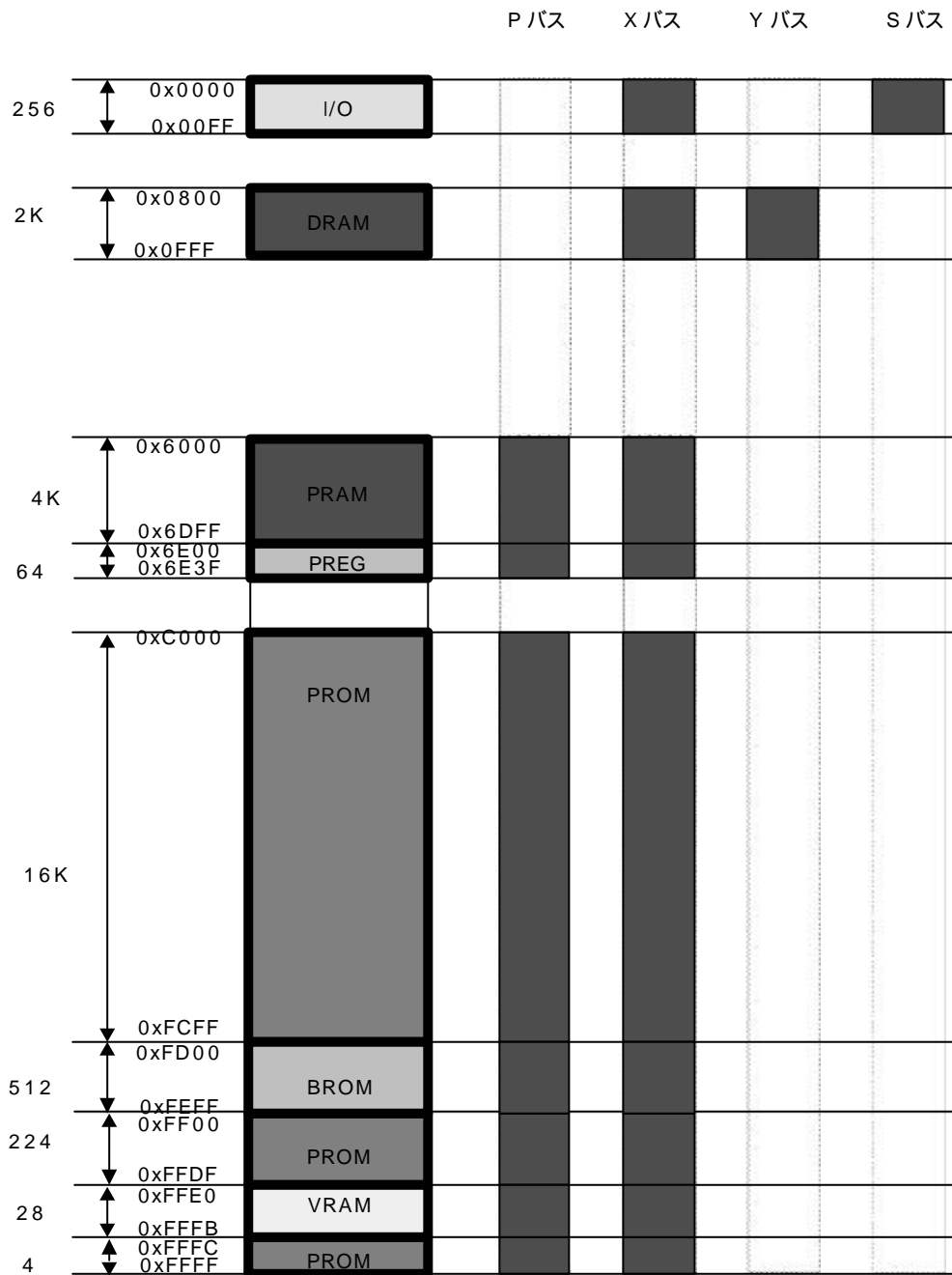


図3 メモリマップ

1.4 その他の機能

JTAG 機能を使用したデバッグ動作をするとき、ハードウェアデバッグモードでのバググランド動作状態（ブレークポイントヒット後のデバッグアクティブ状態）にあるとき、次にモジュールの動作が停止されます。また、バスタイムアウト機能は停止されます。

バスエラーを出力する動作は内部バス制御部と IO バス制御部が行います。バスエラーを検出すると、内部バス制御部が内部モジュールに対して、バスアクセス強制終了（バスターミネート）要求をアサートし、以下のモジュールのうち、バスアクセスを行っているモジュールはその信号を受けてバスアクセスを強制終了します。

デバイス ID は 0x000025a5 になります。その内訳は、新日本無線(株)の生産者番号は 0x52 (バンク6)、バージョンは 0x0 と部品番号は 0x0002 です。

デバイス ID[31:0]				
ビット位置	[31:28]	[27:12]	[11:1]	[0]
ビット長	4	16	11	1
内容	バージョン	部品番号	生産者番号	固定値
コード	0000	0000 0000 0000 0010	010 1101 0010	1

表 11 デバイス ID

2. 内蔵ペリフェラル

NJU20010 には各種モジュールが含まれています。各モジュールの詳細は別冊の“Alligator ユーザー仕様書”及び“Ximo16A ユーザー仕様書”を参照してください。

モジュール名(略語)	モジュール名
XIMI16A	DSPコア
SIM	システム制御モジュール
MEMCTL	メモリ制御モジュール
BOOTPGM	ブートプログラム
PMEM	プログラムメモリモジュール
DMEM	データメモリモジュール
GPIO	汎用入出力ポートモジュール
PSATD	電源制御用 A/D 変換モジュール
COMP3	コンパレータモジュール
RTM2	リアルタイマー2 モジュール
GPT	汎用タイマーモジュール
SPI.A	SPI モジュール
UART	UART モジュール

MMI2C	MMI2C モジュール
EXTHIRQ	外部高速割り込みモジュール
PSPWM	電源制御用 PWM モジュール

表 12 モジュール仕様

(以降、各モジュールのアウトラインを説明します。詳細はAlligatorユーザー仕様書を参照願います。)

3. SIM(System-Integration-Module)

LSI 全体の制御は SIM (System-Integration-Module)で行われます。この SIM はクロック制御、例外制御、リセット制御、モードエントリー部からなります。この SIM は DSP コアである XIMO16A と直に接続されたモジュールになります。

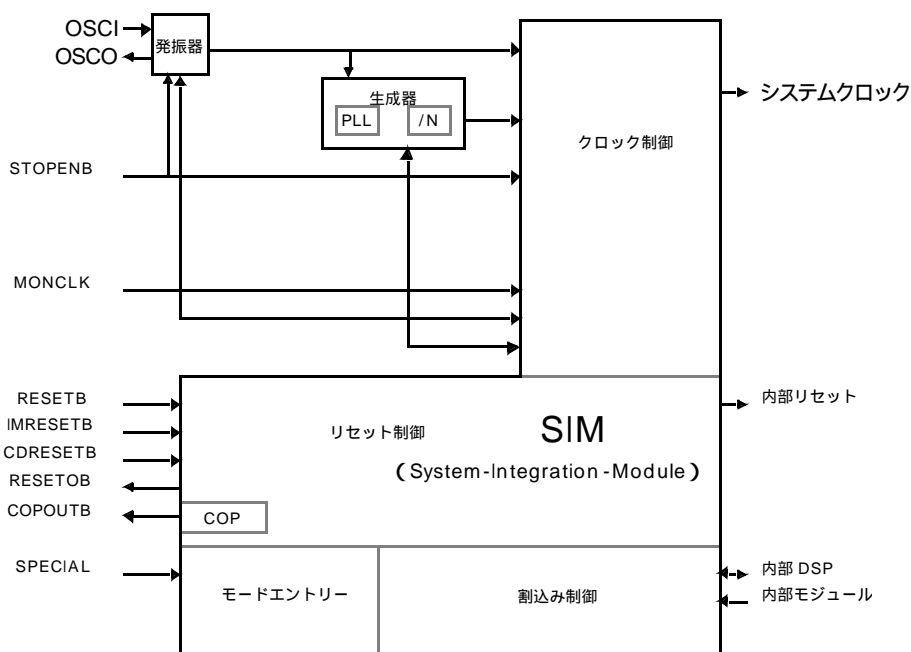


図 4 SIM ブロックダイアグラム

3.1 クロック制御

クロック制御部は、SIM 外部に接続される発振器、あるいは内蔵 RC 発振器と PLL を持った生成器とを制御し、まずメインクロックを生成します。発振器を使用しないときは、OSCO 端子をオープンとし、OSCI から外部クロックを入力します。この発振器出力あるいは内蔵 RC 発振器出力を発振クロック(gclk)とします。そして、gclk の 1/2 分周のクロックを基本クロック(iclk)とします。また、外部クロックのデューティと最高周波数の仕様は別定義されます。

この gclk を生成器に入力し、メインクロック(mclk)を生成します。内部がリセット状態にあるときに生成器は初期化され停止し、基本クロック(iclk)がメインクロックとなります。ソフトウェアにより生成器を動作開始させ、その後、生成器が安定動作をすると、生成器クロックがメインクロック(mclk)となります。

この生成されたメインクロックを使用してシステムクロックを生成し、内部に供給します。

外部入力のモニター用クロック (MONCLK 信号)は発振クロック(gclk)のクロックモニター動作に用いられます。

クロック系の特徴

- ・ DSP コア/PWM生成/ADC制御
- ・ 電源制御に重要な3つの機能で独立した動作周波数設定
- ・ 動的変更OK
- ・ 機能、負荷に応じた消費電力制御が可能

3.1.1 発振器

OSCSEL 信号がハイレベルであるとき、発振クロック(gclk)は OSCI/OSCO に接続される発振器より生成されます。OSCI 信号は水晶発振器入力、または外部クロック入力となります。OSCO 信号は水晶発振器出力となります。また外部クロックを入力する場合は使用しません。

発振器が動作を始めクロックを出力し始めた後、安定動作とみなされると、クロックが出力されます。外部の電源電圧が低下状態にあり、CDRESETB 信号がアサートされている状態、または OSCSEL がローレベルであるとき、発振器は停止します。

また STOPENB 信号がローレベルであり、かつスリープ動作の STOP 状態になる場合にも発振器は停止します。STOPENB 信号がハイレベルであるときは、スリープ動作に関わらず発振器は常に動作します。

3.1.2 生成器

発振クロック(gclk)を PLL により逡倍、分周器で分周、そして望む周波数の生成器クロックを生成します。リセット状態であるときは生成器は初期化、パワーダウン状態であり、ホストレジスタビットは初期化されます。コールドリセットやスリープ動作の STOP 状態にあるとき、STOPENB 信号がローレベルであれば生成器はパワーダウンモードになります。

リセット状態にあるとき、生成器の動作は停止された状態にあります。リセット復帰後、ホストがソフトウェア設定で生成器の動作を開始させる必要があります。生成器の動作は停止しているとき、システムは基本クロック(iclk)と同じ周波数で動作しています。

ソフトウェアにより生成器を動作させると、OSC クロック周波数を逡倍した PLL クロックを生成します。そして、この PLL 出力のクロックは、1)PSPWM 用 2)PSATD 3)それ以外の LSI 全体に配られ、それぞれの設定に従って動作クロックを生成します。LSI 全体で使用するクロックはシステムクロックと呼ばれ、SIM 内部の分周器より生成されて分配されます。

3.2 低消費電力動作

低消費電力動作には生成器の逡倍比と分周比を設定してマスタ-クロックの周波数を変える方法と sleep 命令実行によるスリープ動作による方法があります。

3.2.1 ソフトウェアによる生成器の設定値変更

生成器内の分周器に対するパラメータ変更による生成クロック信号の周波数変更は、PLL を含む逡倍器の動作には無関係であるので比較的短い回復時間でクロック出力を開始します。

生成器内の逡倍器に関するパラメータ変更では、逡倍器の PLL の動作を変更することになるので、PLL 動作の変更そして安定後に、クロック出力を開始することになります。このような生成器の設定値変更は動作安定するまで、生成器クロックは停止されます。

3.2.2スリープ動作

sleep 命令を実行したとき、スリープ動作の各状態に移行します。スリープ動作には STOP,SIESTA,DOZE、WAIT、IDLE の各状態があります。それらのステージでは以下の内部動作をすることにより、消費電力を下げることとなります。スリープ動作からの復帰はリセットあるいは割り込みからになります。割り込みからの復帰はこのスリープ動作固有のステートフローを使用しますが、リセットからの復帰はリセットのステートフロー内の動作になります。

STOPENB 信号がハイレベルであるとき、STOP 動作では STOP 状態には入らず SIESTA 状態になります。スリープ-SIESTA 動作では生成器を停止させますが、GENEN ビットをクリアした生成器停止状態からのスリープ-SIESTA 動作であれば、PLL の電源を遮断された状態になり、一層の低消費電力動作が可能になります。また、スリープ状態からの復帰条件はインテグレーションによって定められます。

3.3 リセット制御

リセット制御部は多種のリセットソースから内部リセットを生成します。リセットソースは内部リセット、発振器、生成器、クロック出力動作に影響を与えます。

リセットソースの種類によって、コールドリセット、エラーリセット、通常リセットの種類があります。リセットソースは外部端子だけではなく、いくつか存在します。リセット解除後、そのリセット要因を知ることが出来ます。このリセットソースにより内部動作の停止制御がおこなわれます。リセット解除後、内部リセット解除後に、SOFTRST ビットのセットでソフトウェアリセットを確認出来ます。リセット要因のうち、コールドリセット、クロックモニターリセット、生成器エラーリセット、システムエラーリセット、COP 内部リセット、ソフトウェアリセットはリセット出力 RESETOUT 信号として外部に出力されます。

リセット端子の接続はインテグレーションによって異なりますが、標準ではリセット出力 RESETOUT および COP 外部リセット出力 COPOUT は外部リセット入力信号と Wired OR で接続され、RESETB 端子より入力される外部リセット信号となります。

3.4 COP (Computer-Operated-Propriety)

システムが正常に動作しているかを検出するハードウェアです。別名 WDT (Watch-Dog-Timer)とも呼ばれます。基本クロック (clk) を最長 $2^{24}-1$ (16777215 サイクル:1.6Hz~@27MHz) 間隔で動作チェックをする事が可能です。

3.5 バスタイムアウト不正動作割込み/不正動作割込み

内部バスに接続されたペリフェラルはアクセス時間の延長を図ることが出来ます。しかしながら、なんらかの問題でペリフェラルがバスを開放しないとき、バスタイムアウト時間を超えたときにバスタイムアウトとして割り込みが発生します。

3.6 WUT (Wake Up Timer)

SIM は基本クロック (iclk) によって動作するタイマ、WUT (Wake Up Timer) を持っています。WUTE ビットをセットするとこのタイマは動作状態になります。

3.7 例外制御と割り込み

割り込みやリセットなどのベクターなどを処理する例外制御部はベクターアドレス生成と割り込み制御機能を持ちます。ペリフェラルからの割り込み要求入力は全部で 32 本可能です。ソフトウェアの設定により、その割り込み要求入力から 12 本のペリフェラル割り込みを割り当てる必要があります。それらの割り込みはそれぞれベクターアドレスと割り込みレベルを設定することが可能です。

3.8 高速割り込み (FINT)

高速割り込み処理では通常割り込みのように例外ベクタを使用せずにあらかじめ設定されたアドレスの内容を実行先頭アドレスとします。

3.9 動作モードとそのエントリー

デバイスはいくつかの動作モードを持ちます。通常はユーザーモードで動作しますが、プログラムとデータを初期化する目的で、ユーザーモードに対して異なるベクターを持つブートモードを持ちます。

それらのモードに入るには、TIFM/TRSTB/TCK/TDI 信号を使用します。その内容は RESETB 信号の立ち上がりで内部に取り込まれます。ブートモードではブートメモリ内のブートプログラムが動作して、外部デバイスがペリフェラルを通して内部 RAM にデータを書き込みます。

電源投入、逡倍比、オプション変更、外乱などによって、PLL そのものが安定化時間を必要であるとき、比較的長い安定化時間が要求されます。このとき、COP 動作は自動的に停止状態にあります。

4. Ximo16 アーキテクチャ概要

4.1 構成

図 5 にコアのブロック図を示します。コアはフロー制御ユニット、命令デコードユニット、データアドレス生成ユニット、データ演算ユニットの 4 つの部分から構成されます。

フロー制御ユニットでは 2 つゼロオーバーヘッドループ機構、及び分岐予測器によるプログラムフロー制御が行なわれます。

命令デコードユニットでは、命令キューによる的可変長命令の整列、命令デコード、分岐命令によるプログラムフロー制御などが行なわれます。

データアドレス生成ユニットは、ポインタ演算用に 2 つの 16 ビットアドレス演算器を持っています。この演算器は有効アドレス計算及びポインタレジスタ自動更新のために用いられます。命令毎に最大 2 つのアドレス生成と 2 つポインタレジスタの更新を行なうことが可能です。ポインタレジスタの自動更新ではポストインクリメントデクリメントリングバッファ用のモジュロアドレッシング、FFT 用のビットリバースアドレッシングをサポートしています。

データ演算ユニットでは、演算器として、1 つの 40 ビット ALU、1 つの 40 ビットバレルシフタ、1 つの 16 ビット乗算器を持っています。

40 ビット ALU では 16/32/40 ビットの算術論理演算を行ないます。40 ビットバレルシフタでは最大 40 ビットデータの +16 ~ -16 ビットシフトが行なえます。40 ビット長の演算では 2 本の 40 ビットアキュムレータレジスタによって演算結果を保持することができます。16 ビット乗算器は 16 ビット × 16 ビットの乗算を 1 サイクルで行い 32 ビットの乗算結果を得ることができます。ALU と乗算器は、命令によって同時に使用することができます。1 命令内で加減算と乗算を並列に実行することで 1 システムクロック毎に 1 回の積和演算を実行することが可能です。

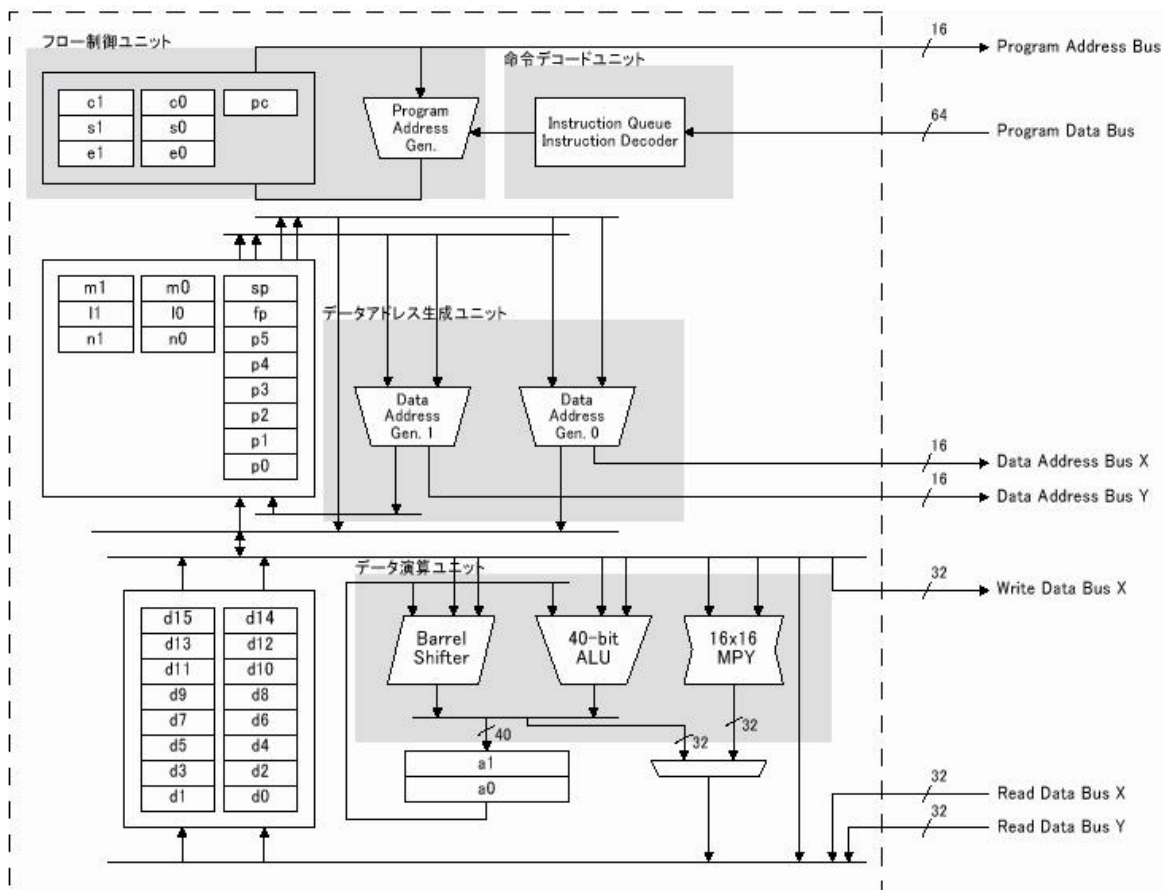


図 5 ブロック図

4.1.1 アドレス空間

アドレス空間は 16 ビットで、ワード長が 16 ビットです。よって 64KWord の空間を持ちます。データアドレス/プログラムアドレスとも同じ論理空間内に存在します。

データメモリとして扱う場合、16 ビットワードまたは 32 ビットロングワードとしてアクセスできます。32 ビットロングワードとしてアクセスする場合、データは偶数アドレスに整列されている必要があります。

4.1.2 バス

コアは統一された 1 つの論理空間を持ちますが、ハーバート型のアーキテクチャで構成されており、プログラムバスとデータバスは分離されています。

プログラムバスは 1 サイクルあたり 64 ビット分の命令語をメモリより読み込みます。読み込まれた命令語は命令キューによって整列されます。

データバスはリードライト共通の 32 ビットバスが 1 つと、リード専用の 32 ビットバスが 1 つあります。命令によって、2 つのデータバスは同時に使用することができます。

32 ビット リードライト共通データバス (X バス)

32 ビット リードデータバス (Y バス)

64 ビット プログラムバス (P バス)

4.2 コアレジスタ

レジスタユーザーモデルを図 6 に示します。コアのレジスタは 16 本の 16 ビットデータレジスタと 8 本の 16 ビットポインタレジスタを中心に構成されています。このほかに、40 ビットのアキュムレータレジスタ 2 本、データアドレス生成の設定レジスタ 3 本 x 2 セット、ハードウェアループ設定レジスタ 3 本 x 2 セットなどから成ります。

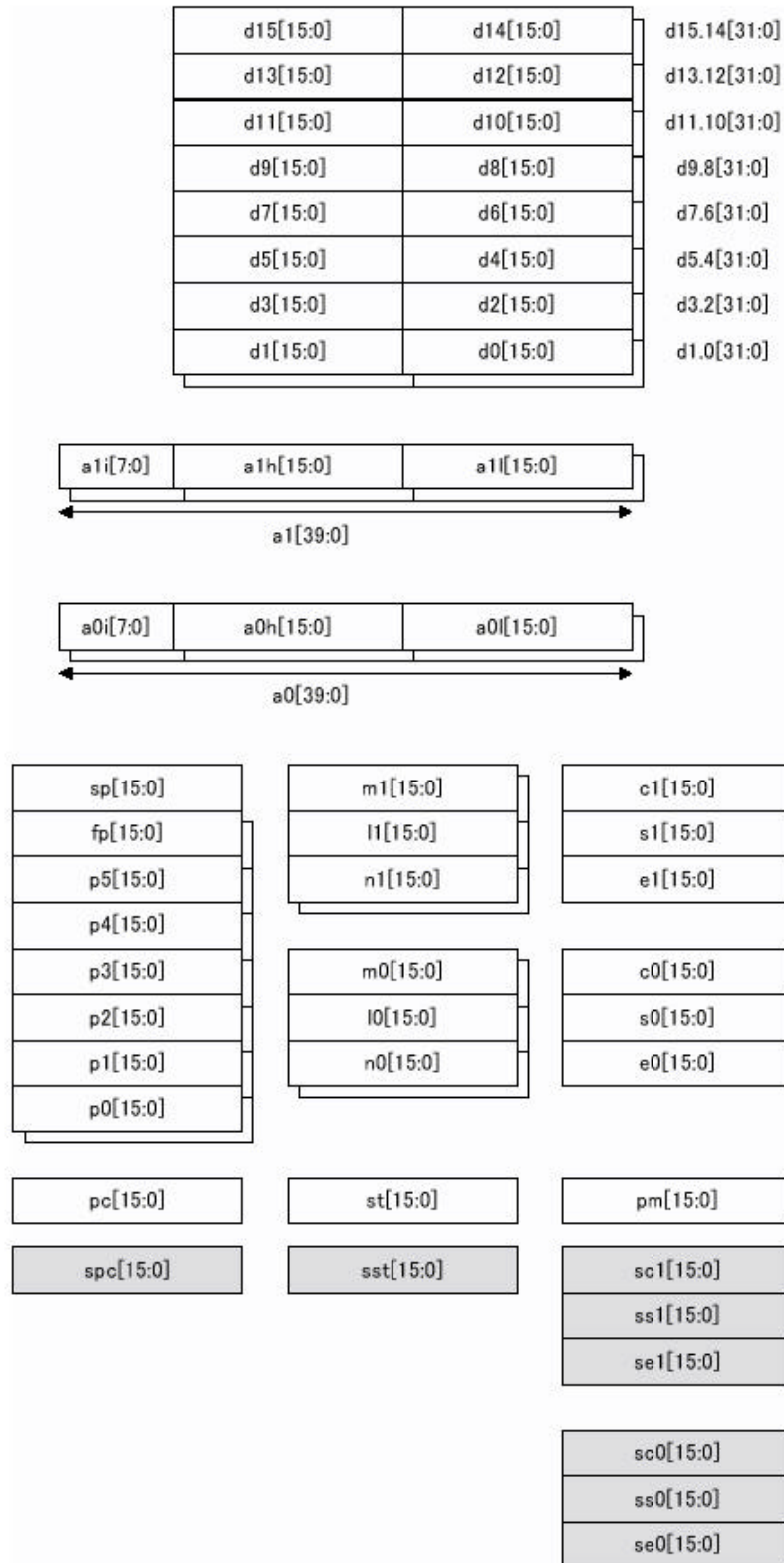


図 6 レジスタモデル

表 13 レジスタの種類

種類	機能	リセット時
汎用データレジスタ d0 - d15 d1.0 - d15.14	d0からd15までの16ビット、16本のレジスタを表します。 通常は16ビットレジスタとして使用されますが、命令によって32ビット、8本のレジスタとして使用できます。	不定
アキュムレータレジスタ a0 a0i/a0h/a0l a1 a1i/a1h/a1l	2本の40ビットレジスタa0/a1を表します。アキュムレータレジスタは8ビットのa0i/a1i、16ビットのa0h/a1h、16ビットのa0l/a1l、と3つの部位に分解してアクセスすることができます。 a0i/a1iを読み出す場合は、最上位ビットであるビット7から符号拡張した値が得られます。これら上位の8ビットは積和演算などの累加算によるオーバーフローを保持するために用いられます。	不定
ポインタレジスタ p0 - p5/fp/sp	p0/p1/p2/p3/p4/p5/fp/spの8本の16ビットレジスタを表します。これらのレジスタはアドレス空間を指示するためのポインタレジスタとして用いられます。 spはスタックトップを指示するためのポインタとして使用されます。 fpはスタックフレームを指示するためのポインタとして、一部の命令で特殊な操作、アドレッシングがサポートされています。	p0-5/fp: 不定 sp: 0xFFDF
ステータスレジスタ st cc	stレジスタを表します。ALU/シフト演算での各コンディションコードビット、割込みレベルを表すビットなどから成ります。 ccレジスタはコンディションコードレジスタで、stレジスタの下位8ビットのみを指します。このシンボルでアクセスする場合、上位8ビットの読み出し書きこみはできません。	0xC000
動作モードレジスタ pm	pmレジスタを表します。予測分岐やストアバッファの設定ビットなどから成ります。	0x0000
プログラムカウンタレジスタ pc	実行するプログラムのアドレスを指示します。プログラムフロー制御命令によって操作されます。	不定
ループカウンタレジスタ c0/c1	2本の16ビットレジスタc0/c1を表します。ハードウェアループ動作でのループ回数カウンタとして使用されます。	0x0000
ループスタートレジスタ s0/s1	2本の16ビットレジスタs0/s1を表します。ハードウェアループ動作でのループ上限アドレスを指示するレジスタとして使用されます。	不定
ループエンドレジスタ e0/e1	2本の16ビットレジスタe0/e1を表します。ハードウェアループ動作でのループ下限アドレスを指示するレジスタとして使用されます。	不定
ポインタモデファイレジスタ m0/m1	2本の16ビットレジスタm0/m1を表します。通常はポインタレジスタの自動更新でのステップ値として使用されます。	不定
バッファサイズレジスタ l0/l1	2本の16ビットレジスタl0/l1を表します。データアドレス生成ユニットの動作モード設定や循環バッファアドレッシング時のバッファサイズ値として使用されます。	0x0000
バッファアドレスレジスタ n0/n1	2本の16ビットレジスタn0/n1を表します。循環バッファアドレッシング時のバッファの先頭アドレスとして使用されます。	不定
pc内部スタックレジスタ spc	高速割込み時にpcレジスタの値がコピーされます。	不定
st内部スタックレジスタ sst	高速割込み時にstレジスタの値がコピーされます。	不定
c0/c1内部スタックレジスタ sc0/sc1	高速割込み時にc0/c1レジスタの値がコピーされます。	不定
s0/s1内部スタックレジスタ ss0/ss1	高速割込み時にs0/s1レジスタの値がコピーされます。	不定
e0/e1内部スタックレジスタ se0/se1	高速割込み時にe0/e1レジスタの値がコピーされます。	不定

4.2.1 ステータスレジスタとコンディションコードレジスタ

ステータスレジスタstは16ビット幅のレジスタで、ビット7からビット0は演算のコンディションコードレジスタccで構成されています。このほかに割込みステータスビット、レジスタバンクビットなどがあります。

表 14 st レジスタのビット割り当て

ビット位置	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
シンボル	I1	I0	FI	EE	-	-	-	B	U	E	S	F	N	V	Z	C

表15 stレジスタ内のビット

ビット	説明	リセット後の値
C	加算命令の場合、キャリーが発生するとセットされ、そうでない場合クリアされます。減算/比較命令の場合ポローが発生するとセットされ、そうでない場合クリアされます。	0
Z	演算の結果がゼロの場合にセットされ、そうでない場合にクリアされます。	0
V	演算の結果、オーバーフローが発生するとセットされ、そうでない場合にクリアされます。	0
N	演算結果の最上位ビットがコピーされます。	0
F	演算の結果、オーバーフローが発生するとセットされます。ユーザーが明示的にクリアしない限りクリアされないスティッキービットです。	0
S	演算の結果、飽和処理が行なわれた場合にセットされます。ユーザーが明示的にクリアしない限りクリアされないスティッキービットです。	0
E	アキュムレータをディスティネーションとする演算の結果、アキュムレータのビット39からビット31までが全て1または全て0で無い場合にセットされ、そうでない場合にクリアされます。これは40ビットアキュムレータの値を2の補数とした場合、アキュムレータの拡張ワード部分に有意なデータが存在しているかどうかを指示します。	0
U	コンディションコピー命令ccpによってセットまたはクリアされます。	0
B	レジスタバンクの現在選択されているバンクを表します。	0
EE	エラー例外の発生を表すステータスビットです。エラー例外を受け付けるとセットされます。	0
FI	高速割込みのステータスを表すビットです。高速割込みを受け付けるとセットされます。	0
I0	コアの割込みマスクレベルとして使用されます。	1
I1	コアの割込みマスクレベルとして使用されます。	1

4.2.1.1 コンディションコードレジスタ

コンディションコードレジスタccはstレジスタの下位8ビットで構成されます。このレジスタにはALU/シフトによる演算のコンディションが格納されます。

一部の命令はシンボルccによってこのレジスタのみにアクセスすることが可能です。

4.2.1.2 コンディションコード

条件付きブランチ/ジャンプ命令、条件付きレジスタ間転送命令、コンディションコピー命令では以下のコンディションコードを使用できます。

シンボル	condition フィールド	真の条件	意味	比較命令後の意味	ビットの状態
zc	b_00000	Z clear	等しく無い	!=	Z=0
zs	b_00001	Z set	等しい	==	Z=1
gt	b_00010	signed greater than	大きい(符号有り)	>	N=V and Z=0
ge	b_00011	signed greater than or equal	大きい又は等しい(符号有り)	>=	N=V
lt	b_00100	signed less than	小さい(符号有り)	<	N!=V
le	b_00101	signed less than or equal	小さい又は等しい(符号有り)	<=	N!=V or Z=1
ugt	b_00110	unsigned greater than	大きい(符号無し)	>	C=0 and Z=0
ule	b_00111	unsigned less than or equal	小さい又は等しい(符号無し)	<=	C=1 or Z=1
uge/cc	b_01000	unsigned greater than or equal (C clear)	大きい又は等しい(符号無し)	>=	C=0
ult/cs	b_01001	unsigned less than (C set)	小さい(符号無し)	<	C=1
vc	b_01010	V clear	オーバーフロー無し		V=0
vs	b_01011	V set	オーバーフロー有り		V=1
nc	b_01100	N clear	正又はゼロ	>=0	N=0
ns	b_01101	N set	負	< 0	N=1
al	b_01111	always	条件無し(常に真)		-
fc	b_10000	F clear	スティッキーオーバーフロー無し		F=0
fs	b_10001	F set	スティッキーオーバーフロー有り		F=1
sc	b_10010	S clear	飽和演算無し		S=0
ss	b_10011	S set	飽和演算有り		S=1
ec	b_10100	E clear	拡張アキュムレータ不使用		E=0
es	b_10101	E set	拡張アキュムレータ使用		E=1
uc	b_10110	U clear	Uビットクリア		U=0
us	b_10111	U set	Uビットセット		U=1

表 16 コンディションコード一覧
4.2.2 pmレジスタ

pm(Processor Mode)レジスタはコア全体の動作モードを切り替える設定ビットから構成されています。分岐予測機能の on/off、ストアバッファの on/off、丸めモードの切り替えビットなどからなります。

ビット位置	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
シンボル	-	-	-	-	-	-	-	-	-	-	-	RM	-	-	BPEN	SBEN

表 17 pm レジスタのビット割り当て

ビット	説明	リセット後の値
SBEN	ストアバッファの設定ビットです。 0:ストアバッファオフ 1:ストアバッファオン	0
BPEN	分岐予測器の設定ビットです。 0:分岐予測 オフ(全エントリ無効) 1:分岐予測 オン	0
RM	rnd命令での丸めモードを選択します。 0 :四捨五入 1:偶数丸め	0

表 18 pm レジスタ内のビット

4.2.2.1 SBENビット

コアはストアバッファと呼ばれるメモリへの書き込みデータ用一時バッファを持っており、SBEN ビットをセットするとストアバッファの動作を有効にします。ストアバッファはメモリへの遅延書き込みを実現することでバス競合によるコアのパイプラインストールを軽減することが可能です。ストアバッファを有効にしている場合、データメモリ空間へのアクセスは命令の実行順と異なる場合があります。

たとえば以下のような命令手続きを実行するとき、

```
mov.w (0x1000), d0
mov.w d0, (0x1001)
```

ストアバッファが有効な場合、アドレス 0x1000 への書き込みは一度ストアバッファに保持され、アドレス 0x1001 からの読み出しが先に処理されます。コアのパイプラインはストールしません。

ストアバッファが無効な場合、アドレス 0x1000 への書き込み終了を待ってからアドレス 0x1001 からの読み出しが実行され、その間コアはストールします。この動作は読み書きする相手がメモリである場合、ユーザが特に意識する必要はありません。しかしIO 領域にマップされるペリフェラルに対するアクセスを行なう場合、バスアクセスの順序が意味を持つことがあるため注意が必要です。

以下のケースでは SBEN ビットの状態に関わらずストアバッファを含む書き込みトランザクションが全て処理された後に実行されることが保障されます。

- ・同じアドレスに対する Write After Read
- ・movp.w 命令によるリードアクセス
- ・メモリオペランドに対するビット操作命令

4.2.2.2 BPENビット

コアは分岐先アドレスを最大 16 個保持することができる分岐予測器をもっており、BPEN ビットをセットすると分岐予測器の動作が有効になります。分岐予測器はフルアソシエイティブ型の 16 エントリ分岐先アドレスキャッシュと各エントリに対する 2 ビットの分岐方向履歴 バッファから構成されています。コアは bra/jmp/call 命令のいずれかを実行する場合に分岐予測器に対してエントリの作成(すでにエントリが存在する場合は、分岐履歴バッファの更新)を行います。

エントリの作成/破棄は FIFO 方式で行なわれ、エントリに無い分岐命令が現れると最も古いエントリが捨てられます。エントリに存在する分岐命令を実行する場合、分岐方向履歴に基づきプリフェッチの段階で投機的に分岐が実行され、プリフェッチの方向が変化します。その予測がヒットしている場合は、bra/jmp/call 命令は最速 1 システムクロックで実行可能です。予測がヒットしなかった場合には、分岐動作が再実行されるため命令の実行結果に差はありません。

但しプログラムに対して自己書き換えを行なった場合には、分岐先アドレスキャッシュに存在する有効エントリと実際のプログラムの同期性が破壊されます。その結果、暴走を引き起こす危険性があります。こういった操作を行なう場合は一度 BPEN ビットをクリアして全エントリを破棄し、プログラムメモリと分岐先アドレスキャッシュとの同期性を確保する必要があります。

4.2.2.3 RMビット

四捨五入の際の丸めモードを設定します。

4.3 レジスタバンク

コアレジスタの一部はレジスタのバンクをもっています。バンク化されているレジスタは d0 - d15 / a0, a1 / p0 - p5, fp / m0, m1 / l0, l1 / n0, n1 レジスタで、それぞれ 1 つのバンクを持ちます。リセット直後はバンク 0 の常態にあります。st レジスタ内の B ビットにコアレジスタの現在使用されているバンクの状態が表示されます。

B ビットの値を直接書き換えることで、どちらのバンクのレジスタにもアクセスすることが可能です。ただしバンク 1(B=1)は高速割込みのサービスルーチンにおけるコンテキストとして使用することを前提としています。このため高速割込みの受付時には B ビットは自動的に 1 にセットされ、レジスタのバンクはバンク 1 の方向へ切り替わりません。

5. ペリフェラル概要

5.1 メモリ

このデバイスはプログラムメモリとデータメモリを持ちます。メモリモジュールで使用する内蔵のフラッシュROMのアクセス時間が、バスの要求するノンウェイトのアクセス時間に比べて長い場合は、バスアクセスにウェイトサイクルを挿入してタイミングを合わせる必要があります。

このデバイスはデフォルトでセキュリティロック状態にあります。つまり、デバイスがリセット時にはセキュリティロック状態にあります。低消費電力動作であるときに内蔵 RAM と内蔵フラッシュRAM はスタンバイ動作に入り、いかなるアクセスも出来ません。

5.1.1 プログラムメモリー

プログラムメモリは 0xC000 から 0xfcff と 0xff00 から 0xffdf, 0xfffc から 0xffff の 3つの領域で約 16K ワードのプログラム用フラッシュROM、0x6000 から 0x6fff の約 4K ワードのプログラム用 SRAM、128 ビット長 8 ラインのラインバッファ、0xffe0 から 0xffff の 28 ワードのベクタRAM (0xfd00 から 0xfeff の 512 ワードのブートROM から構成されます。また、フラッシュROM の書き込みについては別仕様で定義します。

実体フラッシュROM のアクセス時間が、バスの要求するノンウェイトのアクセス時間に比べて長い場合は、バスアクセスにウェイトサイクルを挿入してタイミングを合わせる必要があります。

ラインバッファは P バスと PFLASH の間に入り、1 つのライン幅は 64 ビット(4 ワード)の幅を持つ、最大 16 ライン分のバッファとして動作をします。1 つのラインバッファはラインと呼ばれ、ラインデータ、有効タグ、タグアドレスからなります。このラインバッファはライン外のアドレスアクセスがあると、実体メモリからデータを読み出し、ライン毎のラインデータとタグアドレスを更新し、有効タグをセットします。この更新方法は LRU (Least Recently Used)方式が使用され、一番古いアクセス履歴のあるラインが入れ替わります。

ブートプログラムはブートROM 内に置かれます。ジャンプテーブルとワークエリア、アドレス 0xFD00 から 0xFEFF までの 512 ワードの ROM にプログラム、0xFFE0 から 0xFFEF までの 16 ワードにベクターRAM とROM を置きます。ブートプログラムコードの最終命令はジャンプテーブルの先頭アドレスにジャンプします。このジャンプテーブルはシステムプログラム用 RAM の先頭アドレス 0x7DC0 と 0x7DC1 の 2ワードに置かれます。端子の設定により、UART あるいは MMIC によるブート起動が可能です。

5.1.2 データメモリ

データ用 SRAM は 0x0800 から 0x0fff までの 2K ワードの大きさを持ち、32 ビット幅の排他的な読み/書き動作を行う X バスと Y バスの 2 つのポートを持った 2 ポートRAM になります。また、X データバスの書き込みは 1 ワード(16 ビット)幅あるいは 2 ワード(32 ビット)幅で可能です。

5.2 タイマー

5.2.1 リアルタイム-2 (RTM2)

リアルタイム-2はリアルタイム制御用の時間間隔を生成する用途で使用されます。16ビットのプリスケータで分周された1/4から1/65536のシステムクロックあるいは外部入力クロックを選択し、リードライト可能な16ビットのカウンタを2つ使用して任意のカウンタタイミングを生成します。そして2つのカウンタ出力を選択し、16ビットの比較器を持った独立した4つの比較チャンネルを使用して、任意のタイミングで割り込みを発生することができます。

5.2.2 汎用タイマー (GPT)

この汎用タイマーはアウトプットコンペア、インプットキャプチャ、基本的なPWM用途に使えるカウンタAとBを持ちます。また、カウンタBはパルスアキュムレータにも使えます。8つのチャンネル部を持ち、そのチャンネル部はダブルバッファ構造のデータレジスタとロジックコンパレータで構成され、カウンタAとBに選択接続可能になります。

モジュール出力はチャンネル毎に設定可能です。カウンタAとB、外部イベント0と1、チャンネル0から7の全部で12本の割り込みソースから、ホストに対して最大5本の割り込み要求を行うことができます。

最大8本のインプットキャプチャとアウトプットコンペア、パルスアキュムレータ、イベントカウンタ、2つのPWM出力を構成することが可能です。また、PWM動作であるとき、外部イベント入力のトリガにより出力レベルを即座にローレベルにする機能も持ちます。

5.3 シリアル

3 線式同期通信ペリフェラル (SPI)、非同期通信 (UART)、同期通信 (MMI2C) の 3 つのシリアルモジュールを持ちます。

5.3.1 SPI

このモジュールは SPI (Serial Peripheral Interface) フォーマットを持つ同期型のシリアルインターフェースになります。SPI フォーマットを持つデバイスと通信可能な機能を持ち、転送速度は最大 3.37Mbps になります。

このモジュールは可変周波数のシステムクロックと外部クロックを使用します。ユーザーが SPIEN ビットをセットすると、このモジュールは動作許可になります。このモジュールの最高ビット周波数はマスター/スレーブとも 2MHz になります。このモジュールのシステムクロックは 24MHz 以上、200MHz 以内でなくてはなりません。MSB ファーストの固定長 8 ビットになり、そのクロックのレベルと位相の選択は可能です。

SPCK 端子は入出で SPI クロック、SPDA 端子は入出力で SPI データ入出力、SPDB 端子は入出で SPI データ入出力、RDYB は入力専用端子で SPI レディに使用されます。SPDA 端子と SPDB 端子は SPI データ入力 (SDI) と SPI データ出力 (SDO) 信号に接続します。RDYB 端子はマスターであるとき、使用されません。スレーブでは RDY 端子は RDYBEN ビットをセットすると内部使用されます。また、該当する端子はオープンドレインとして動作をします。各入力端子はシュミットトリガ動作をします。

5.3.2 MMI²C インターフェースモジュール

このインターフェースは I²C (Inter Integrated Circuit: 以後 I2C) のフォーマットでマルチマスターとスレーブ動作をサポートします。

SCL 端子は入出でシリアルクロックを示し、SDA 端子は入出でシリアルデータ(双方向)を示します。SDL/SDA 端子は、ローレベル出力時にはプルダウン、ハイレベル出力時にはハイインピーダンス状態になります。よって、外部にプルアップ抵抗接続が必要です。また、各入力端子はシュミットトリガ入力です。

SCL 端子はマスター動作では出力、スレーブ動作ではアクノレッジサイクルでローレベルに保持するストレッチ動作を行えます。SDA 端子はマスター/スレーブ動作とも有効データや制御レベルを出力する以外では切断されません。

5.3.3 UART モジュール

このモジュールは UART フォーマットを持つ非同期型のシリアルインターフェースになります。RXD 端子は入力で通信データ入力、TXD 端子は出力で通信データ出力となります。送信と受信に別々に 8 バイトのバッファを持っており、そのバッファリングを使用した動作も可能になります。送信部には送信間隔を制御可能な送信間隔カウンタ、受信部にはボーレート観測用のビット長計測がついています。送信と受信部の入出力側ではループ動作とシングルワイヤ動作に対応しています。

データ送信では全キャラクタ送信長は 1 ビット長の START ビット、WLS ビットで設定される最下位ビット (LSB) から送信される 7 から 8 ビット長のデータビット、0 から 1 ビット長のパリティビット、1 から 2 ビット長の STOP ビットの計 9 ビットから 12 ビット長に対応可能です。

データ受信では STOP ビット長は常に 1 ビットとみなされ、全キャラクタ受信長は計 9 ビットから 11 ビット長になります。

レジスタビットで設定される全キャラクタ転送時間以上 RXD 端子がローレベルであるときにブレイク検出とします。データ受信期間以外でレジスタビットで設定される全キャラクタ転送時間以上 RXD 端子がハイレベルであるときにアイドル検出とします。受信バイトがセットや STOP ビットなど受信データビットがハイレベルである期間はアイドル期間とはされません。

TXD 端子を一定期間ローレベルにして、センドブレイクを送ることが出来ます。XD 端子を一定期間ハイレベルにして、センドアイドルを送ることが出来ます。これらの動作は内部動作に影響を与えません。

LIN 動作の補助機能として、LIN 動作の開始を示す、ブレイク動作直後の同期バイトの検出とビット周期の計測が行われます。

5.4 電源制御用ペリフェラル

電源制御用ペリフェラルとしては電源制御用 A/D 変換器、電源制御用 PWM、コンパレータ 3 があります。

5.4.1 電源制御 A/D 変換器

この PSATD モジュールは Alligator 用の A/D 変換モジュールであり、アナログ回路で構成された SAR タイプの 12 ビット A/D 変換器で構成されたアナログ A/D 変換部と、制御あるいは変換データ保管等を行うデジタル回路で構成されます。この A/D 変換器は入力チャンネル選択とサンプリングで 1ADC クロック、変換で 13ADC クロックの合計最小 14 クロックで A/D 変換を行うことが可能です。

電源制御 PWM 特徴：

- ・2Msps/12-bit 逐次比較型 ADC コア
- ・12ch アナログ入力
- ・8ch 独立 S/H 回路
- ・AN0-5 入力は専用 S/H 回路
- ・AN6-11 入力は MUX 付き S/H 回路
- ・17 出力レジスタ
- ・リングバッファ設定可能
- ・変換後データ処理
- ・右左ビット詰め
- ・オフセット値加減算
- ・変換値リミット処理
- ・A/D 開始トリガ入力
- ・ソフトウェアトリガ
- ・内部タイマトリガ
- ・15 制御入力

5.4.1.1 PWM 波形に同期した変換

このモジュールは 12 本のアナログ信号の入力チャンネルとして AN0 から AN11 があります。そして、AN0 から AN5 の 6 つチャンネルにはそれぞれにサンプルホールド(S/H)回路、AN6 から AN11 の 6 チャンネルには偶数 3 チャンネル分でマルチプレクサと 1 つのサンプルホールド(S/H)回路が 2 セットあります。そして、8 つのサンプルホールド(S/H)回路出力には 1 つの変換器が接続され、変換結果は 17 ワードのデータレジスタに格納されます。

A/D 変換タイミング用に 15 本の制御入力を使用可能です。また、このモジュールは割り込みとして、割り込み要求 0 から 4 の 5 本持ちます。

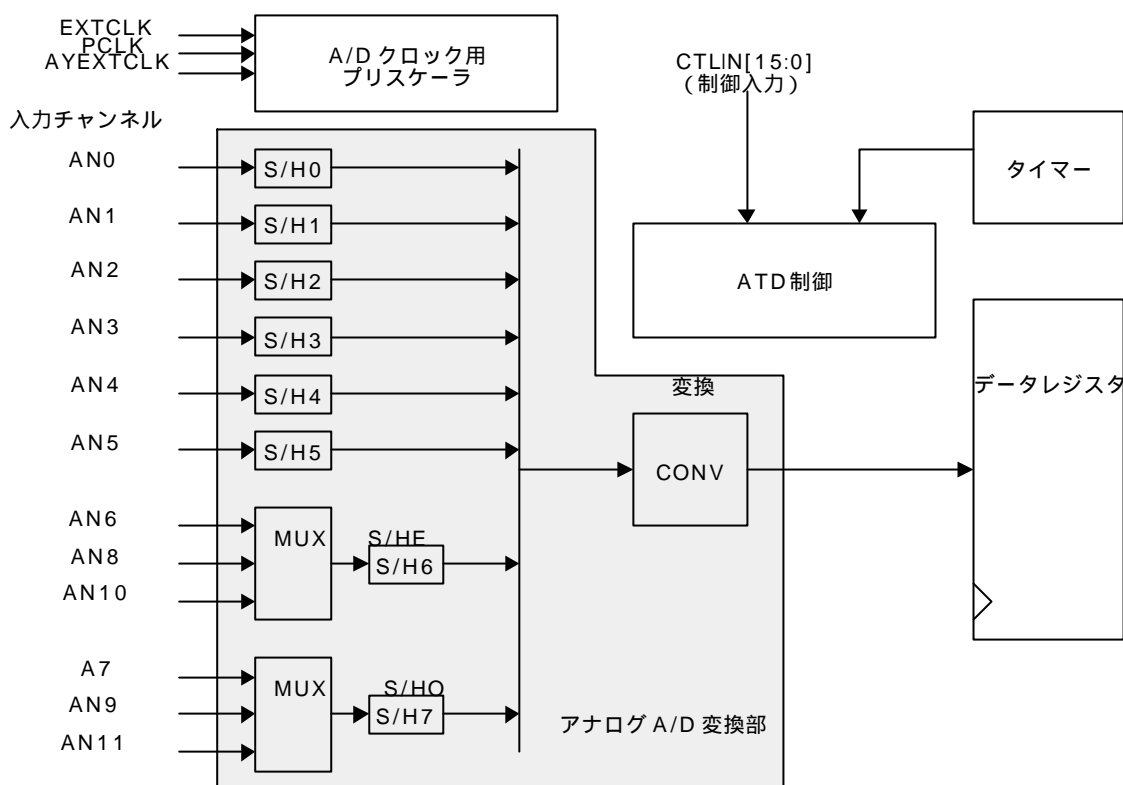


図 7 源制御用 A/D 変換器ブロック図

A/D 変換器で使用するクロックは ADC クロックと呼ばれます。この ADC クロックは内部システムクロックあるいは外部クロック(EXTCLK)、あるいは P クロック (PCLK)、非同期外部クロック (AYEXTCLK)を分周して生成します。選択されたクロックソースを、分周してADC クロックとします。この ADC クロックはシステムクロックの周波数より高いケースも低いケースも動作可能です。

ADC クロックは使用するクロックの 2 のべき乗の周波数で与えられます。このペリフェラルは 24 ビット長のフリーランのタイマーを持ちます。このタイマーは A/D 変換の開始タイミングに使用される 2 種類のタイマークロックを生成します。

アナログ A/D 変換部には 8 つのサンプルホールド(S/H)回路を持ちます。8 つのうちのチャンネル x に対応する S/Hx 回路を使用するには、該当するホストビットをセットする必要があります。このビットがクリアされているときは、S/Hx 回路はパワーダウン状態にあり、この A/D 変換動作に使用できません。また、各サンプルホールド回路にはオンオフ可能な入力アンプが付いています。

5.4.1.2 ADC変換

このモジュールは全部で 12 本のアナログ入力チャンネルがあります。入力のプライオリティとレジスタビットで使用するに示します。なお、小さい数字順にプライオリティが高くなります。A/D 変換が終了すると、変換結果をデータレジスタに格納と同時に入力チャンネル毎が持つ変換終了ビットがセットされます。このビットがセットしているときにホス H に割込を要求できます。1 入力チャンネルの変換終了ごとに変換終了ビットがセットされます。

この PSATD モジュールで使用する A/D 変換器は逐次比較器型であり、実 A/D 変換器による A/D 変換期間は最小 14ADC クロックになります。このうち、サンプル期間は最小 1ADC クロック、引き続き 13ADC クロックで変換を行います。実 A/D 変換器には ADC クロックが入力されますが、実 A/D 変換器が動作中で無いときは、ADC クロックを停止させることが可能です。このクロック停止期間は実 A/D 変換期間以外になります。

5.4.1.3 入力チャンネル毎のA/D変換処理

実 A/D 変換器を使用した A/D 変換処理は、チャンネル (AN0 から 11) 番号と拡張サンプル機能設定により動作が異なります。複数チャンネルの同時サンプリングも可能です。チャンネル間の優先順位による調停により、調停期間にアサートされたチャンネルのうち常に優先順位が高いチャンネルが A/D 変換処理に入ります。実 A/D 変換器が変換中であるとき、ホストから実 A/D 変換器を使用している入力チャンネルを知ることが出来ます。

ソフトウェア起動動作はソフトウェア制御による A/D 変換であり、ソフトウェアによる開始 1 回で 1 つの入力チャンネルに対して 1 回だけの変換、かつ、このとき、同時サンプル動作も可能です。ハードウェア起動動作では制御入力を入力するモジュール外部あるいは外部からのハードウェアイベントで A/D 変換を開始させます。

ハードウェア起動動作では入力チャンネル毎に番号が小さいほうが高い優先順位を持ちます。複数の入力チャンネルが同一の制御入力を選択していると、変換順序はプライオリティ順になります。このとき、同時サンプル動作も可能です。この時、A/D 変換開始信号としての制御入力を最大 15 本まで選択使用することが出来ます。

チャンネル 0 から 5 はそれぞれのチャンネルに個別のサンプル回路が付けられ、入力選択のマルチプレクサがありません。チャンネル 6 から 11 は偶数チャンネルの AN6、AN8、AN10 はマルチプレクサを通し、1 つのサンプル回路、奇数チャンネルの AN7、AN9、AN11 は偶数チャンネルと同一構造を持ちます。これらのチャンネルは低速アナログ量を計測する目的で置かれます。

5.4.1.4 変換後の処理とデータ

変換されたデータはポストデータ処理、変換データ処理を施して、データレジスタに格納されます。変換した 12 ビット幅のデータの読み出しは 16 ビット幅のデータレジスタの下位位側詰め符号無し、セットすると上位詰め符号無しを選択できます。A/D 変換後のデータは参照データとの加算あるいは減算処理を行い、データ格納することも可能です。入力チャンネル x の加算と減算の選択、ポスト処理データの 12 ビットあるいは 13 ビット格納、アンダーやオーバーフローの飽和処理を設定します。

ビット幅や飽和処理の設定に関わらず、12 ビット演算でのアンダーやオーバーフロー結果はホストビットに内容を反映します。変換終了にアンダーやオーバーフロー検出を行います。

5.4.1.5 割り込み

この PSATD モジュールはホストに対して最大 5 本の割り込み要求を出来ます。割り込みを発生できるリソースは全部で 30 本あります。それぞれの割り込み要求リソースが持つ割り込み状態ビットがデバイスによりセットされ、ホストにより対応する割り込み許可ビットがセットされているとき、モジュール内リソースからホストに割り込み要求を行うことが出来ます。

デフォルトではすべての割り込み要求リソースに対して 1 本の割り込み要求 0 が使用されます。また、ホストビットを使用すると割り込み要求 1 から 4 の 4 本の割り込み要求信号に対して、任意の割り込みソースに対して割り込み要求を与えることが出来ます。この設定で使用される割り込みソースは割り込み要求 0 から除外されます。

5.4.2 電源制御用 PWM (PSPWM)モジュール

この制御用 (PSPWM)モジュールは電源制御に特化したPWM 波形を生成します。このモジュールは PWM波形出力 (PWMO とPWMOB)を8 本持ち、 イベント入力に使用できる制御入力 (PWMI)は 4 本、 割り込み要求は 8 本持ちます。また、 A/D変換器などに対するタイミング出力として使用出来る制御出力 (PWMCO)を14 本持ちます。

PSPM 特徴は :

- PSPWM(Power Supply PWM)
- 4ch/8PWM出力(2出力/1ch)
- システムと独立した動作クロック設定~125MHz
- 全てのPWM出力で、最高1ns精度のPWM波形を生成
- 逡倍クロックを波形生成に使用
- 動作モード
- 1ch毎に設定可能
- 相補付きPWM
- 2相PWM
- 独立PWM
- 任意の動作モードでチャンネル間リンク
- イベント動作
- 内蔵コンパレータ出力接続可能
- Pulse-by-Pulse/PeriodCut Limit他
- ADC制御トリガ出力
- 15本のPWM同期トリガでADCを制御

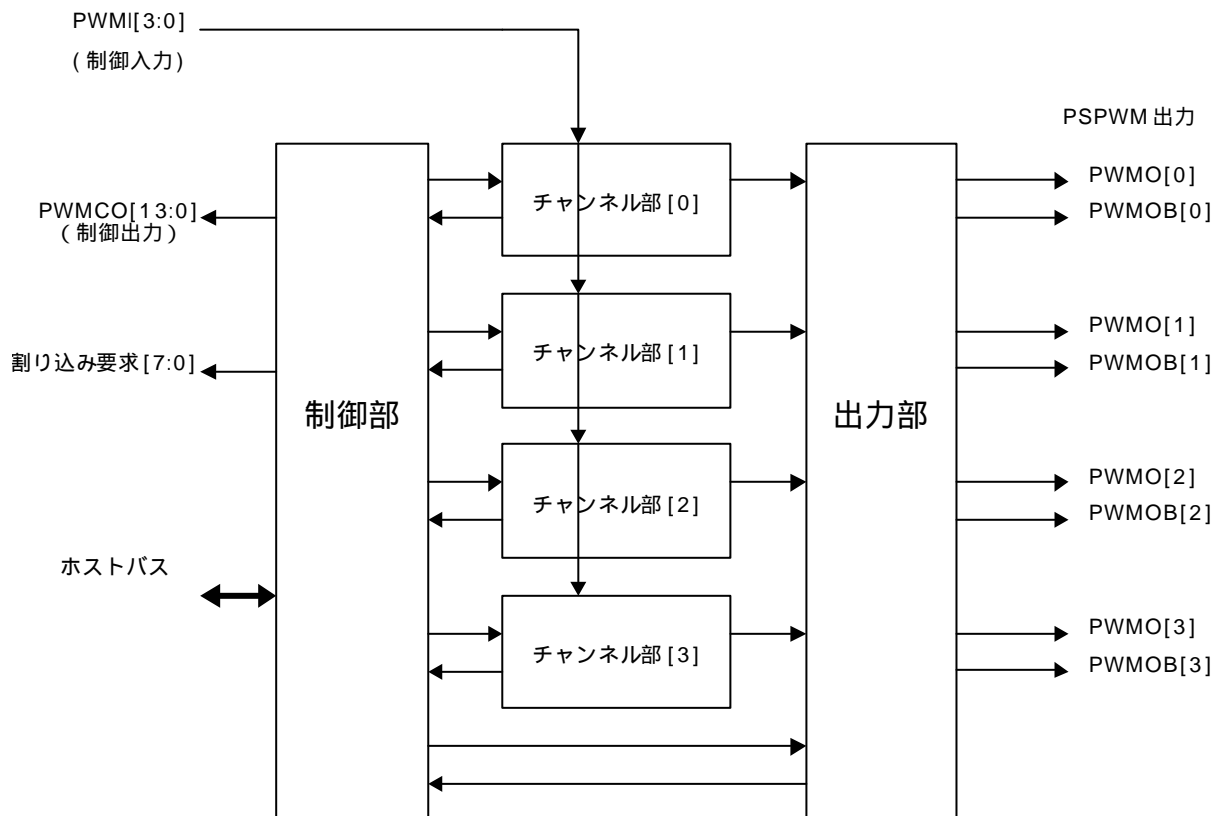


図 8 PSPWM 全体

PWM 波形精度は最大 16 ビットで最小 1ns の分解能を持った波形出力を行うことが可能です。複数のチャンネルを使用した位相シフト動作や周波数制御による周期変調でも、最小 1ns の分解能を持った波形出力が可能です。

選択された制御入力にアクティブなイベントが入力されると、ブランキング用ゲート処理を行わせて、非同期イベント機能であるピリオドカットやデューティカット、またキャプチャ動作を行わせることが可能です。

ホストに対して最大 8 本の割り込み要求を出来ます。割り込みを発生できるリソースは全部で 36 本ありますが、PWM チャンネル毎に 4 本の割り込み要求となります。この全チャンネル合計で 16 本の割り込み要求をホストに対する 8 本の割り込みに振り分けます。

PWM チャンネル部は全部で 4 チャンネル分あります。それぞれ、PWMO[x]とPWMOB[x]という 2 つの出力を持つ PWM 波形生成を行うブロックです。

5.4.2.1 動作方式

基本 PWM 動作方式にコンプリメンタリ出力を付加した相補付き PWM 動作方式は PWMO[x]出力とPWMOB[x]出力の 2 つの出力を使用し、カウンタ周期は 12 ビット、波形出力は 16 ビット精度で最小 1ns の分解能を持ちます。

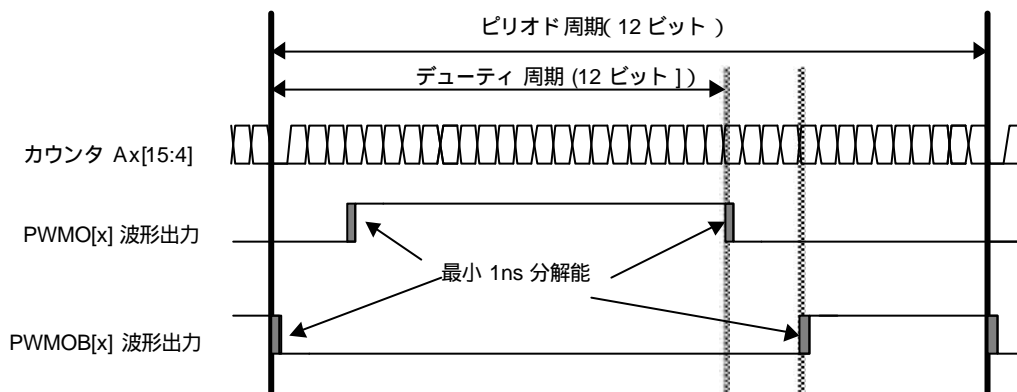


図 9 相補付き PWM 波形

相補付き PWM2 動作方式は基本 PWM 動作方式に対してピリオド開始位置をシフトした波形出力となります。コンプリメンタリ出力を付加した相補付き PWM 動作方式は PWMO[x]出力とPWMOB[x]出力の 2 つの出力を使用し、カウンタ周期は 12 ビット、波形出力は 16 ビット精度で最小 1ns の分解能を持ちます。

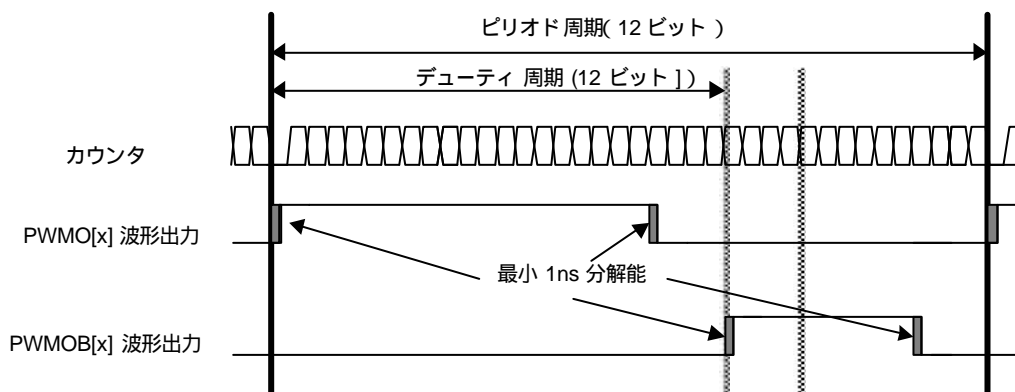


図 10 相補付き PWM2 波形

この2相PWM動作方式は1つのピリオドに2つのPWM波形出力を行うものです。このマスター側の出力波形とスレーブ側の出力波形の前後関係は独立であり、ピリオドが同一である2つの波形生成も可能です。この方式では対称波形を持ったPWM波形出力も生成可能です。カウンタ周期は12ビット、波形出力は16ビット精度で最小1nsの分解能を持ちます。

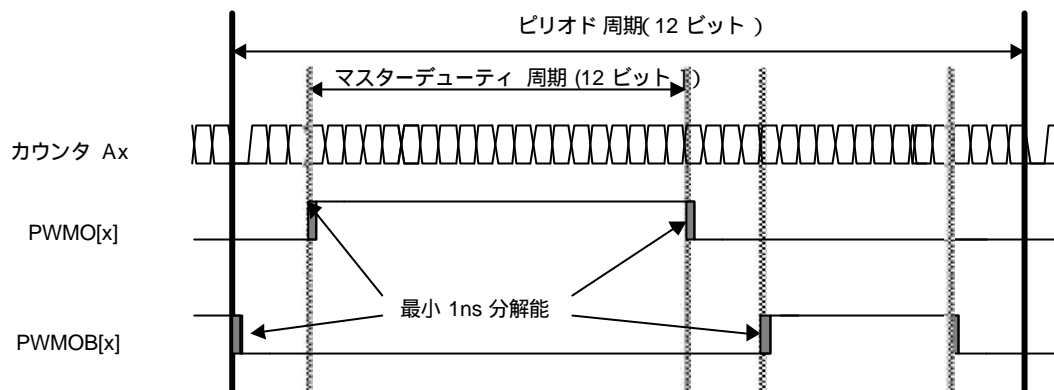


図 11 2相 PWM 波形

基本 PWM 動作方式では PWMO[x]出力とPWMOB[x]出力から2つの独立したPWM動作として、異なるピリオドとデューティを持った波形出力を行います。波形出力は16ビット精度で最小1nsの分解能を持ちます。

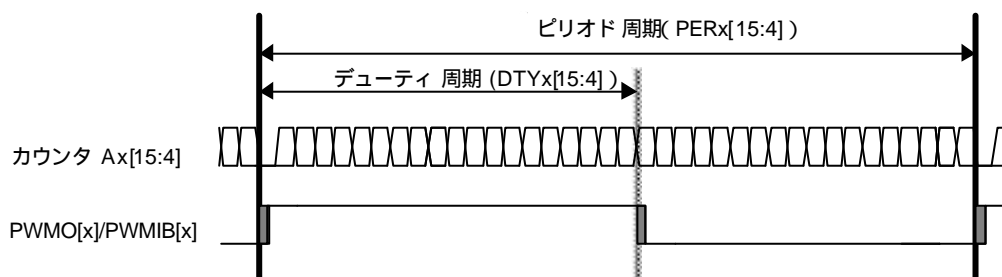


図 12 基本 PWM 波形

5.4.2.2 ピリオドカットとデューティカット、キャプチャなどのイベント機能

デューティカットはカウンタは変化せずに出力中の波形を非同期/同期で任意のレベルにします。復帰手段として、ピリオド境界で自動的に復帰するハードウェア復帰と、ソフトウェア操作による手動的に復帰させるソフトウェア復帰という2つの方法があります。

そのレベル復帰はピリオド周期のタイミングで行われます。また、動作方式に依存しますが、デッドタイム付きのデューティカットも可能です。この動作は過電圧や過電流検出による、出力の遮断などに使用されます。ピリオドカットはカウンタをクリア、出力中の波形を非同期/同期で任意のレベルにします。これはサイクルバイサイクルなどで使用されます。キャプチャ動作では選択された制御入力のアサートされると、カウンタの内容をレジスタに保持します。

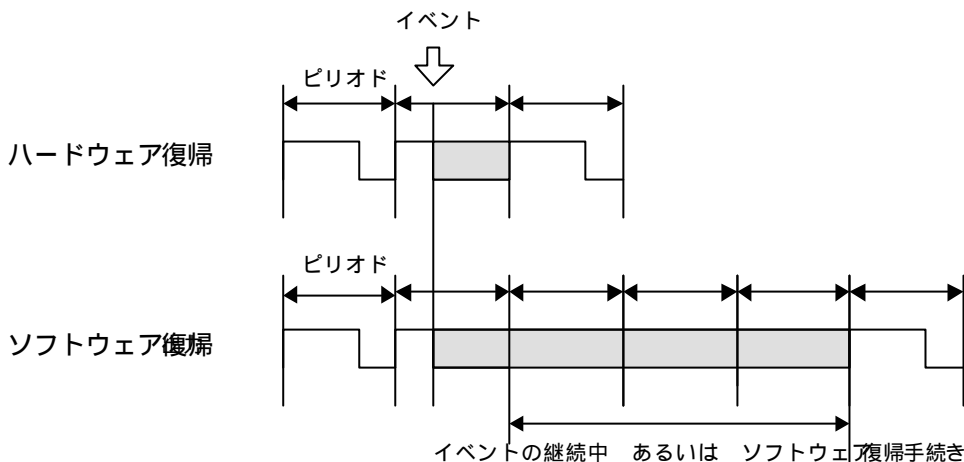


図 13 デューティカット動作後の復帰手段

5.4.2.3 PWMチャンネル

PWM チャンネル部ではレジスタとカウンタ動作によるもの 6 本と制御入力によるもの 3 本の合計 9 本の割込みソースを持つことが可能です。また、PWM 出力はソフトウェアによりレベル設定が可能であり、非同期の外部イベントによる出力レベルの強制設定なども可能です。

PWMチャンネル動作方式は相補付きPWM、相補付きPWM2、2相PWM、基本PWMの4種類の動作方式が可能です。いずれかの動作方式を選択、そして他のホストビットで詳細な動作方式を定めます。

5.4.2.4 複数チャンネル連携 (リンク)動作

0 から3 の4 つの PWM チャンネルに対して、単独 PWM 動作、そして、複数のチャンネルを同期動作させるチャンネル同期 PWM 動作、複数のチャンネルで連携動作を行う位相シフト同期 PWM 動作をさせることが可能です。それぞれの設定はPWMチャンネル制御部で行います。位相シフト制御では最小 1ns の分解能を持った波形出力を行うことが可能です。位相シフト制御はマスター側とスレーブ側の2つのPWMチャンネルを使用します。以下にリンク動作を使用した例を示します：

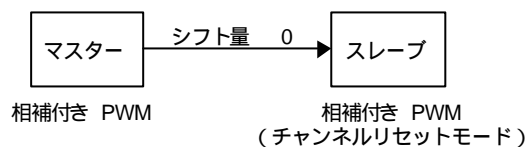
3 相 PWM 動作では最小 1ns の分解能を持った波形出力を行うことが可能です。この動作は位相シフトPWM動作あるいはチャンネル同期PWM動作を使用して構成できます。

可変周波数制御では最小 1ns の分解能を持った波形出力を行うことが可能です。可変周波数によるPWM出力にはデューティを固定比 (例えば 50%) にして、ピリオドを変化させます。

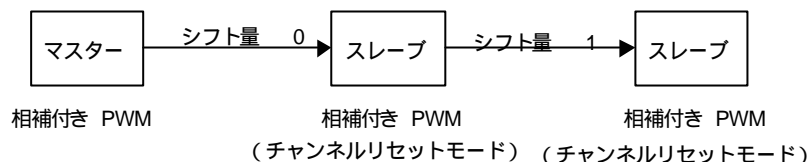
最小 1ns の分解能を持つ 2 相 PWM 動作方式を使用すると対称波形を持った PWM 波形を生成することが可能です。この波形出力でも3相PWM波形出力も可能です。

同一ピリオドを持った複数PWM出力も可能です。

位相シフト制御 PWM



3相 PWM



マニュアル位相 PWM

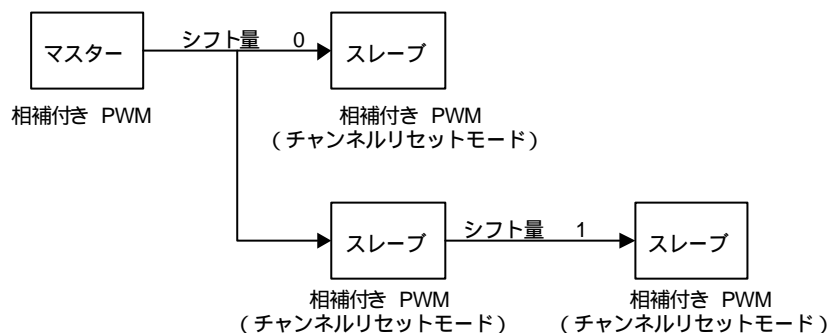


図 14 位相シフトPWM 動作例

5.4.3 コンパレータ

この COMP3 モジュールは Alligator 用の 3 チャンネルの比較器です。それぞれのチャンネルは個別に動作をし、比較出力は内部モジュールに出力、また、外部端子に出力可能です。3 チャンネルのコンパレータはそれぞれ独立に設定を行い動作をさせます。チャンネルごとにアサインされた参照電圧入力端子を使用しますが、チャンネル間で共通の参照電圧端子が使用可能になります。

5.4.4 その他のペリフェラル

5.4.4.1 外部高速割込み (EXTHIRQ)

外部高速割込みは 2 本の外部割込入力可能にし、同期化された外部割込み要求とスタンバイ動作復帰用の外部割込み要求を 2 セット持ちます。

5.5 汎用入出力ポート

ユーザー用端子を制御します。端子レベルの読み出し、出力ドライブの有無、そして内部モジュール接続機能を持ちます。内部は端子のドライブや入力機能を持つ端子入出力部、内部モジュールと端子入出力部のブリッジ回路である端子接続選択部、モジュール用の同期化回路やフィルタなどからなるモジュール入力生成部からなります。

このモジュールが取り扱う外部端子は双方向端子のポートAの4から7、ポートBとポートC、そしてポートDになります。これらのすべての端子の出力ドライブの有無と出力レベル、そして端子レベルに読み出しを可能にします。また、それらの端子に内部モジュールの端子のプログラマブル接続可能です。

それぞれの端子は設定/アクセスにより、出力ドライブの有無と出力レベル、端子レベルの読み出し、内部モジュールの出力がホスト設定により設定可能になります。ソフトウェアにより、端子入力としての端子レベルの読み出し、また端子出力としてに任意のレベルを出力することが出来ます。

5.6 デバッグ

デバッグと出荷検査用のペリフェラルとしてバウンダリスキャンとデバッグがあります。

5.6.1 バウンダリスキャン (BSCAN)

このペリフェラルはIEEE 1149.1に準拠し、最低限のバウンダリスキャン機能をサポートします。また、プライベート命令として、DEBUG 命令を持ち、デバイスのデバッグ動作をサポートします。このデバッグ動作はデバッグペリフェラルによって行われます。このバウンダリスキャン (JTAG) の動作にこのバウンダリスキャンのビットデータはTCK 端子が 33MHz まで対応できます。

5.6.2 デバッグ (DBG16A)

デバッグは XIMO16 コアを使用するDSCのソフトウェア開発で使用されます。このペリフェラルを使用して、内部メモリにプログラムを格納したり、ブレークポイント操作を行わせてプログラムをデバッグします。

ブレークポイントをヒットさせた後にデバッグ機能を実現させるには2つの方法があります。XIMO16 コアの debug 命令を使用したソフトウェアデバッグモード、もうひとつは内部動作を停止させてデバッグを行う、ハードウェアデバッグモードになります。また、このデバッグペリフェラルは JTAG 機能を制御する BSCAN (Boundary Scan-A) ペリフェラルと連携して動作をします。このペリフェラルを初期化 (リセット) するには DSC のシリセット機能ではなく、BSCAN ペリフェラルが持つ JTAG 機能のリセット機能を使用します。このペリフェラルのホストレジスタは内部 DSP からはアクセス可能です。

使用する外部接続端子としては、JTAG 端子の TRSTB、TMS、TCK、TDI 端子の入力そして TDO の出力とデバッグペリフェラル専用出力 TDEB 端子、そして、インターフェースモード選択用の TIFM 端子で合計7本があります。TIFM 端子がハイレベルであるときは、インターフェースは JTAG 動作になります。また、ローレベルであるときは簡易 JTAG 動作になります。

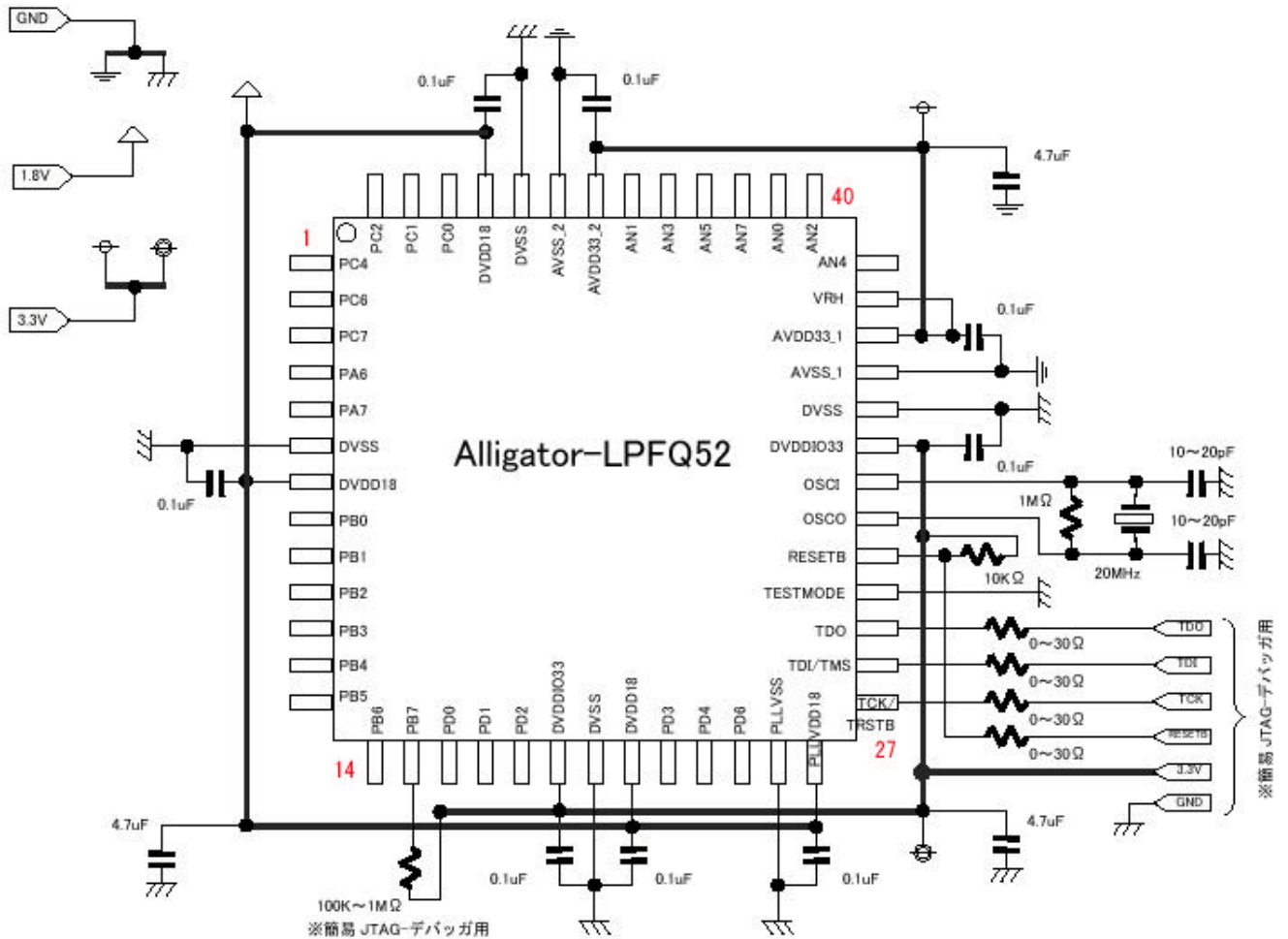
外部デバイスはデータ転送以外の時には TMS、TCK、TDI 端子をハイレベルにしておかなければなりません。また、TDO 端子は外部プルアップしておく必要があります。

デバッグ動作には TRSTB 端子、TCK 端子、TMS 端子、TDI 端子、TDO 端子などの JTAG 端子とバウンダリスキャンとデバッグペリフェラル専用端子である TIFM 端子と TDEB 端子を使用します。

システムリセット中でも、内部リソースに対して、システムリセット解除時と同じようにアクセスできます。ただし、XIMO16 コア内部のレジスタは初期値だけが読み出され、デバッグペリフェラル経由で書き込みを行っても、そのレジスタの値は初期値のまま変化しません。

6. 周辺回路の構成例

6.1 LQFP52-H2



<注意事項>
 このデータブックの掲載内容の正確さには万全を期しておりますが、掲載内容について何らかの法的な保証を行うものではありません。とくに応用回路については、製品の代表的な応用例を説明するためのものです。また、工業所有権その他の権利の実施権の許諾を伴うものではなく、第三者の権利を侵害しないことを保証するものでもありません。