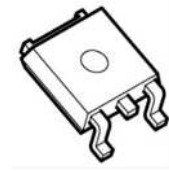


3 端子正定電圧電源

■ 概要

NJM78M00S は、 $I_O=0.5A$ の 3 端子正定電圧電源です。
 既存の NJM78M00 と比較し、出力電圧精度の向上、動作温度範囲の
 拡大およびセラミックコンデンサに対応しました。

外形図

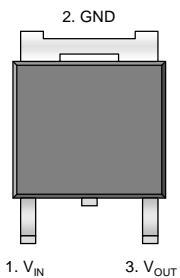


NJM78M00SDL1
(TO-252-3)

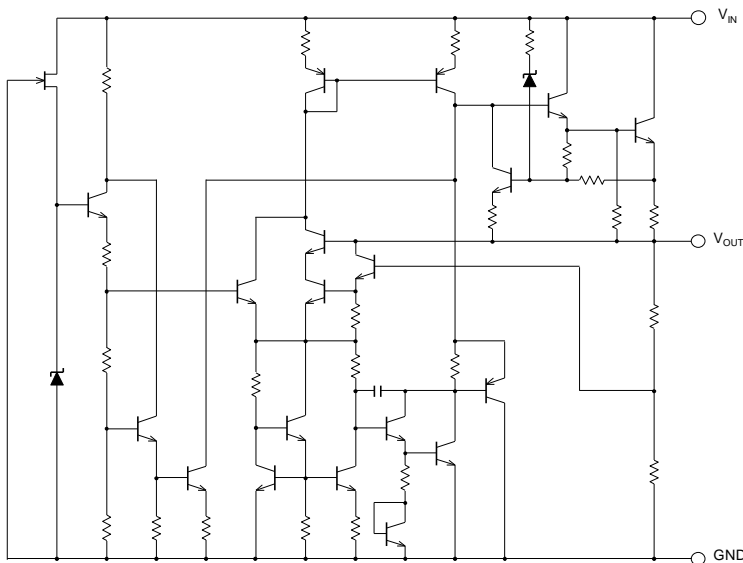
■ 特長

- ・ 出力電流 : 0.5A max.
- ・ 出力電圧精度 : $V_O \pm 3.0\%$
- ・ 高リップルリジェクション
- ・ セラミックコンデンサ対応
- ・ 過電流保護機能内蔵
- ・ サーマルシャットダウン回路内蔵
- ・ 電圧ランク : 5V, 9V, 12V, 15V
- ・ パッケージ : TO-252-3

■ 端子配列



■ 等価回路図



NJM78M00S

■ 絶対最大定格

(指定なき場合には $T_a = 25^\circ\text{C}$)

項目	記号	最大定格	単位
入力電圧	V_{IN}	35	V
消費電力	P_D	1190 (*1) 3125 (*2)	mW
接合部温度範囲	T_j	-40 ~ +150	$^\circ\text{C}$
動作温度範囲	T_{opr}	-40 ~ +125	$^\circ\text{C}$
保存温度範囲	T_{stg}	-50 ~ +150	$^\circ\text{C}$

(*1) 基板実装時 76.2x114.3x1.6mm (2層 FR-4) で EIA/JDEC 規格サイズ、且つ銅箔面積100mm²

(*2) 基板実装時 76.2x114.3x1.6mm (4層 FR-4) で EIA/JDEC 準拠による

4層内箔面積 : 74.2x74.2mm, JEDEC Standard JESD51-5 に準拠し、サーマルビアホールを適用

■ 電気的特性

($C_{IN}=0.33\mu\text{F}$, $C_O=0.1\mu\text{F}$, $T_j=25^\circ\text{C}$) 測定はパルス試験とする

項目	記号	条件	最小	標準	最大	単位
NJM78M05SDL1						
出力電圧	V_O	$V_{IN}=10\text{V}$, $I_O=0.35\text{A}$	4.85	5.0	5.15	V
ラインレギュレーション	$\Delta V_O - V_{IN}$	$V_{IN}=7\text{V to }25\text{V}$, $I_O=0.2\text{A}$	-	3	50	mV
ロードレギュレーション	$\Delta V_O - I_O$	$V_{IN}=10\text{V}$, $I_O=0.005\text{A to }0.5\text{A}$	-	5	50	mV
無効電流	I_Q	$V_{IN}=10\text{V}$, $I_O=0\text{mA}$	-	4	6.0	mA
出力電圧温度係数	$\Delta V_O / \Delta T$	$V_{IN}=10\text{V}$, $I_O=5\text{mA}$	-	-0.5	-	mV/ $^\circ\text{C}$
リップル除去比	RR	$V_{IN}=10\text{V}$, $I_O=0.35\text{A}$, $e_{in}=1V_{P-P}$, $f=120\text{Hz}$	60	80	-	dB
出力雑音電圧	V_{NO}	$V_{IN}=10\text{V}$, $BW=10\text{Hz to }100\text{kHz}$, $I_O=0.35\text{A}$	-	60	-	μVrms
入出力間電位差	ΔV_{IO}	$I_O=0.5\text{A}$	-	1.8	-	V

NJM78M09SDL1						
出力電圧	V_O	$V_{IN}=15\text{V}$, $I_O=0.35\text{A}$	8.73	9.0	9.27	V
ラインレギュレーション	$\Delta V_O - V_{IN}$	$V_{IN}=11.5\text{V to }25\text{V}$, $I_O=0.2\text{A}$	-	6	60	mV
ロードレギュレーション	$\Delta V_O - I_O$	$V_{IN}=15\text{V}$, $I_O=0.005\text{A to }0.5\text{A}$	-	8	90	mV
無効電流	I_Q	$V_{IN}=15\text{V}$, $I_O=0\text{mA}$	-	4.1	6.0	mA
出力電圧温度係数	$\Delta V_O / \Delta T$	$V_{IN}=15\text{V}$, $I_O=5\text{mA}$	-	-0.9	-	mV/ $^\circ\text{C}$
リップル除去比	RR	$V_{IN}=15\text{V}$, $I_O=0.35\text{A}$, $e_{in}=1V_{P-P}$, $f=120\text{Hz}$	56	70	-	dB
出力雑音電圧	V_{NO}	$V_{IN}=15\text{V}$, $BW=10\text{Hz to }100\text{kHz}$, $I_O=0.35\text{A}$	-	90	-	μVrms
入出力間電位差	ΔV_{IO}	$I_O=0.5\text{A}$	-	1.8	-	V

■ 電気的特性

($C_{IN}=0.33\mu\text{F}$, $C_O=0.1\mu\text{F}$, $T_J=25$) 測定はパルス試験とする

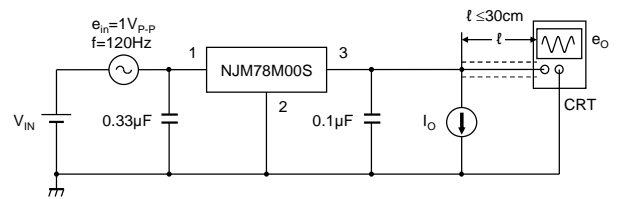
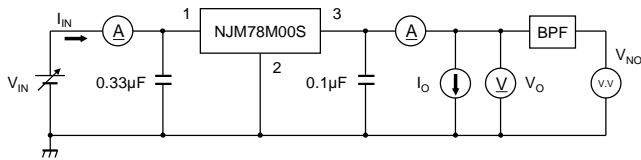
項目	記号	条件	最小	標準	最大	単位
NJM78M12SDL1						
出力電圧	V_O	$V_{IN}=19\text{V}$, $I_O=0.35\text{A}$	11.64	12.0	12.36	V
ラインレギュレーション	ΔV_O-V_{IN}	$V_{IN}=14.5\text{V to }30\text{V}$, $I_O=0.2\text{A}$	-	8	60	mV
ロードレギュレーション	ΔV_O-I_O	$V_{IN}=19\text{V}$, $I_O=0.005\text{A to }0.5\text{A}$	-	8	120	mV
無効電流	I_Q	$V_{IN}=19\text{V}$, $I_O=0\text{mA}$	-	4.1	6.0	mA
出力電圧温度係数	$\Delta V_O/\Delta T$	$V_{IN}=19\text{V}$, $I_O=5\text{mA}$	-	-1.2	-	mV/°C
リップル除去比	RR	$V_{IN}=19\text{V}$, $I_O=0.35\text{A}$, $e_{in}=1\text{V}_{P-P}$, $f=120\text{Hz}$	55	70	-	dB
出力雑音電圧	V_{NO}	$V_{IN}=19\text{V}$, $BW=10\text{Hz to }100\text{kHz}$, $I_O=0.35\text{A}$	-	100	-	μVrms
入出力間電位差	ΔV_{IO}	$I_O=0.5\text{A}$	-	1.8	-	V

NJM78M15SDL1						
出力電圧	V_O	$V_{IN}=23\text{V}$, $I_O=0.35\text{A}$	14.55	15.0	15.45	V
ラインレギュレーション	ΔV_O-V_{IN}	$V_{IN}=17.5\text{V to }30\text{V}$, $I_O=0.2\text{A}$	-	10	60	mV
ロードレギュレーション	ΔV_O-I_O	$V_{IN}=23\text{V}$, $I_O=0.005\text{A to }0.5\text{A}$	-	10	150	mV
無効電流	I_Q	$V_{IN}=23\text{V}$, $I_O=0\text{mA}$	-	4.1	6.0	mA
出力電圧温度係数	$\Delta V_O/\Delta T$	$V_{IN}=23\text{V}$, $I_O=5\text{mA}$	-	-1.5	-	mV/°C
リップル除去比	RR	$V_{IN}=23\text{V}$, $I_O=0.35\text{A}$, $e_{in}=1\text{V}_{P-P}$, $f=120\text{Hz}$	54	70	-	dB
出力雑音電圧	V_{NO}	$V_{IN}=23\text{V}$, $BW=10\text{Hz to }100\text{kHz}$, $I_O=0.35\text{A}$	-	120	-	μVrms
入出力間電位差	ΔV_{IO}	$I_O=0.5\text{A}$	-	1.8	-	V

NJM78M00S

■ 測定回路

1. 出力電圧, ラインレギュレーション, ロードレギュレーション, 無効電流, 出力電圧温度係数, 出力雑音電圧, 出力短絡保護
2. リプル除去比



- ・ 測定はパルス試験とする

- ・ $I_Q = I_{IN} - I_O$

$$RR = 20 \log_{10} \left(\frac{e_{in}}{e_o} \right)$$

・ 入力コンデンサ C_{IN} について

入力コンデンサ C_{IN} は、電源インピーダンスが高い場合や、 V_{IN} 又はGND 配線が長くなった場合の発振を防止する効果があります。

そのため、推奨値（電気的特性共通条件欄に記載している容量値）以上の入力コンデンサ C_{IN} を V_{IN} 端子-GND端子間にできるだけ配線が短くなるように接続してください。

・ 出力コンデンサ C_O について

出力コンデンサ C_O はレギュレータ内蔵のエラーアンプの位相補償を行うために必要であり、容量値とESR(Equivalent Series Resistance: 等価直列抵抗)が回路の安定度に影響を与えます。

推奨容量値（電気的特性共通条件欄に記載している容量値）未満の C_O を使用すると内部回路の安定度が低下し、出力ノイズの増加、レギュレータの発振等が起こる可能性がありますので、安定動作のために推奨容量値以上の C_O を、 V_{OUT} 端子 - GND 端子間に最短配線で接続して下さい。

尚、 C_O は容量値が大きいほど出力ノイズとリップル成分が減少し、出力負荷変動に対する応答性も向上させることができます。

また、コンデンサ固有の特性変動量(周波数特性、温度特性、DC バイアス特性)やバラツキを十分に考慮する必要がありますので、温度特性が良く、出力電圧に対し余裕を持った耐圧のものを推奨致します。

本製品は低ESR品を始め、幅広い範囲のESRのコンデンサで安定動作するよう設計されておりますがコンデンサの選定に際しては、上記特性変動等もご考慮の上、適切なコンデンサを選定してください。

■ 熱特性

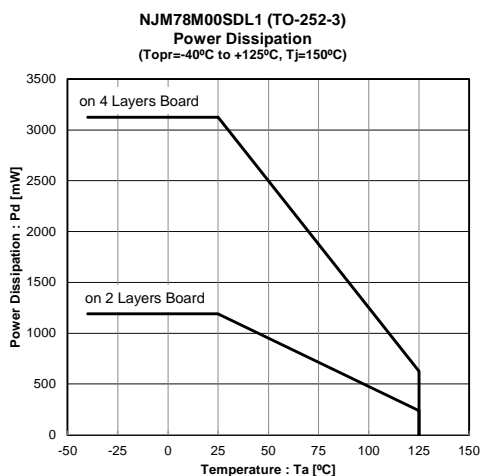
項目	記号	値	単位
接合部 - 周囲雰囲気間	θ_{ja}	105 (*1)	°C/W
		40 (*2)	
接合部 - ケース表面間	Ψ_{jt}	17 (*1)	°C/W
		12 (*2)	

(*1) 基板実装時 76.2×114.3×1.6mm (2層 FR-4) で EIA/JEDEC 規格サイズ、且つ銅箔面積100mm²

(*2) 基板実装時 76.2×114.3×1.6mm (4層 FR-4) で EIA/JEDEC 準拠による

4層内箔面積 : 74.2×74.2mm, JEDEC Standard JESD51-5 に準拠し、サーマルビアホールを適用

■ 消費電力 - 周囲温度特性例



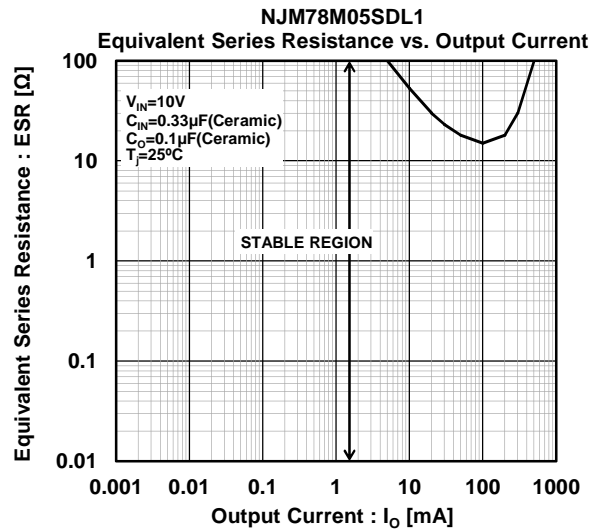
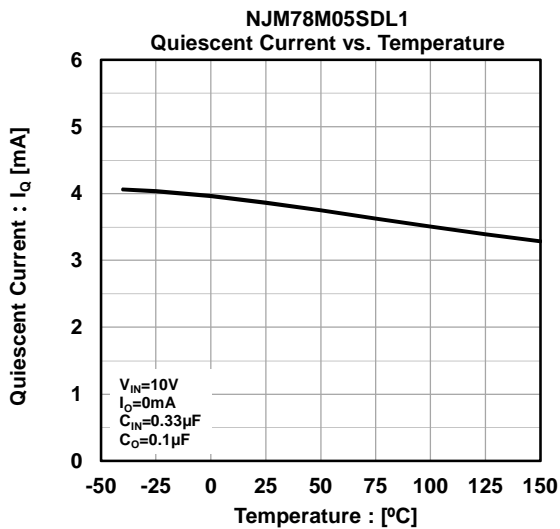
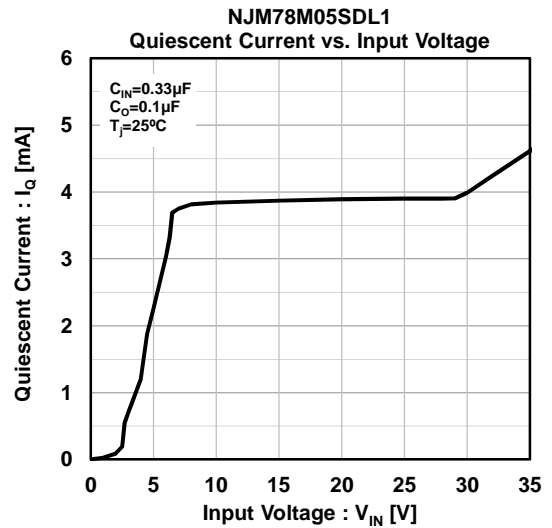
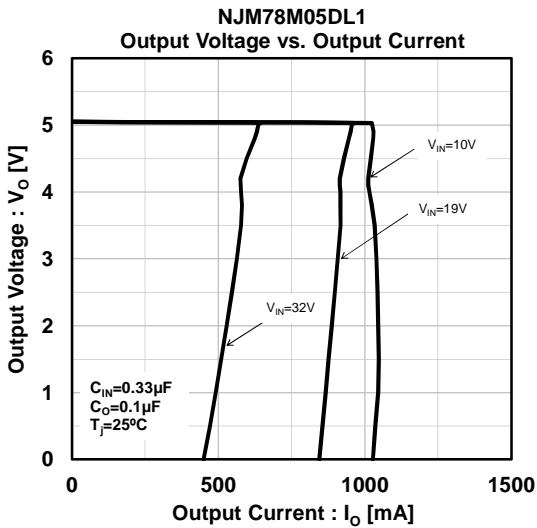
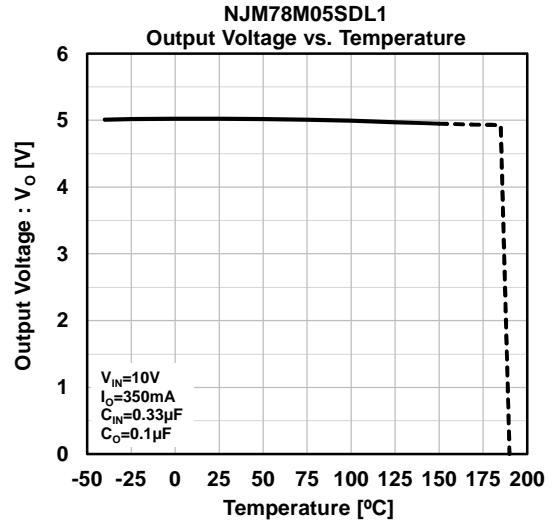
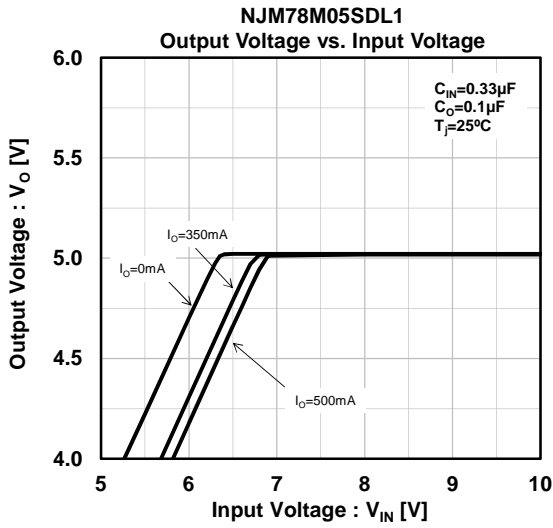
(*1): 基板実装時 76.2×114.3×1.6mm (EIA/JEDEC 規格サイズ, 2層 FR-4) 基板実装時、且つ銅箔面積100mm²

(*2): 基板実装時 76.2×114.3×1.6mm (EIA/JEDEC 規格サイズ, 4層 FR-4) 基板実装時

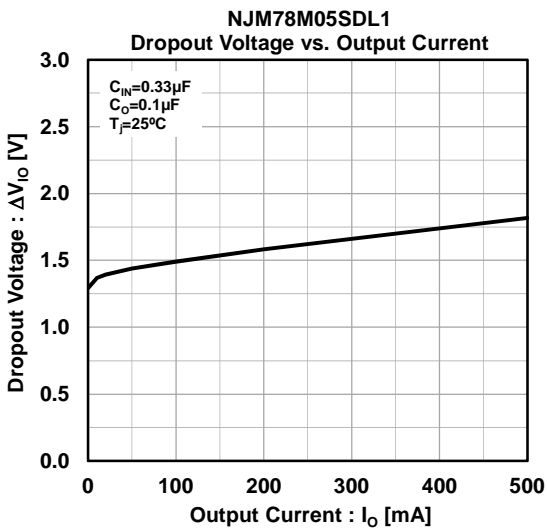
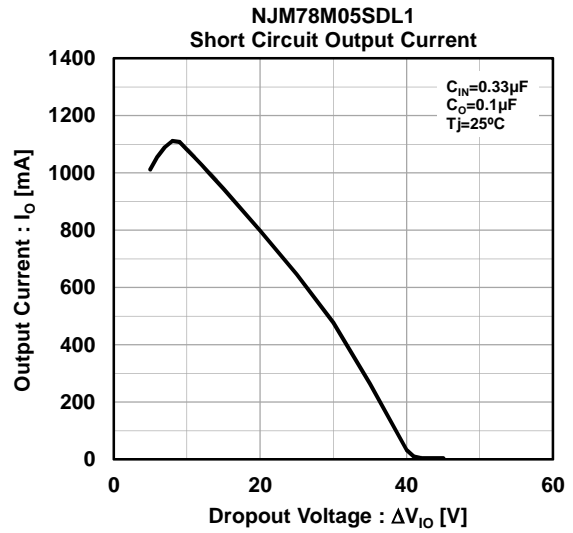
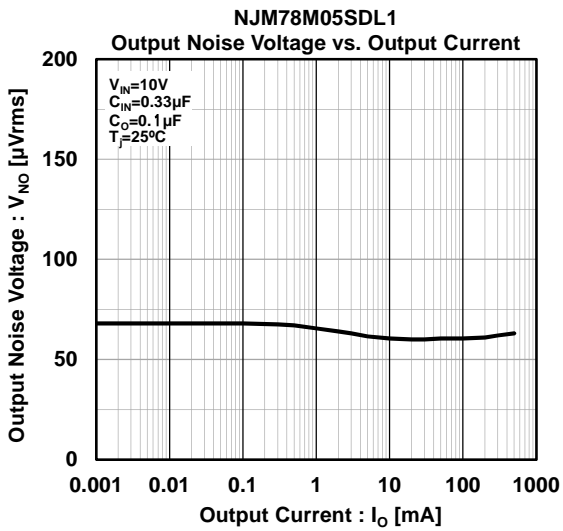
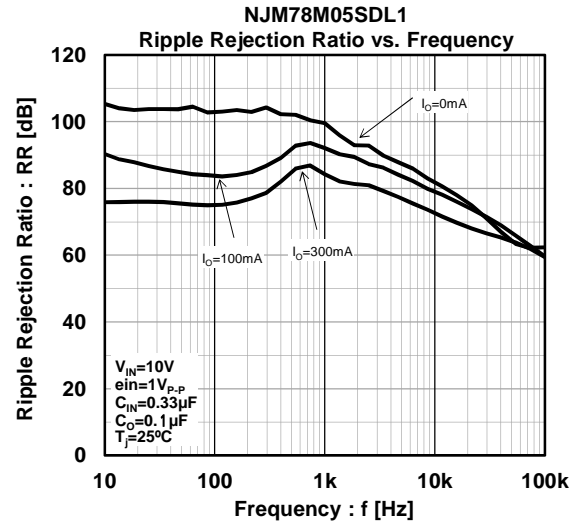
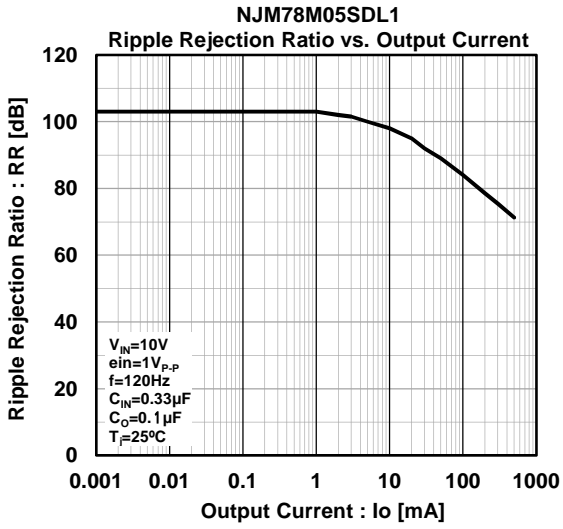
4層内箔面積 : 74.2×74.2mm, JEDEC Standard JESD51-5 に準拠しサーマルビアホールを適用

NJM78M00S

■ 特性例 (5V)

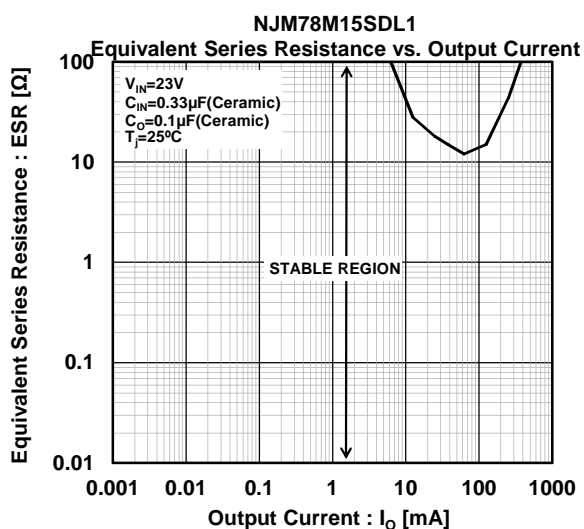
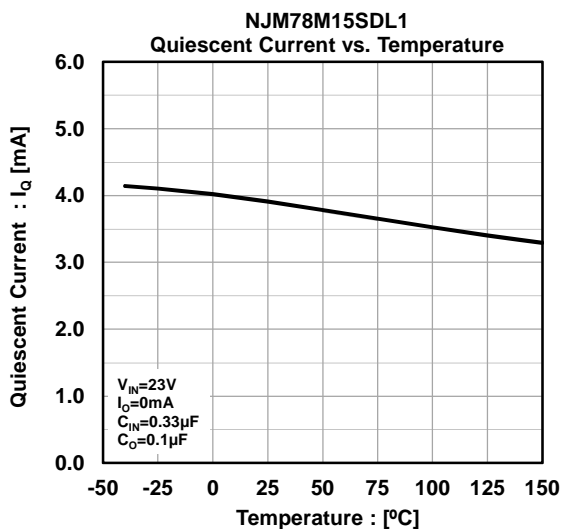
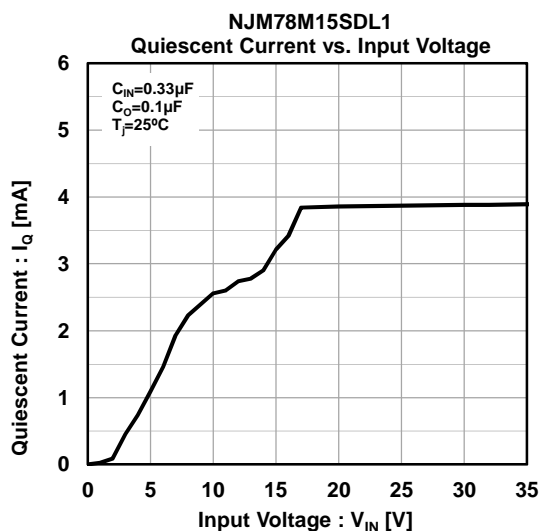
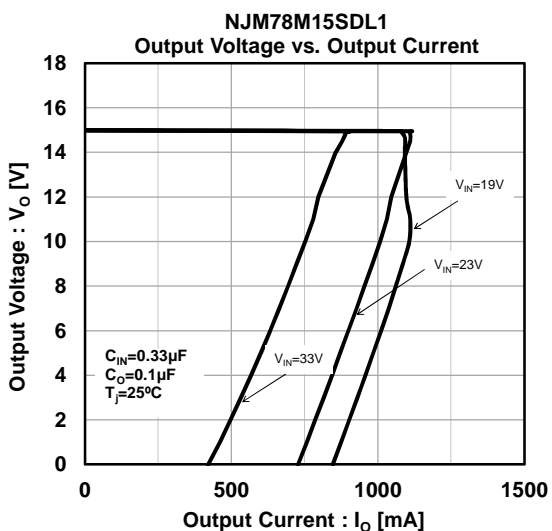
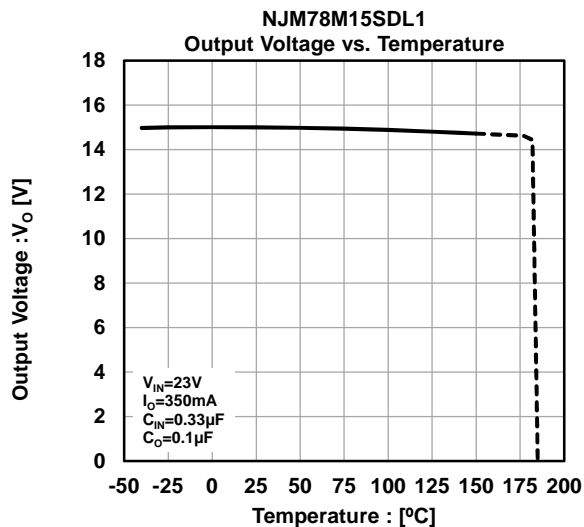
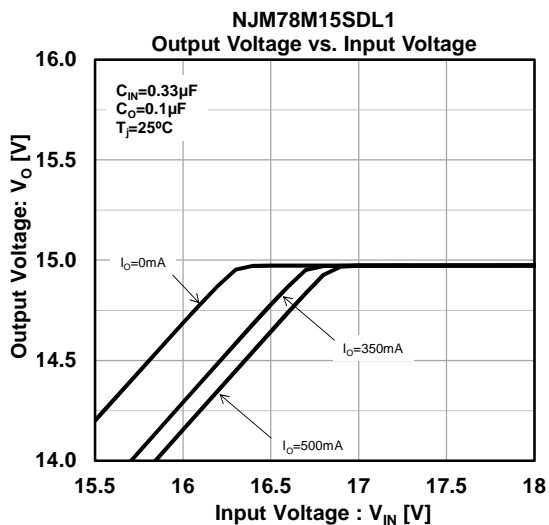


■ 特性例 (5V)

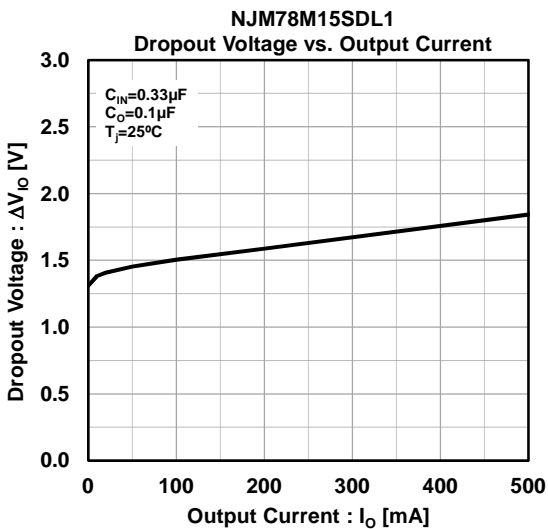
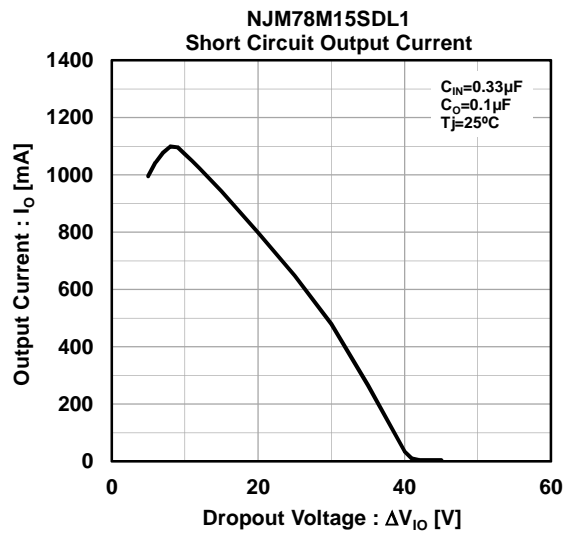
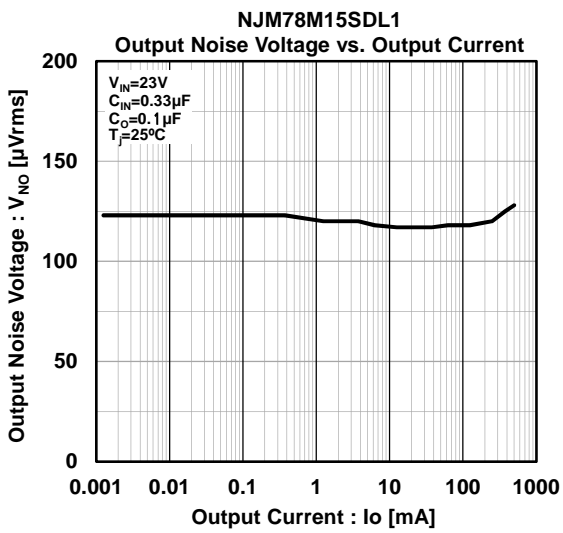
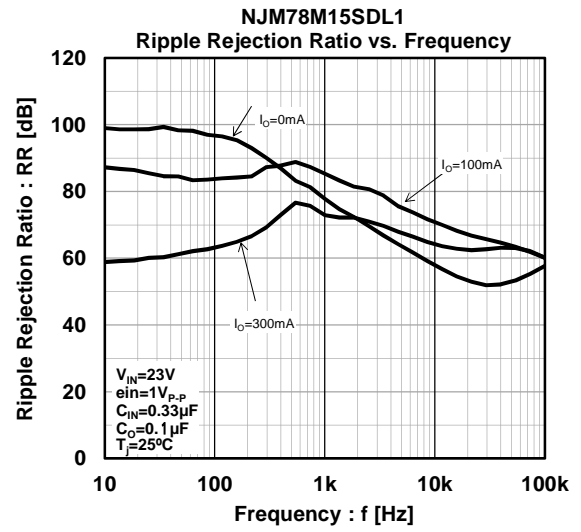
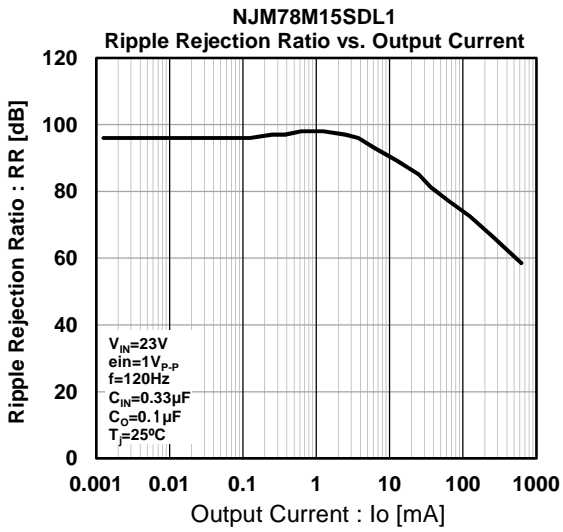


NJM78M00S

■ 特性例 (15V)



■ 特性例 (15V)



MEMO

<注意事項>

このデータブックの掲載内容の正確さには万全を期しておりますが、掲載内容について何らかの法的な保証を行うものではありません。とくに応用回路については、製品の代表的な応用例を説明するためのものです。また、工業所有権その他の権利の実施権の許諾を伴うものではなく、第三者の権利を侵害しないことを保証するものではありません。