

## ハイアイソレーション SPDT スイッチ

### ■ 概要

NJG1697EM1は移動体通信用途に最適な受信向け高アイソレーションSPDTスイッチです。本製品は非常に高いアイソレーション特性を有することを特徴とします。本製品はPC端子の内蔵DCブロッキングキャパシタにより、同端子に接続されるデバイスがDCバイアスを有していても外部キャパシタは不要です。本製品は保護素子を内蔵することにより高いESD耐圧を有しています。

DFN6-M1 パッケージの採用により、超小型・薄型化を実現します。

### ■ 外形



NJG1697EM1

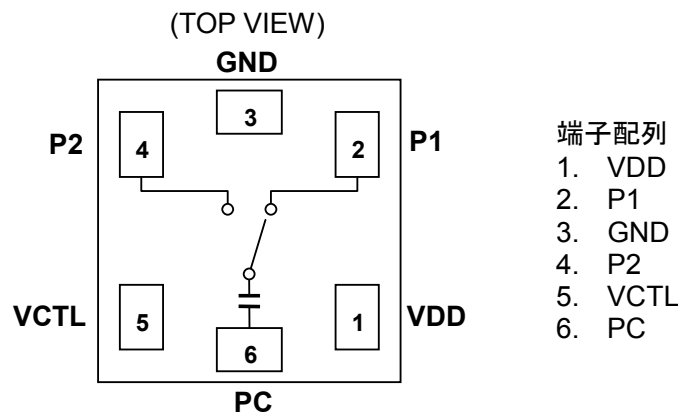
### ■ アプリケーション

- 2G, 3G, LTE などの移動体通信の受信切替用途
- PA 入力信号の切替用途
- その他汎用的な受信切替用途

### ■ 特徴

- 低切替電圧  $V_{CTL(H)} = +1.8V$  typ.
  - 低動作電圧  $V_{DD} = +2.7V$  typ.
  - 高アイソレーション
    - 50dB typ. @f=1.0GHz,  $P_{IN} = 0dBm$
    - 48dB typ. @f=2.0GHz,  $P_{IN} = 0dBm$
    - 43dB typ. @f=2.7GHz,  $P_{IN} = 0dBm$
  - 低挿入損失
    - 0.45dB typ. @f=1.0GHz,  $P_{IN} = 0dBm$
    - 0.50dB typ. @f=2.0GHz,  $P_{IN} = 0dBm$
    - 0.55dB typ. @f=2.7GHz,  $P_{IN} = 0dBm$
  - 超小型・薄型パッケージ
  - RoHS 対応、ハロゲンフリー、MSL1
- DFN6-M1 (パッケージサイズ: 1.0 x 1.0 x 0.38mm typ.)

### ■ 端子配列



### ■ 真理値表

“H”= $V_{CTL(H)}$ , “L”= $V_{CTL(L)}$

通過経路	VCTL
PC-P1	H
PC-P2	L

注：本資料に記載された内容は、予告なく変更することがありますので、ご了承下さい。

■絶対最大定格

( $T_a=+25^{\circ}\text{C}$ ,  $Z_s=Z_i=50\Omega$ )

項目	記号	条件	定格	単位
入力電力	$P_{IN}$	$V_{DD}=2.7\text{V}$	28	dBm
電源電圧	$V_{DD}$	VDD 端子	5.0	V
切替電圧	$V_{CTL}$	VCTL 端子	5.0	V
消費電力	$P_D$	4 層基板(114.3×76.2mm、スルーホールあり)、FR4 PCB, $T_j=150^{\circ}\text{C}$	440	mW
動作温度	$T_{opr}$		-40~+90	$^{\circ}\text{C}$
保存温度	$T_{stg}$		-55~+150	$^{\circ}\text{C}$

## ■ 電気的特性 (DC)

(共通条件:  $T_a=+25^\circ\text{C}$ ,  $Z_s=Z_l=50\Omega$ ,  $V_{DD}=2.7\text{V}$ ,  $V_{CTL(L)}=0\text{V}$ ,  $V_{CTL(H)}=1.8\text{V}$ , 外部回路による)

項目	記号	条件	最小	標準	最大	単位
動作電圧	$V_{DD}$	VDD 端子	1.5	2.7	4.5	V
動作電流	$I_{DD}$		-	15	30	$\mu\text{A}$
切替電圧 (LOW)	$V_{CTL(L)}$	VCTL 端子	0	0	0.45	V
切替電圧 (HIGH)	$V_{CTL(H)}$	VCTL 端子	1.35	1.8	4.5	V
切替電流	$I_{CTL}$	$V_{CTL(H)}=1.8\text{V}$	-	5	10	$\mu\text{A}$

## ■ 電気的特性 (RF)

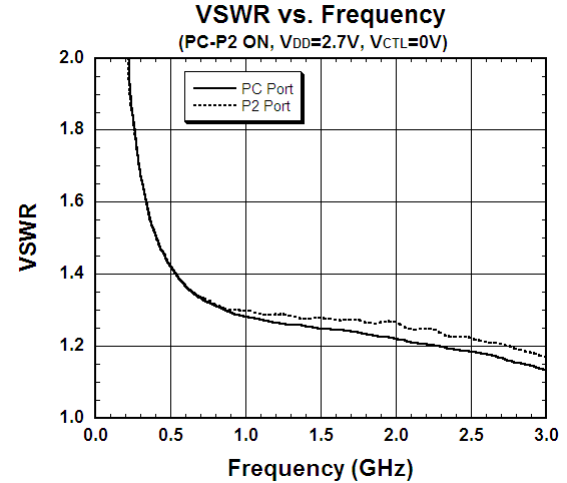
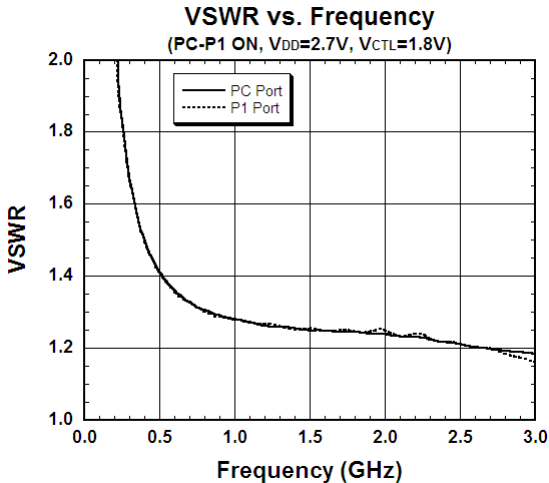
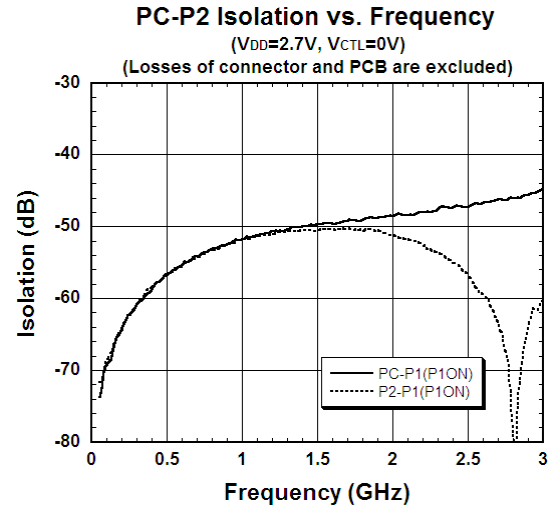
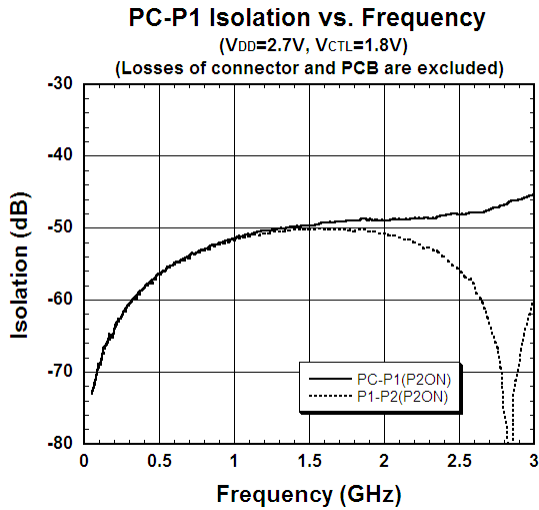
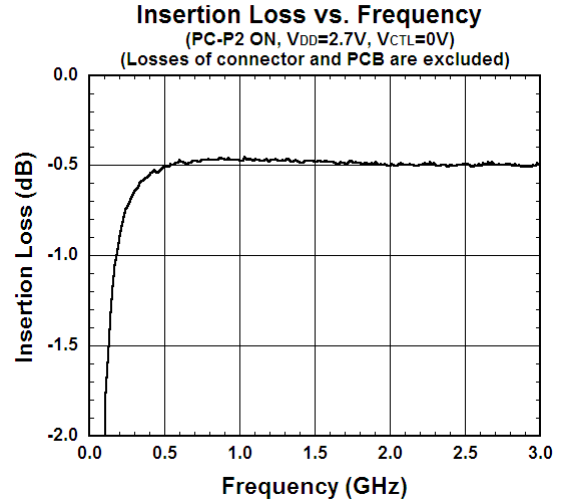
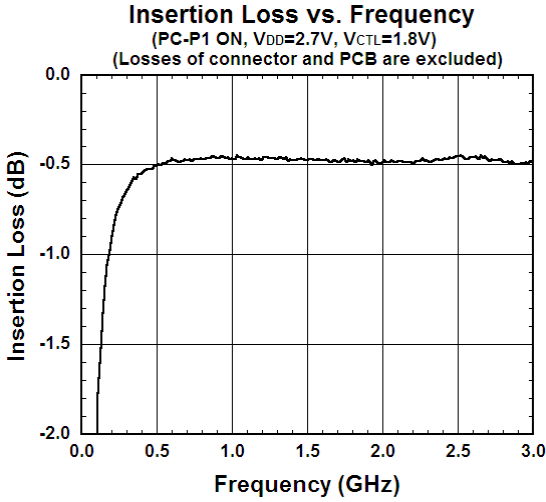
(共通条件:  $T_a=+25^\circ\text{C}$ ,  $Z_s=Z_l=50\Omega$ ,  $V_{DD}=2.7\text{V}$ ,  $V_{CTL(L)}=0\text{V}$ ,  $V_{CTL(H)}=1.8\text{V}$ , 外部回路による)

項目	記号	条件	最小	標準	最大	単位
挿入損失 1	LOSS1	$f=0.5\text{GHz}$ , $P_{IN}=0\text{dBm}$	-	0.55	0.75	dB
挿入損失 2	LOSS2	$f=1.0\text{GHz}$ , $P_{IN}=0\text{dBm}$	-	0.45	0.65	dB
挿入損失 3	LOSS3	$f=2.0\text{GHz}$ , $P_{IN}=0\text{dBm}$	-	0.50	0.70	dB
挿入損失 4	LOSS4	$f=2.7\text{GHz}$ , $P_{IN}=0\text{dBm}$	-	0.55	0.75	dB
アイソレーション 1	ISL1	PC-P1, P2 $f=0.5\text{GHz}$ , $P_{IN}=0\text{dBm}$	50	55	-	dB
アイソレーション 2	ISL2	PC-P1, P2 $f=1.0\text{GHz}$ , $P_{IN}=0\text{dBm}$	45	50	-	dB
アイソレーション 3	ISL3	PC-P1, P2 $f=2.0\text{GHz}$ , $P_{IN}=0\text{dBm}$	45	48	-	dB
アイソレーション 4	ISL4	PC-P1, P2 $f=2.7\text{GHz}$ , $P_{IN}=0\text{dBm}$	40	43	-	dB
0.2dB 圧縮時入力電力	$P_{-0.2\text{dB}}$	$f=2.0\text{GHz}$	18	22	-	dBm
VSWR	VSWR	$f=2.0\text{GHz}$ , On port	-	1.3	1.5	-
スイッチング速度	$T_{SW}$	50% $V_{CTL}$ to 10/90% RF	-	2	5	$\mu\text{s}$

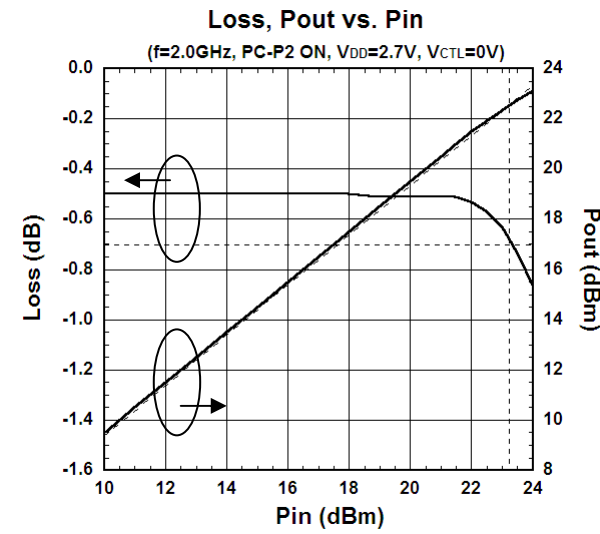
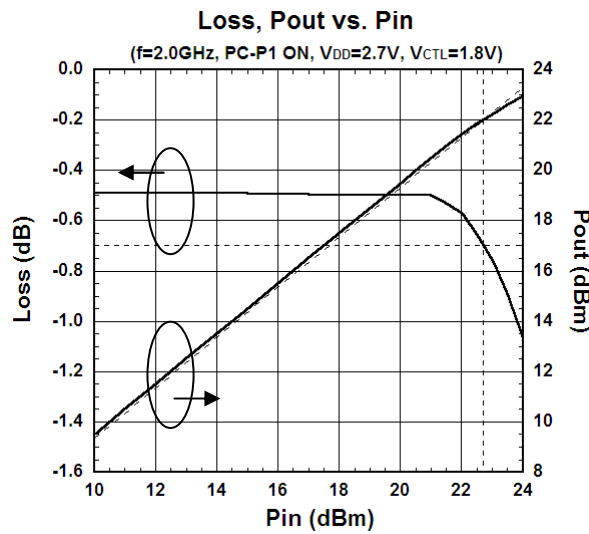
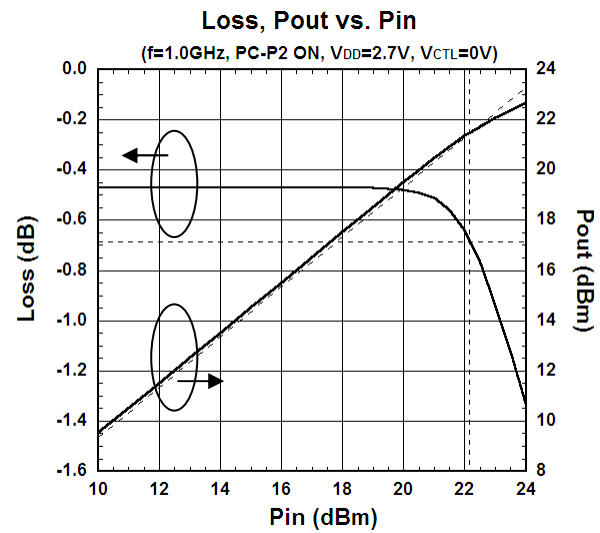
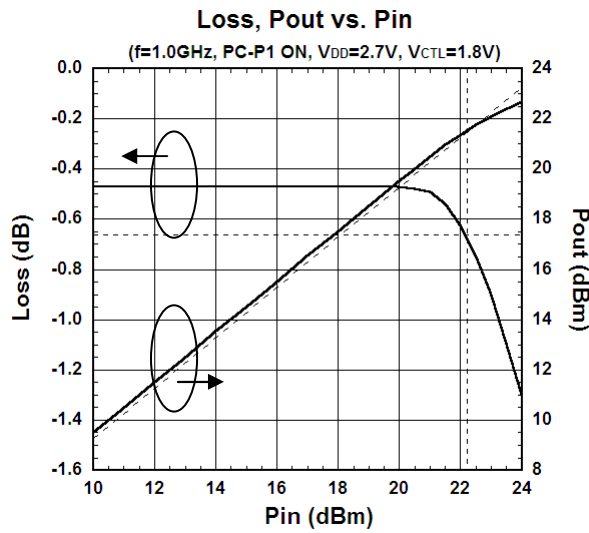
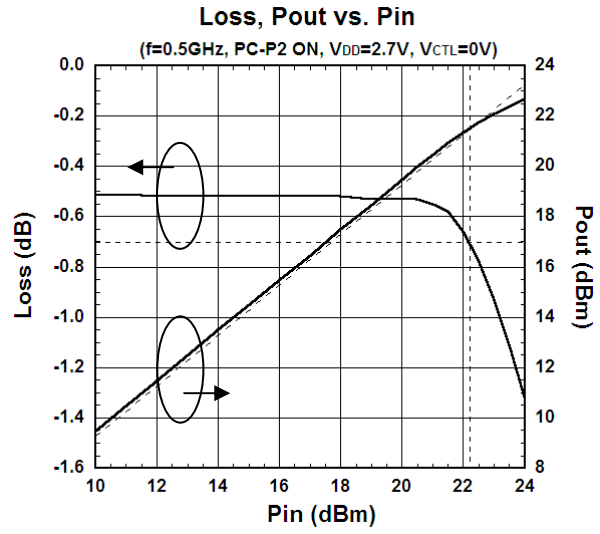
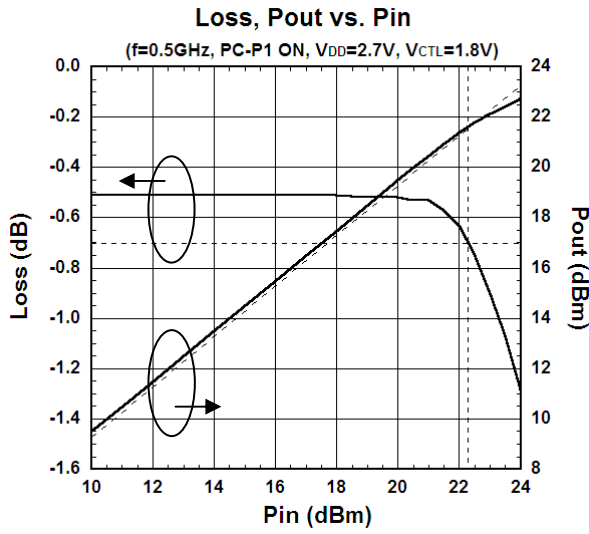
## ■ 端子説明

端子番号	端子記号	機能
1	VDD	電源端子です。正電源電圧(+1.5~+4.5V) を印加して下さい。RF 特性への影響を抑止するため対 GND 間にバイパス用キャパシタを接続してください。
2	P1	送信及び受信をする RF 端子です。内部バイアス用の DC 電圧が印加されているため、DC ブロッキングキャパシタを接続してください。
3	GND	接地端子です。RF 特性を劣化させないために、端子近傍で接地電位に接続してください。
4	P2	送信及び受信をする RF 端子です。内部バイアス用の DC 電圧が印加されているため、DC ブロッキングキャパシタを接続してください。
5	VCTL	御信号入力端子です。ハイレベルとする際には+1.35~+4.5V の電圧を、ローレベルとする際には 0~+0.45V の電圧を印加して下さい。RF 特性への影響を抑止するため対 GND 間にバイパス用キャパシタを接続してください。
6	PC	送信及び受信をする RF 端子です。DC ブロッキングキャパシタを内蔵しているため外部キャパシタは不要です。

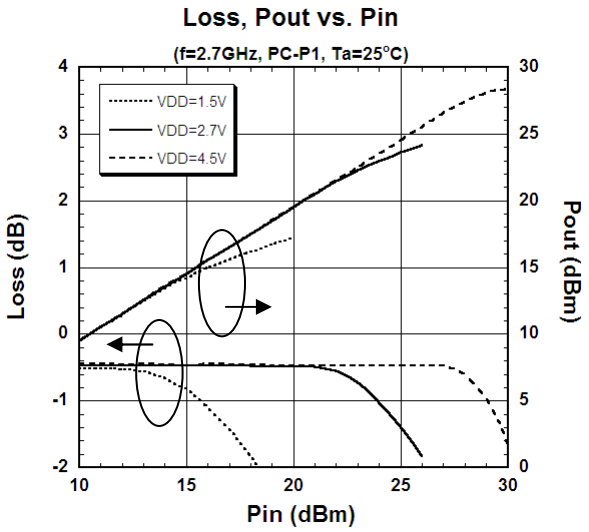
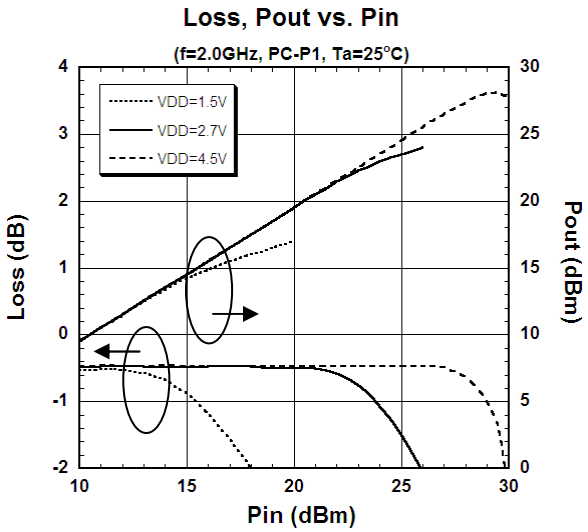
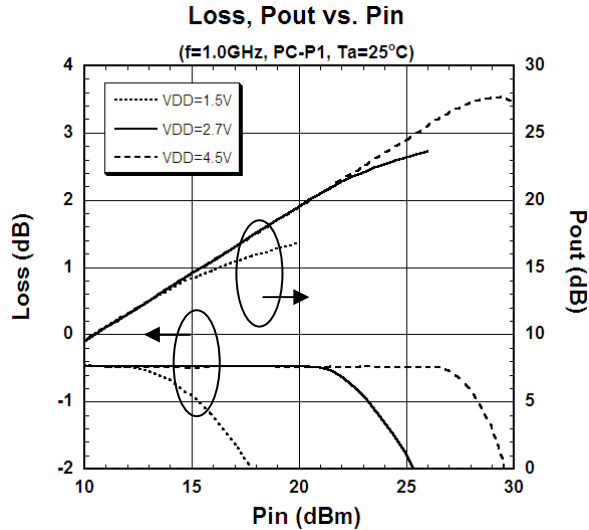
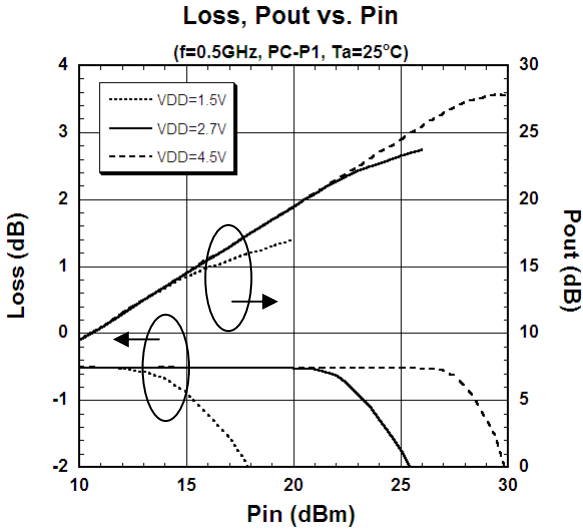
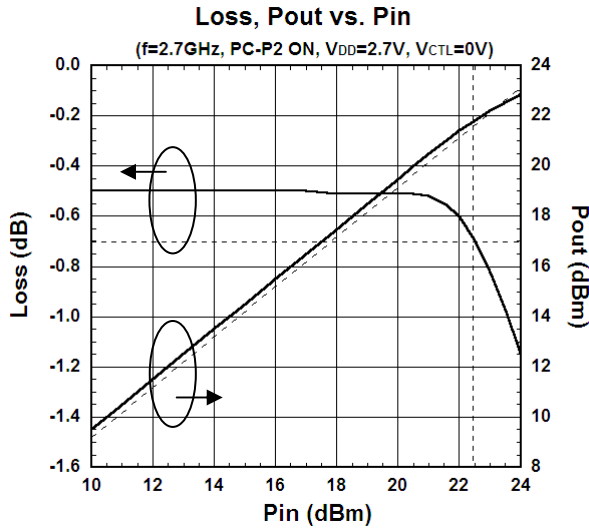
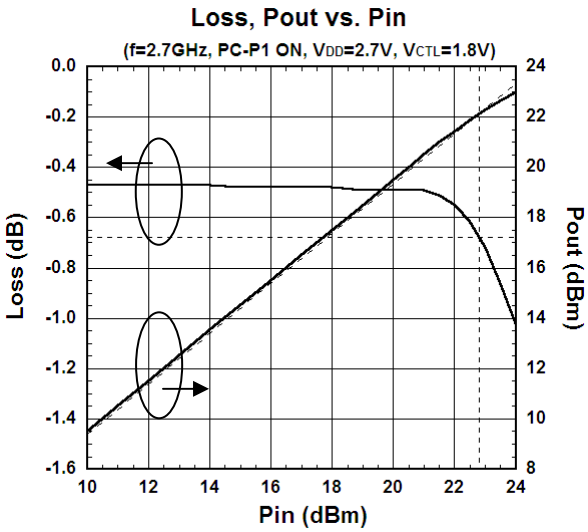
■特性例（指定の測定回路による）



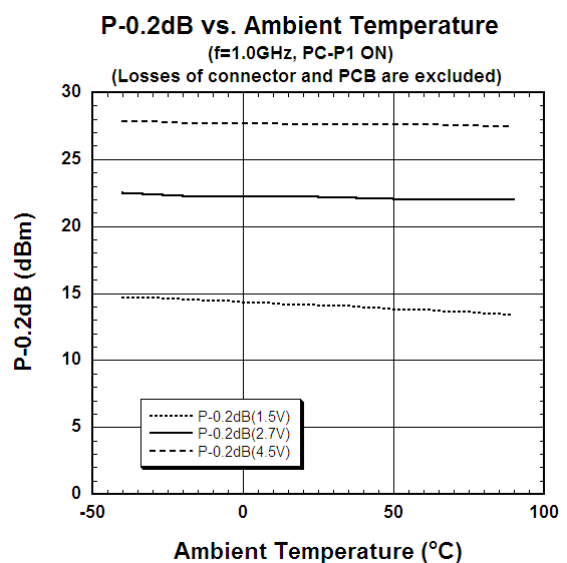
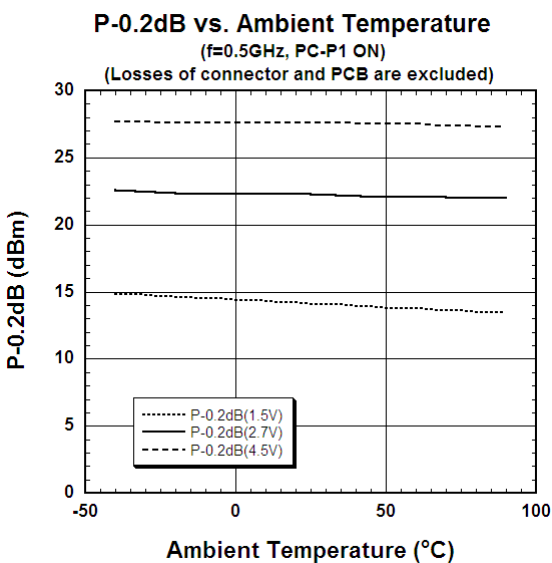
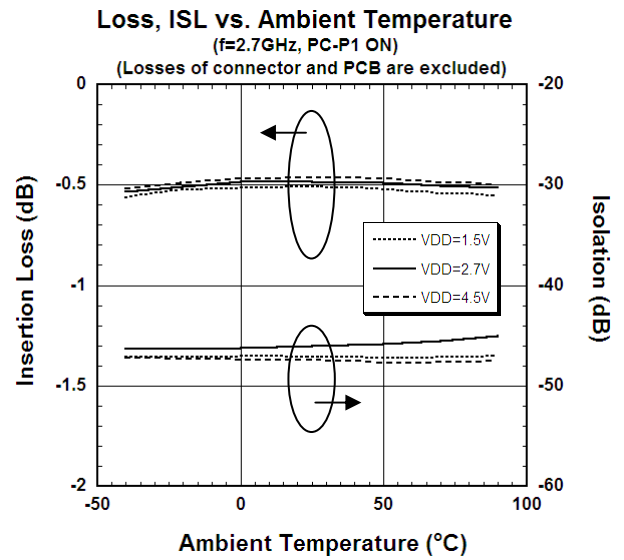
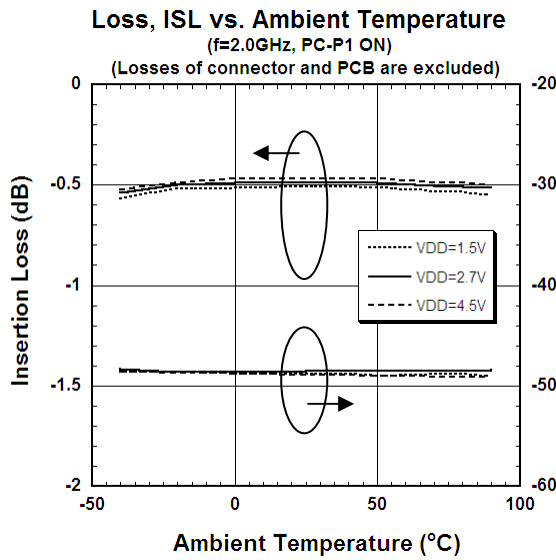
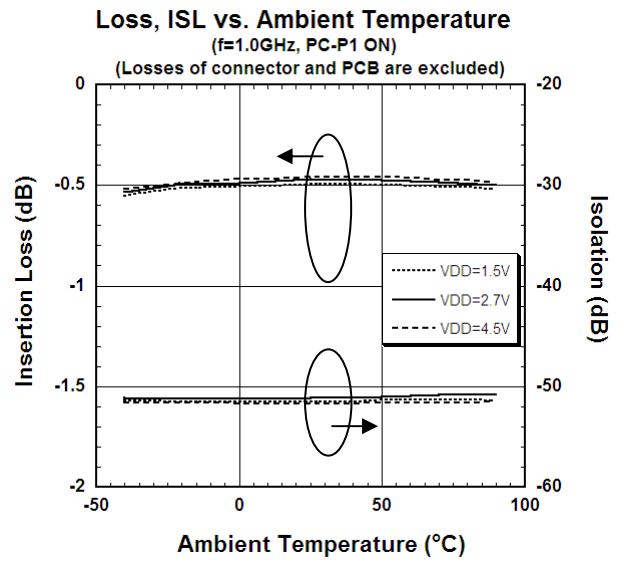
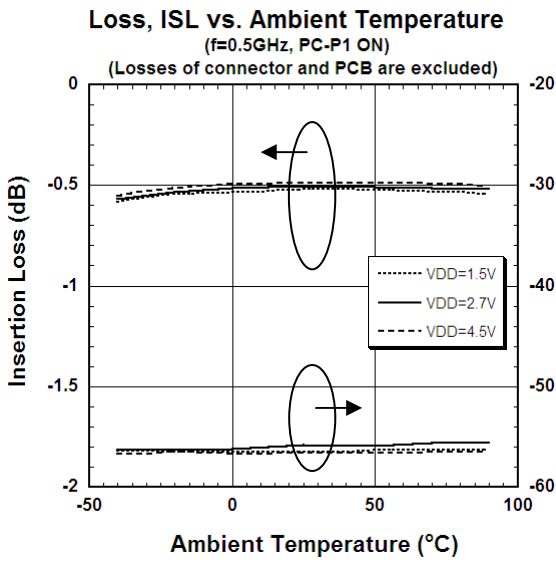
■特性例（指定の測定回路による）



■特性例 (指定の測定回路による)

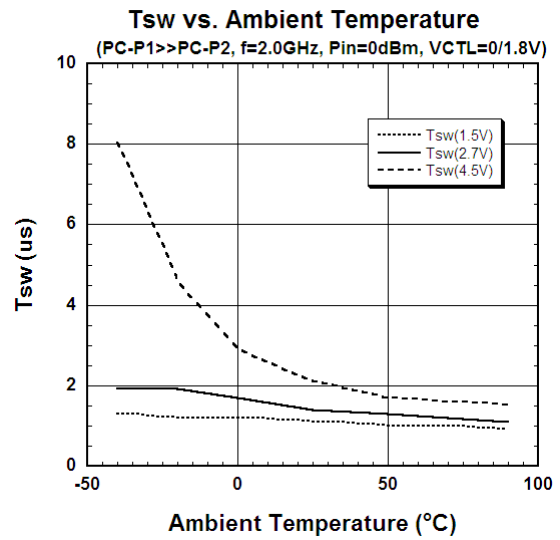
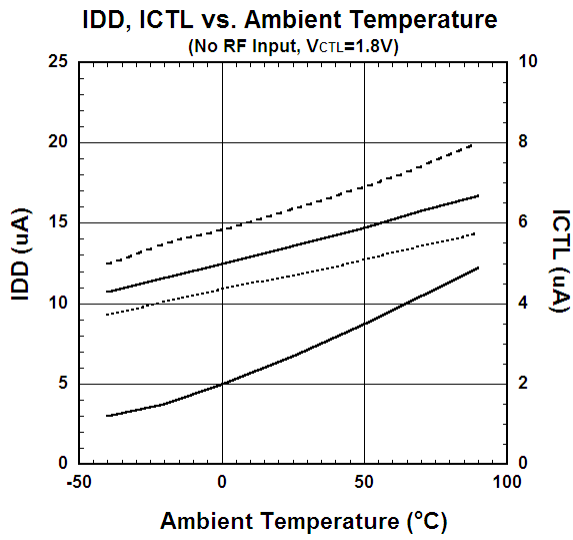
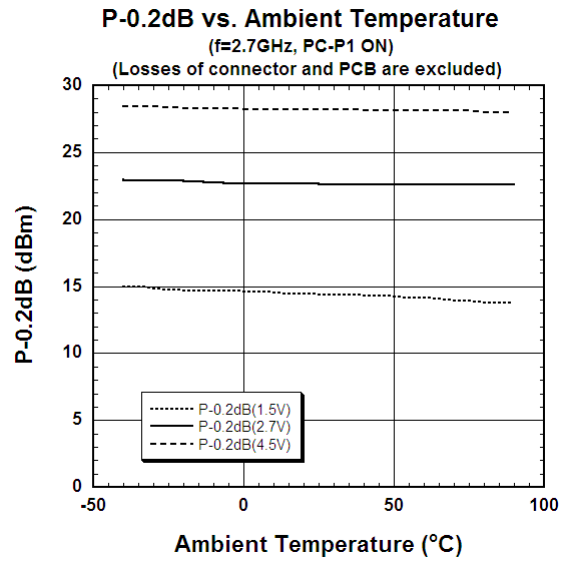
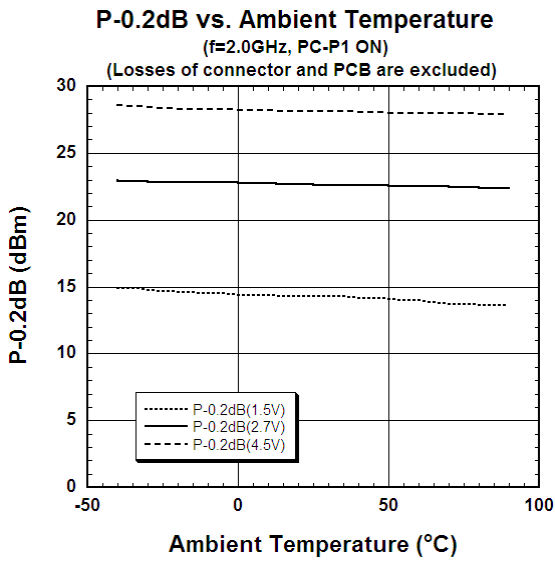


■特性例 (指定の測定回路による)

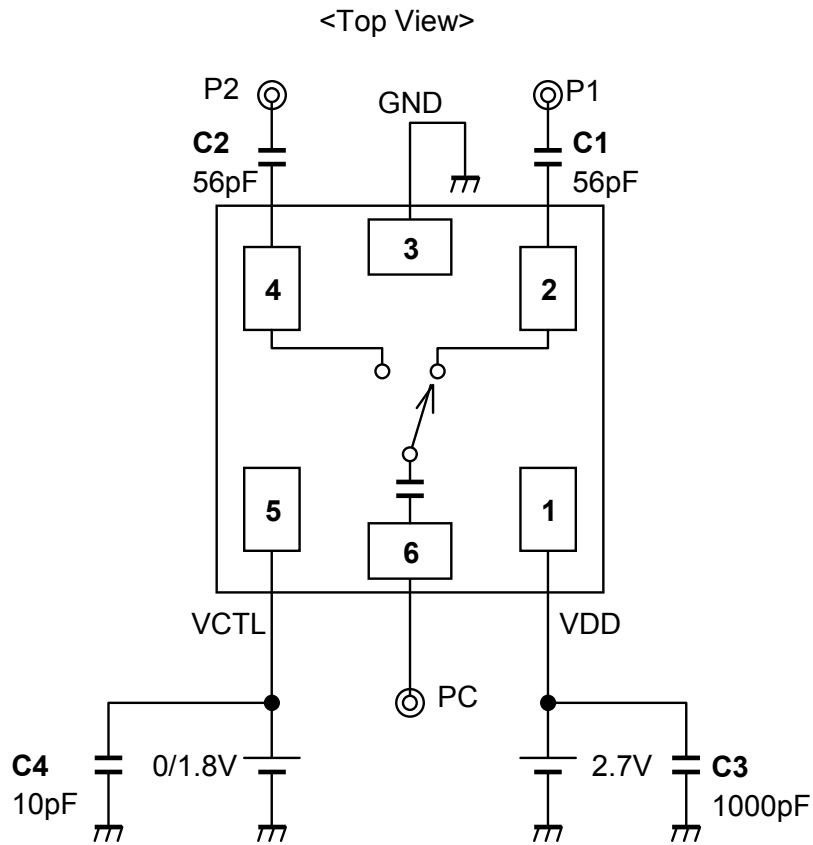




■特性例（指定の測定回路による）



## ■外部回路図



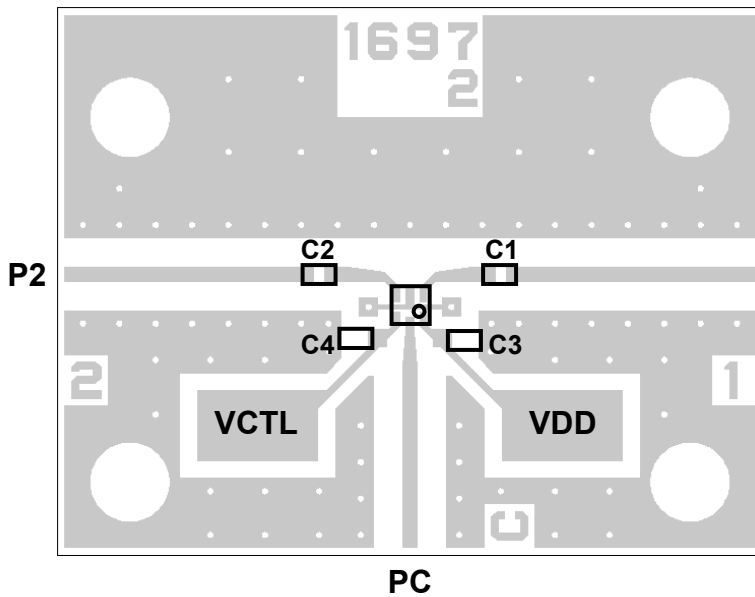
PC 端子は DC ブロッキングキャパシタを内蔵しているため外部キャパシタは不要です。

## ■ 部品表

番号	定数	備考
C1~C2	56pF	村田製作所(GRM15)
C3	1000pF	村田製作所(GRM15)
C4	10pF	村田製作所(GRM15)

## ■ 基板実装図

(TOP VIEW)



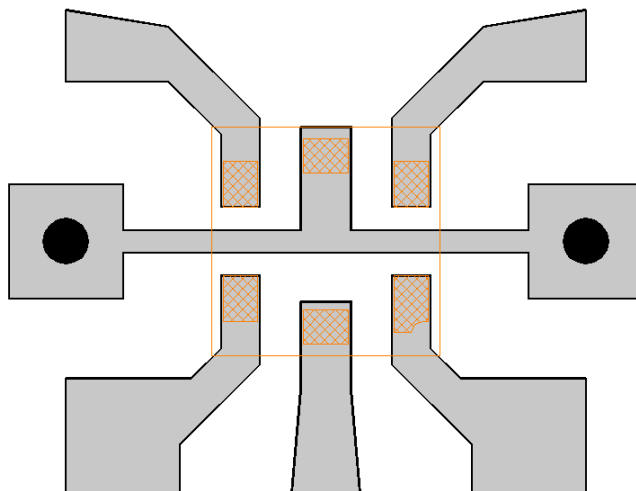
基板: FR-4, t=0.2mm  
 キャパシタサイズ: 1005 (1.0 x 0.5 mm)  
 ストリップライン幅: 0.4mm  
 基板サイズ: 19.4 x 15.0mm  
 スルーホール直径: 0.2mm

P1 コネクタ損失を含む基板損失

経路	周波数 (GHz)	基板損失 (dB)
PC-P1, PC-P2	0.5	0.12
	1.0	0.17
	2.0	0.30
	2.7	0.36

### < PCB 基板レイアウトの詳細 >

(TOP VIEW)



アイソレーション確保のために、上図のようなグランドパターンを配置して下さい。この場合、PCBのラインアンドスペースは0.1mmとなります。




### デバイス使用上の注意事項

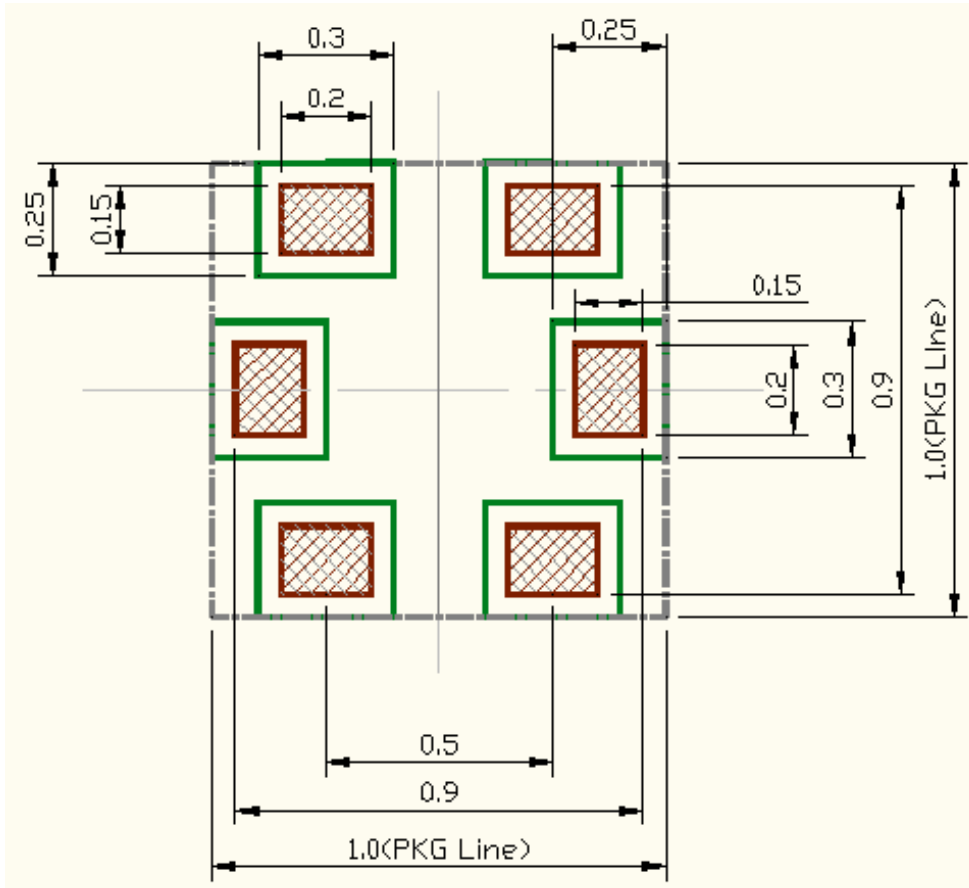
- [1] PC 端子を除く各 RF 端子には内部バイアス用の DC 電圧が印加されているため、C1, C2 の DC ブロッキングキャパシタを接続してください (ただし SAW フィルタのように構造上 DC ブロッキングキャパシタと同じ役割をするデバイスと接続される場合は、DC ブロッキングキャパシタが不要となる可能性があります)。
- [2] RF 特性への影響を抑止するために、VDD 端子及び VCTL 端子には対 GND にバイパスコンデンサ(C3, C4)を接続して下さい。
- [3] アイソレーションを含む RF 特性を損なわないために、IC の GND 端子は最短距離で基板のグランドパターンに接続できるパターンレイアウトを行ってください。また、グランド用スルーホールも同端子のできるだけ近傍に配置してください。

## DFN6-M1 パッケージ推奨フィットパターン

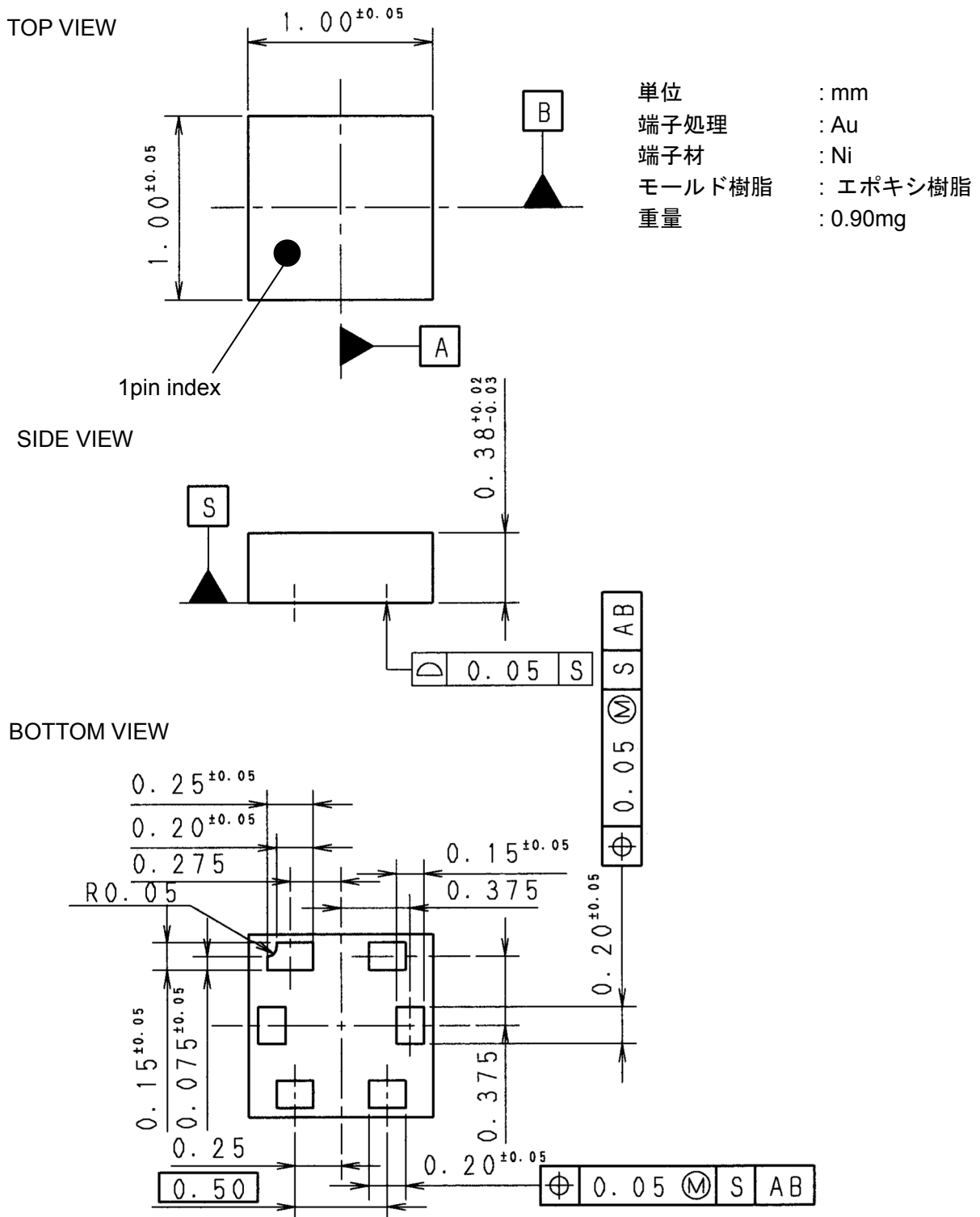
PKG : 1.0mm x 1.0mm

Pin pitch : 0.5mm

-  : ランド
-  : マスク (開口部) \*メタルマスク厚 : 100μm
-  : レジスト (開口部)



## ■ パッケージ外形図 (DFN6-M1)



### ガリウムヒ素(GaAs)製品取り扱い上の注意事項

この製品は、法令で指定された有害物のガリウムヒ素(GaAs)を使用しております。危険防止のため、製品を焼いたり、砕いたり、化学処理を行い気体や粉末にしないでください。廃棄する場合は、関連法規に従い、一般産業廃棄物や家庭ゴミとは混ぜないでください。

この製品は静電放電・サージ電圧により破壊されやすいため、取り扱いにご注意下さい。

### <注意事項>

このデータブックの掲載内容の正確さには万全を期しておりますが、掲載内容について何らかの法的な保証を行うものではありません。とくに応用回路については、製品の代表的な応用例を説明するためのものです。また、工業所有権その他の権利の実施権の許諾を伴うものではなく、第三者の権利を侵害しないことを保証するものでもありません。