

## 高アイソレーション X-SPDT(DP4T)スイッチ

### ■概要

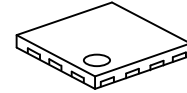
NJG1690MD7 はバランス型フィルタ切替に最適な GaAs X (クロス)-SPDT (DP4T) スイッチ MMIC です。

本製品はバランスモードにおいて非常に高いアイソレーションを有し、かつ低切替電圧対応、低挿入損失、広帯域動作などを特徴とします。保護素子を内蔵することにより高いESD耐圧を有しています。

パッケージには EQFN14-D7 パッケージを採用し、小型・薄型化を実現します。

\*) クロス SPDT スイッチ : 2つの SPDT スイッチの出力ポートが内部でクロスしているスイッチ。

### ■外形



NJG1690MD7

### ■アプリケーション

バランス型フィルタ切替用途

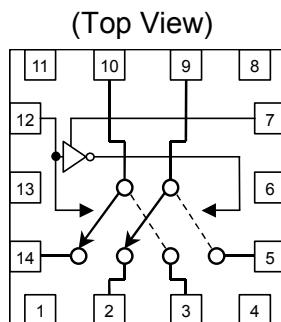
TDD/FDD-LTE、UMTS、CDMA と GSM のマルチモード及びマルチバンド用途

モバイルフォン、タブレット PC、データカードとルーターなどモバイル端末用途

### ■特徴

- 低動作電圧  $V_{DD}=2.7V$  typ.
- 低切替電圧  $V_{CTL(H)}=1.8V$  typ.
- 高アイソレーション 37dB typ. @f=2.7GHz,  $P_{IN}=0dBm$  (バランスモード動作時)  
29dB typ. @f=1.0GHz,  $P_{IN}=0dBm$   
24dB typ. @f=2.0GHz,  $P_{IN}=0dBm$   
21dB typ. @f=2.7GHz,  $P_{IN}=0dBm$
- 低挿入損失 0.3dB typ. @f=1.0GHz,  $P_{IN}=0dBm$   
0.4dB typ. @f=2.0GHz,  $P_{IN}=0dBm$   
0.45dB typ. @f=2.7GHz,  $P_{IN}=0dBm$
- 小型・薄型パッケージ EQFN14-D7 (パッケージサイズ: 1.6x1.6x0.397mm typ.)
- RoHS 対応、ハロゲンフリー
- MSL: 1

### ■端子配列



#### 端子配列

- |        |          |
|--------|----------|
| 1. GND | 10. PC1  |
| 2. PA2 | 11. GND  |
| 3. PB1 | 12. VCTL |
| 4. GND | 13. GND  |
| 5. PB2 | 14. PA1  |
| 6. GND |          |
| 7. VDD |          |
| 8. GND |          |
| 9. PC2 |          |

### ■真理値表

“H”= $V_{CTL(H)}$ , “L”= $V_{CTL(L)}$

通過経路	VCTL
PC1-PA1, PC2-PA2	H
PC1-PB1, PC2-PB2	L

注：本資料に記載された内容は、予告なく変更することがありますので、ご了承下さい。

# NJG1690MD7

## ■絶対最大定格

$T_a=+25^{\circ}\text{C}$ ,  $Z_s=Z_l=50\Omega$

項目	記号	条件	定格	単位
入力電力	$P_{IN}$	$V_{DD}=2.7\text{V}$ , $V_{CTL}=0\text{V}/1.8\text{V}$	28	dBm
電源電圧	$V_{DD}$		5.0	V
切替電圧	$V_{CTL}$		5.0	V
消費電力	$P_D$	4層基板(76.2 x 114.3mm, スルーホール有り)FR-4 基板実装時, $T_j=150^{\circ}\text{C}$	1300	mW
動作温度	$T_{opr}$		-40~+85	$^{\circ}\text{C}$
保存温度	$T_{stg}$		-55~+150	$^{\circ}\text{C}$

## ■電気的特性

(共通条件:  $T_a=+25^{\circ}\text{C}$ ,  $Z_s=Z_l=50\Omega$ ,  $V_{DD}=2.7\text{V}$ ,  $V_{CTL(L)}=0\text{V}$ ,  $V_{CTL(H)}=1.8\text{V}$ , 外部回路 1 による)

項目	記号	条件	最小	標準	最大	単位
動作電圧	$V_{DD}$		1.5	2.7	4.5	V
動作電流	$I_{DD}$	$P_{IN}=0\text{dBm}$	-	16	30	$\mu\text{A}$
切替電圧 (LOW)	$V_{CTL(L)}$		0	-	0.4	V
切替電圧 (HIGH)	$V_{CTL(H)}$		1.3	1.8	4.5	V
切替電流	$I_{CTL}$	$f=2\text{GHz}$ , $P_{IN}=0\text{dBm}$	-	5	10	$\mu\text{A}$
挿入損失 1	LOSS1	$f=1\text{GHz}$ , $P_{IN}=0\text{dBm}$	-	0.30	0.45	dB
挿入損失 2	LOSS2	$f=2\text{GHz}$ , $P_{IN}=0\text{dBm}$	-	0.40	0.55	dB
挿入損失 3	LOSS3	$f=2.7\text{GHz}$ , $P_{IN}=0\text{dBm}$	-	0.45	0.65	dB
バランスモード アイソレーション *Note1	B-ISL	PC-PA (PC-PB ON) PC-PB (PC-PA ON) $f=2.7\text{GHz}$ , $P_{IN}=0\text{dBm}$	33	37	-	dB
アイソレーション 1	ISL1	PC1-PA1, PC2-PA2 PC1-PB1, PC2-PB2 $f=1\text{GHz}$ , $P_{IN}=0\text{dBm}$	27	29	-	dB
アイソレーション 2	ISL2	PC1-PA1, PC2-PA2 PC1-PB1, PC2-PB2 $f=2\text{GHz}$ , $P_{IN}=0\text{dBm}$	21	24	-	dB
アイソレーション 3	ISL3	PC1-PA1, PC2-PA2 PC1-PB1, PC2-PB2 $f=2.7\text{GHz}$ , $P_{IN}=0\text{dBm}$	18	21	-	dB
アイソレーション 4	ISL4	PC1-PC2 port $f=2\text{GHz}$ , $P_{IN}=0\text{dBm}$	22	25	-	dB

Note1:

バランスモード時のアイソレーションは外部回路 2 に示す条件で定義しています。

NJG1690MD7 はシングルエンドモード時に比べ、バランスモード時のアイソレーションが非常に高くなるように設計されています。

## ■ 電気的特性

(共通条件:  $T_a=+25^{\circ}\text{C}$ ,  $Z_s=Z_l=50\Omega$ ,  $V_{DD}=2.7\text{V}$ ,  $V_{CTL(L)}=0\text{V}$ ,  $V_{CTL(H)}=1.8\text{V}$  外部回路 1 による)

項目	記号	条件	最小	標準	最大	単位
0.2dB 圧縮時入力電力	$P_{-0.2\text{dB}}$	$f=2\text{GHz}$	20	24	-	dBm
定在波比	VSWR	$f=2\text{GHz}$ , On port	-	1.2	1.4	
スイッチング速度	$T_{\text{SW}}$	50% CTL to 10%/90% RF	-	1.5	5.0	$\mu\text{s}$

# NJG1690MD7

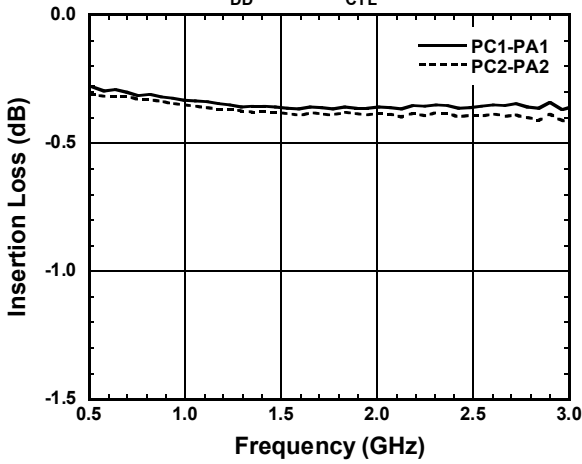
## ■端子説明

端子番号	端子記号	機能
1	GND	接地端子です。RF 特性を劣化させないために、IC ピン近傍で接地電位に接続してください。
2	PA2	RF ポート A2 です。VCTL 端子に 1.3~4.5V の VCTL(H)を印加することで、PC2 端子と接続します。なお、内部バイアス用の DC 電圧が印加されているため、DC ブロッキングキャパシタを接続してください。
3	PB1	RF ポート B1 です。VCTL 端子に 0~0.4V の VCTL(L)を印加することで、PC1 端子と接続します。内部バイアス用の DC 電圧が印加されているため、DC ブロッキングキャパシタを接続してください。
4	GND	接地端子です。RF 特性を劣化させないために、IC ピン近傍で接地電位に接続してください。
5	PB2	RF ポート B2 です。VCTL 端子に 0~0.4V の VCTL(L)を印加することで、PC2 端子と接続します。内部バイアス用の DC 電圧が印加されているため、DC ブロッキングキャパシタを接続してください。
6	GND	接地端子です。RF 特性を劣化させないために、IC ピン近傍で接地電位に接続してください。
7	VDD	電源端子です。1.5~4.5V の正電源電圧を印加して下さい。RF 特性への影響を抑制するため対 GND 間にバイパス用のキャパシタを接続してください。
8	GND	接地端子です。RF 特性を劣化させないために、IC ピン近傍で接地電位に接続してください。
9	PC2	共通 RF ポート 2 です。VCTL 端子に印加する電圧により、PA2 端子または PB2 端子と接続されます。内部バイアス用の DC 電圧が印加されているため、DC ブロッキングキャパシタを接続してください。
10	PC1	共通 RF ポート 1 です。VCTL 端子に印加する電圧により、PA1 端子または PB1 端子と接続されます。内部バイアス用の DC 電圧が印加されているため、DC ブロッキングキャパシタを接続してください。
11	GND	接地端子です。RF 特性を劣化させないために、IC ピン近傍で接地電位に接続してください。
12	VCTL	制御信号入力端子です。ハイレベルとする際には 1.3~4.5V の電圧を、ローレベルとする際には 0~0.4V の電圧を印加して下さい。
13	GND	接地端子です。RF 特性を劣化させないために、IC ピン近傍で接地電位に接続してください。
14	PA1	RF ポート A1 です。VCTL 端子に 1.3~4.5V の VCTL(H)を印加することで、PC1 端子と接続します。なお、内部バイアス用の DC 電圧が印加されているため、DC ブロッキングキャパシタを接続してください。

■ 特性例 (外部回路 1 による。DC ブロッキングキャパシタ、基板、コネクタの損失含まず)

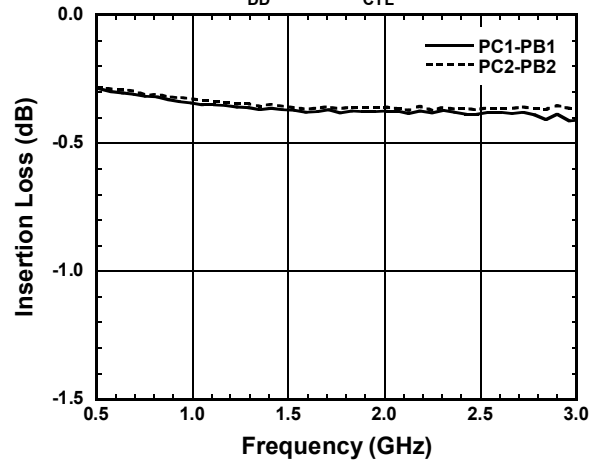
### Insertion Loss vs. Frequency

( $V_{DD}=2.7V, V_{CTL}=1.8V$ )



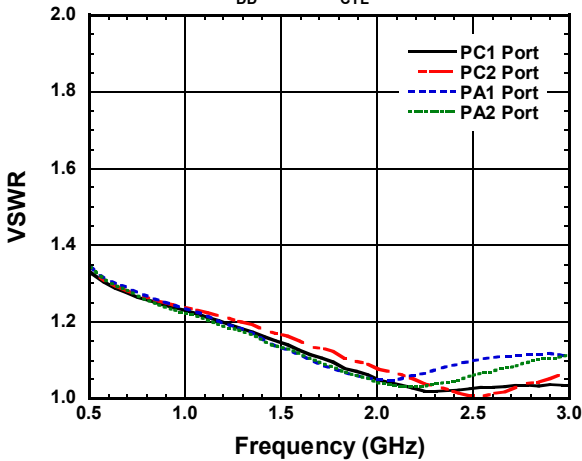
### Insertion Loss vs. Frequency

( $V_{DD}=2.7V, V_{CTL}=0V$ )



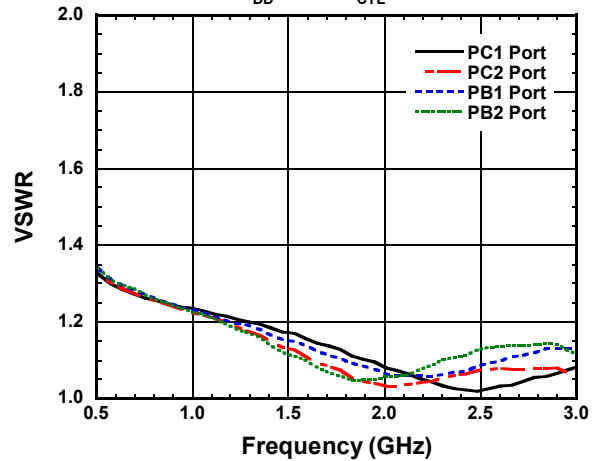
### VSWR vs. Frequency

( $V_{DD}=2.7V, V_{CTL}=1.8V$ )



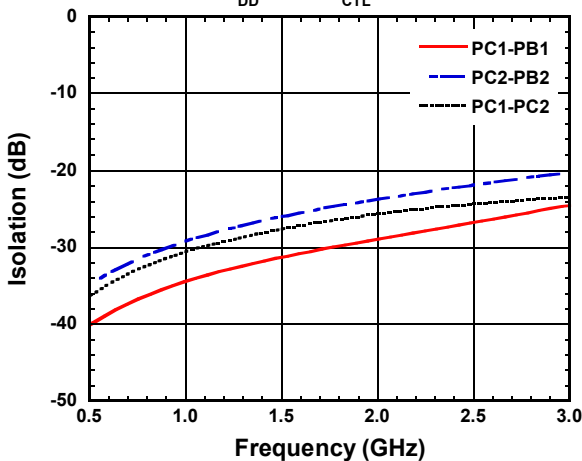
### VSWR vs. Frequency

( $V_{DD}=2.7V, V_{CTL}=0V$ )



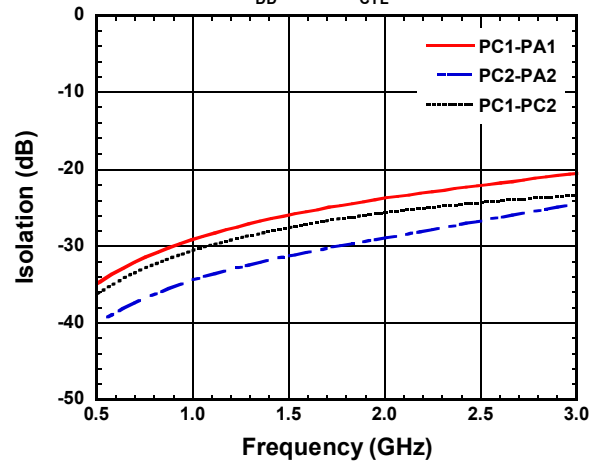
### Isolation vs. Frequency

( $V_{DD}=2.7V, V_{CTL}=1.8V$ )

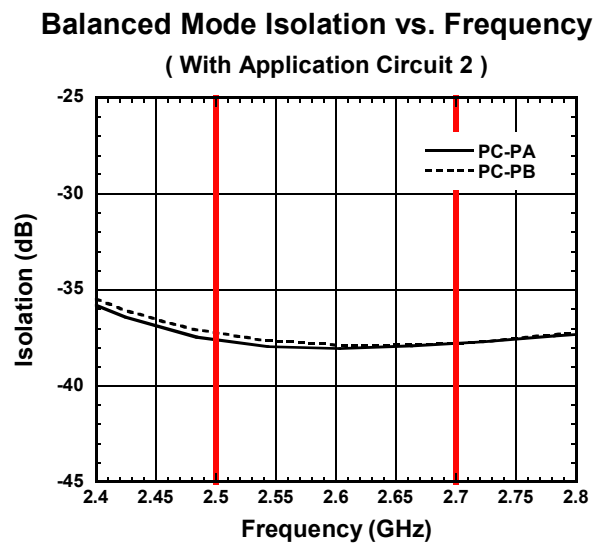
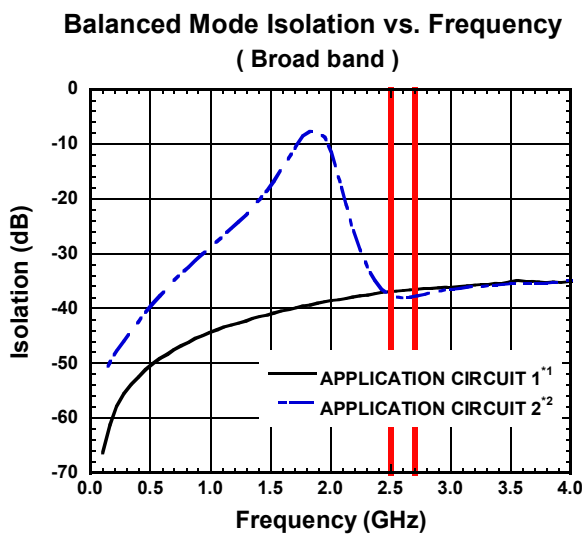
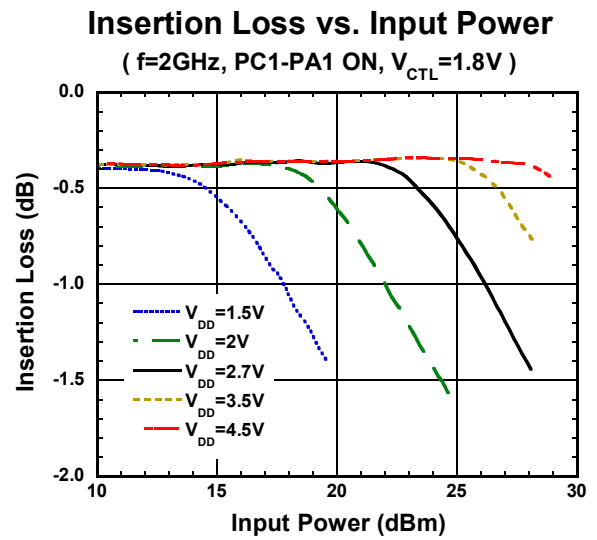
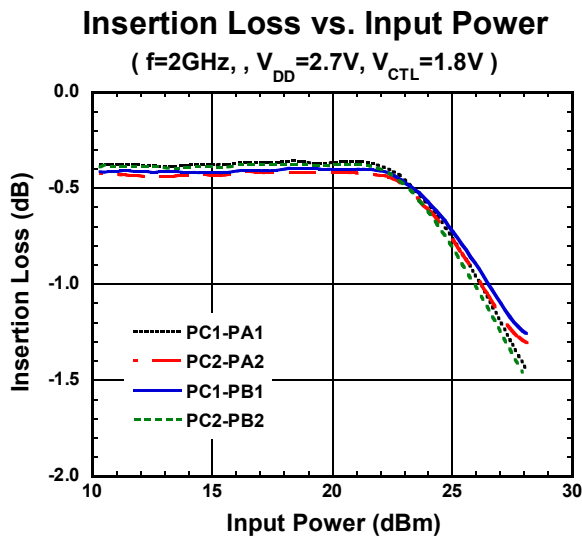


### Isolation vs. Frequency

( $V_{DD}=2.7V, V_{CTL}=0V$ )



■特性例 (外部回路 1 及び 2 による。DC ブロッキングキャパシタ、基板、コネクタの損失含まず)



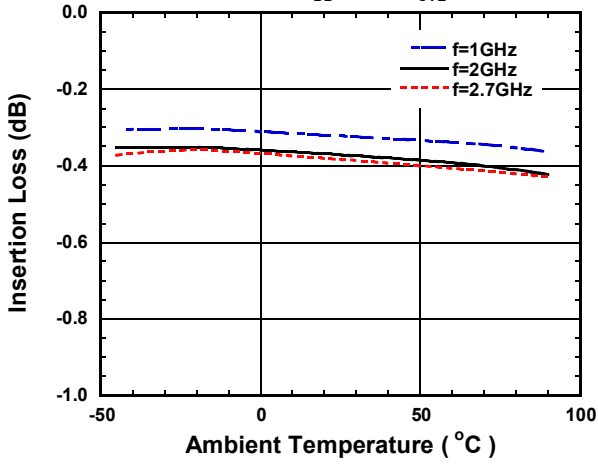
\*1) 外部回路 1 でのバランスモード時のアイソレーション

\*2) 外部回路 2 ( balan 使用 ) でのバランスモード時のアイソレーション

■特性例 (外部回路 1 による。DC ブロッキングキャパシタ、基板、コネクタの損失含まず)

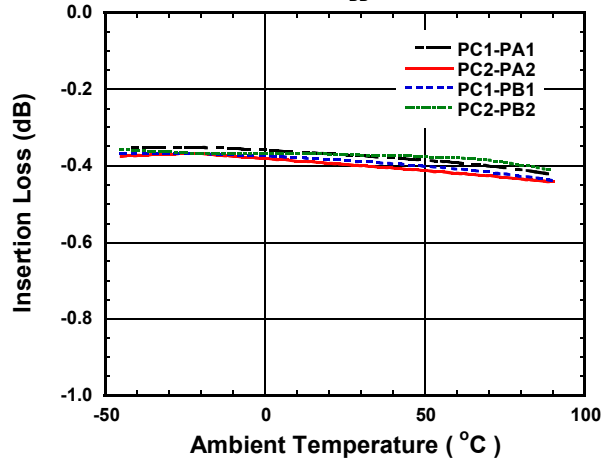
Insertion Loss vs. Ambient Temperature

(PC1-PA1 ON,  $V_{DD}=2.7V$ ,  $V_{CTL}=1.8V$ )



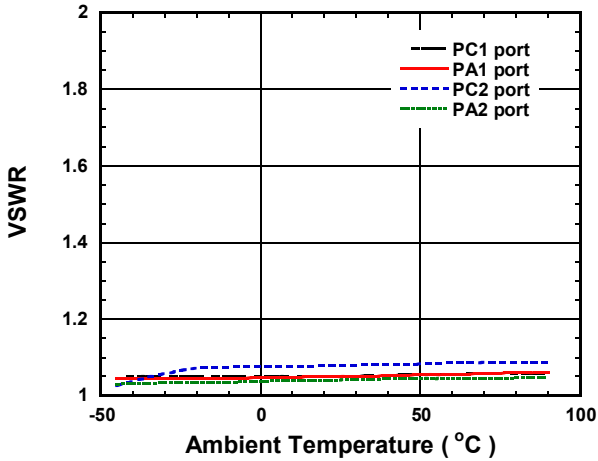
Insertion Loss vs. Ambient Temperature

( $f=2GHz$ ,  $V_{DD}=2.7V$ )



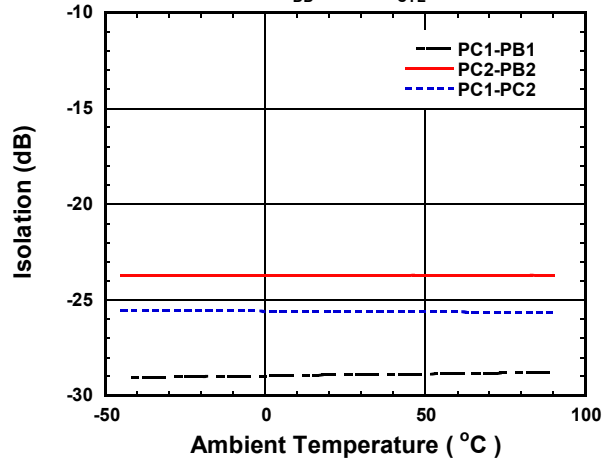
VSWR vs. Ambient Temperature

( $f=2GHz$ ,  $V_{DD}=2.7V$ ,  $V_{CTL}=1.8V$ )



Isolation vs. Ambient Temperature

( $f=2GHz$ ,  $V_{DD}=2.7V$ ,  $V_{CTL}=1.8V$ )

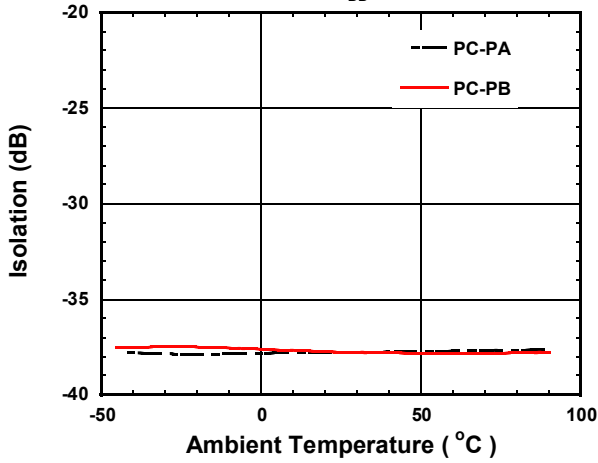


# NJG1690MD7

■特性例 (外部回路 1 による。DC ブロッキングキャパシタ、基板、コネクタの損失含まず)

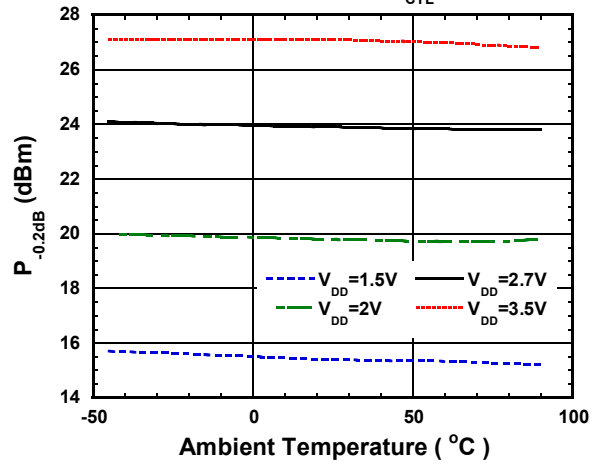
Balanced Mode Isolation vs. Temperature

( $f=2.7\text{GHz}$ ,  $V_{DD}=2.7\text{V}$ )



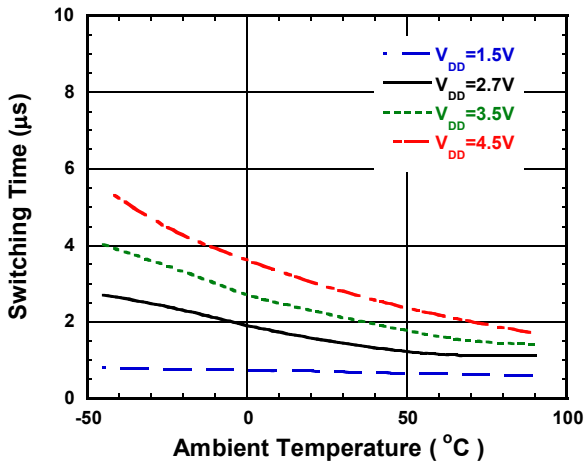
$P_{-0.2\text{dB}}$  vs. Ambient Temperature

( $f=2\text{GHz}$ , PC1-PA1 ON,  $V_{CTL}=1.8\text{V}$ )



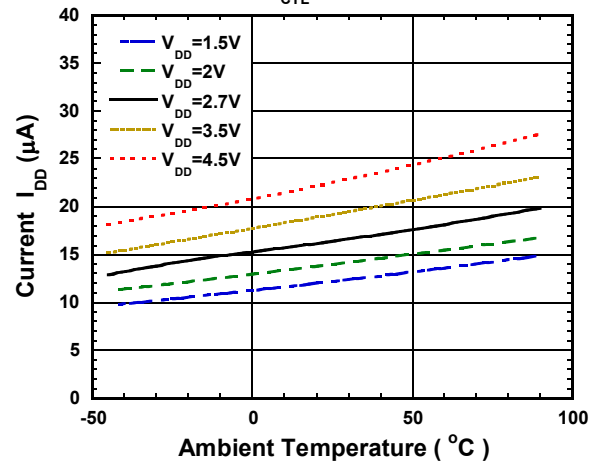
Switching Time vs. Ambient Temperature

( $f=2\text{GHz}$ , PC1-PA1 ON)



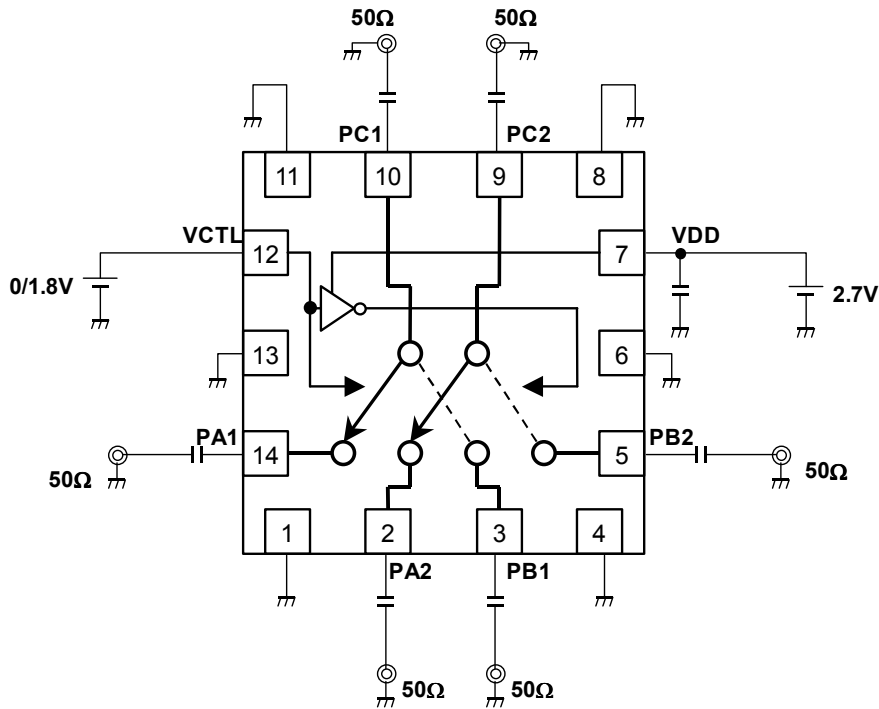
Current  $I_{DD}$  vs. Temperature

( $V_{CTL}=1.8\text{V}$ )

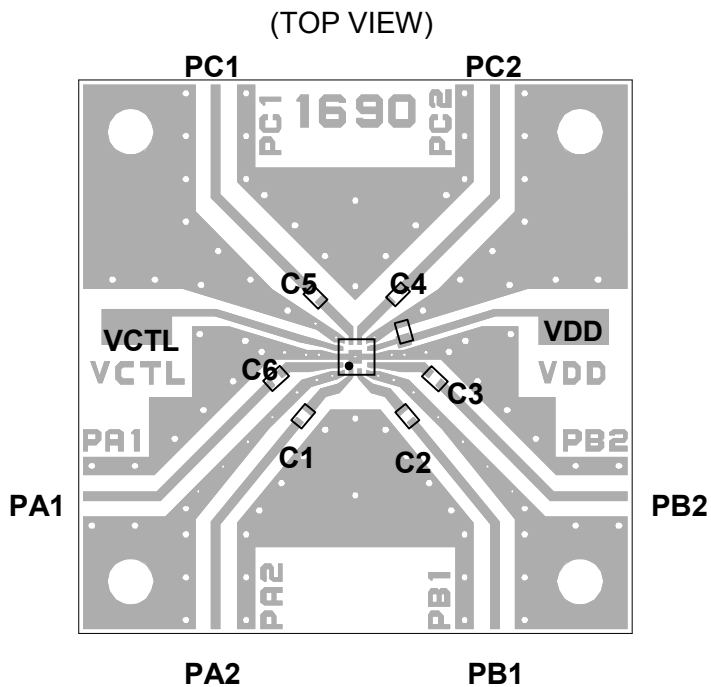




## ■ 外部回路 1 (シングルエンドモード)



## ■ PCB レイアウト 1



基板: FR-4, t=0.2mm  
 キャパシタサイズ: 1005  
 ストリップライン幅: 0.4mm  
 基板サイズ: 26 x 26mm

基板、キャパシタ、コネクタの損失

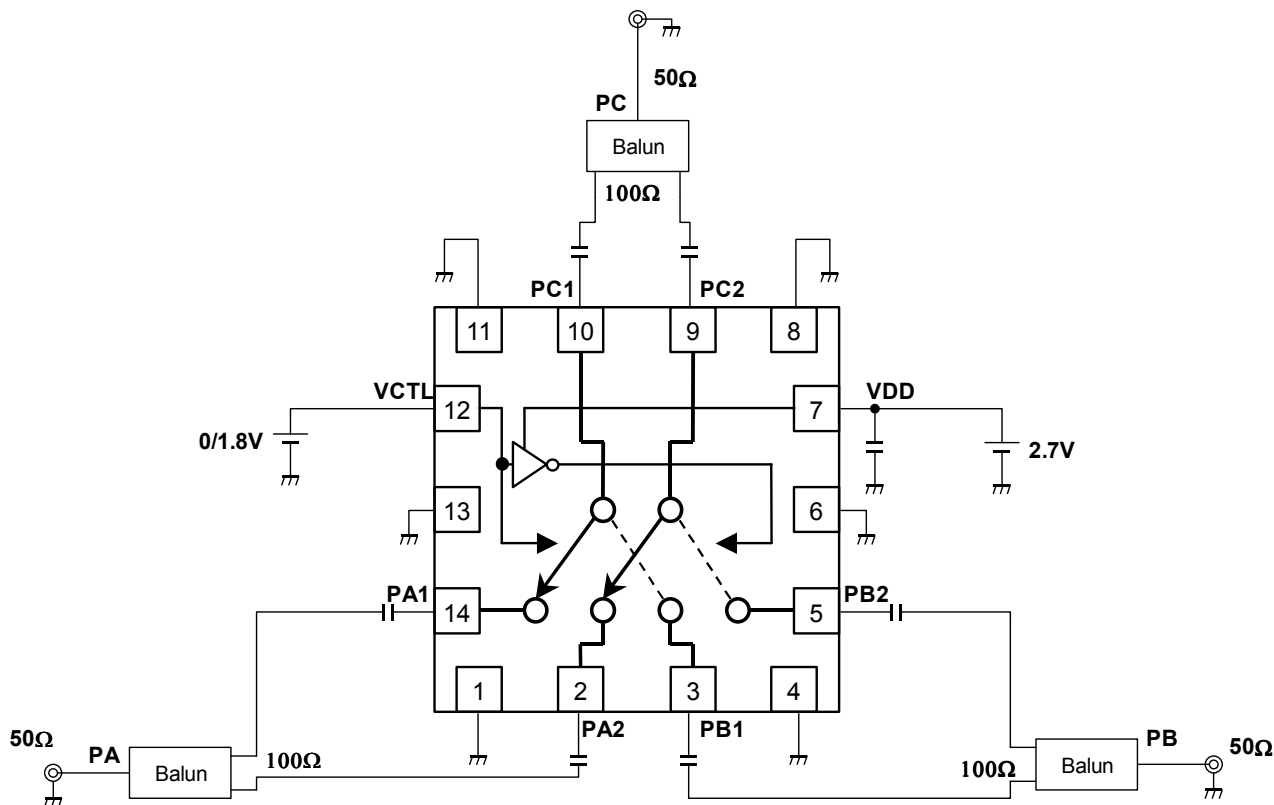
周波数(GHz)	損失 (dB)
1	0.35
2	0.54
2.7	0.68

## ■ 部品表 1

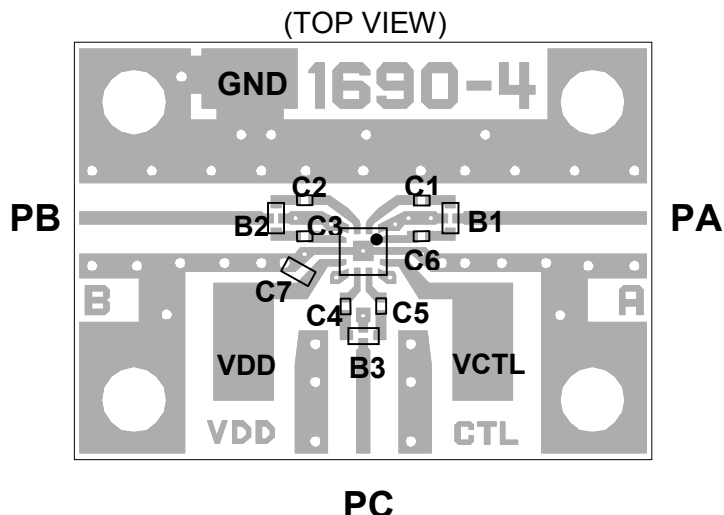
番号	定数	備考
C1~C6	56pF	村田製作所 (GRM15)
C7	1000pF	村田製作所 (GRM15)

# NJG1690MD7

## ■外部回路 2 (バランスモード)



## ■PCB レイアウト 2



基板: FR-4, t=0.2mm  
 キャパシタサイズ: 0603, 1005  
 ストリップライン幅: 0.4mm  
 基板サイズ: 19.4 x 14mm

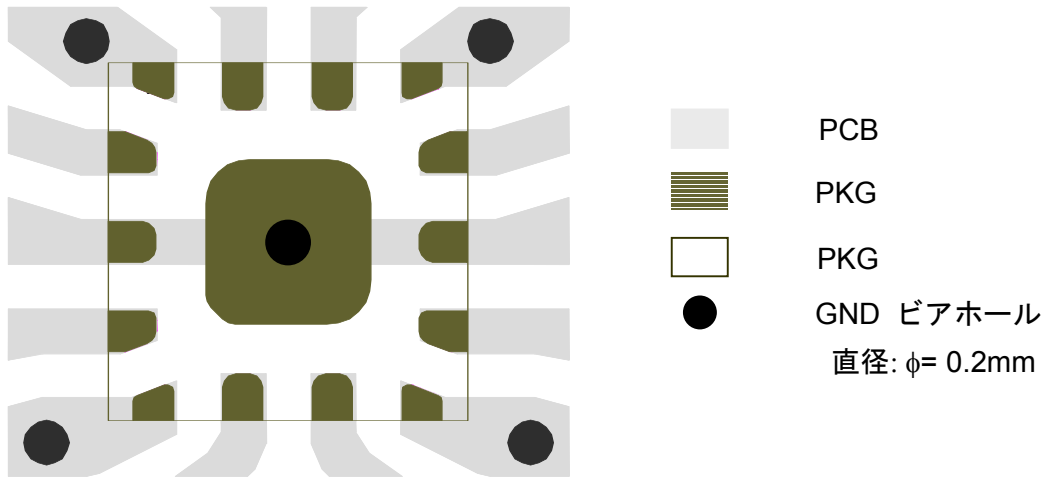
基板、キャパシタ、コネクタの損失

周波数 (GHz)	損失 (dB)
2.7	0.93

## ■部品表 2

番号	定数	備考
C1~C6	56pF	村田製作所 (GRM03)
C7	1000pF	村田製作所 (GRM15)
B1~B3	2500MHz バンド	TDK-EPC (HHM1903A1)

## ■ PCB 基板レイアウトの詳細 (EQFN14-D7)



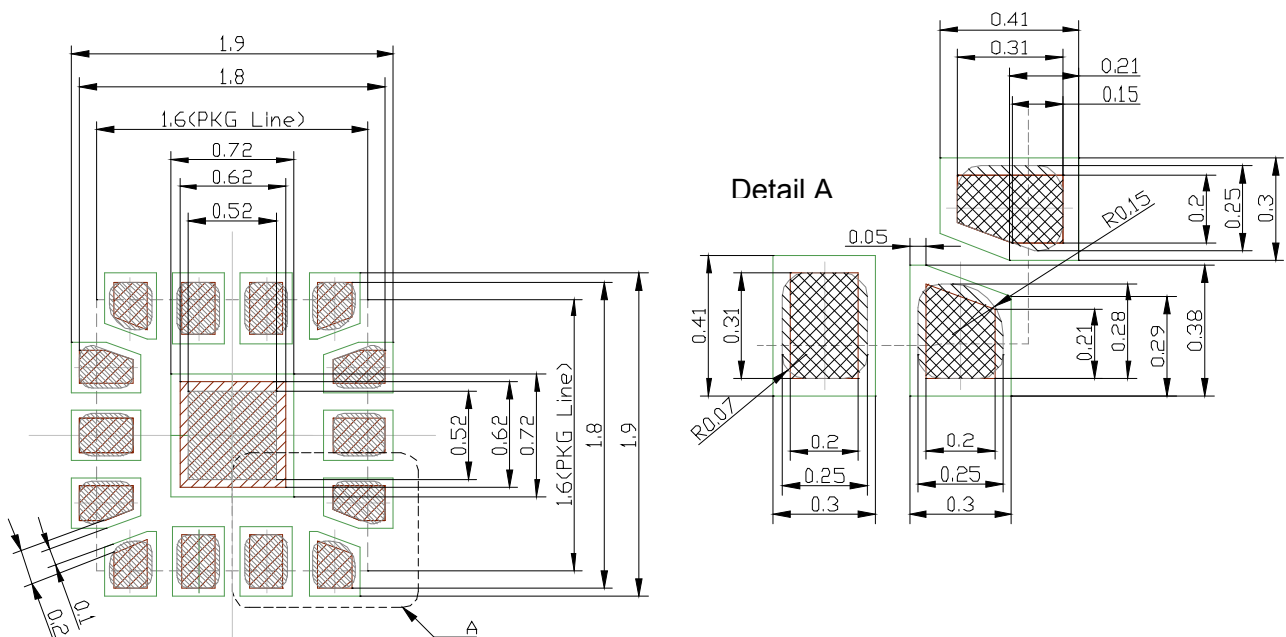
## ■ デバイス使用上の注意事項

- [1] RF 特性を損なわないために、IC の GND 端子は最短距離で基板のグラウンドパターンに接続できるパターンレイアウトを行ってください。またグラウンド用スルーホールも同端子のできるだけ近傍に配置してください。
- [2] RF 特性を損なわないために、グラウンド用スルーホールを 6 ピン及び 13 ピンのできるだけ近傍に配置してください。その方法のひとつとして、IC 裏面の TAB パッド直下にグラウンド用スルーホールを設置することを推奨します。

## ■ EQFN14-D7 パッケージ推奨フィットパターン

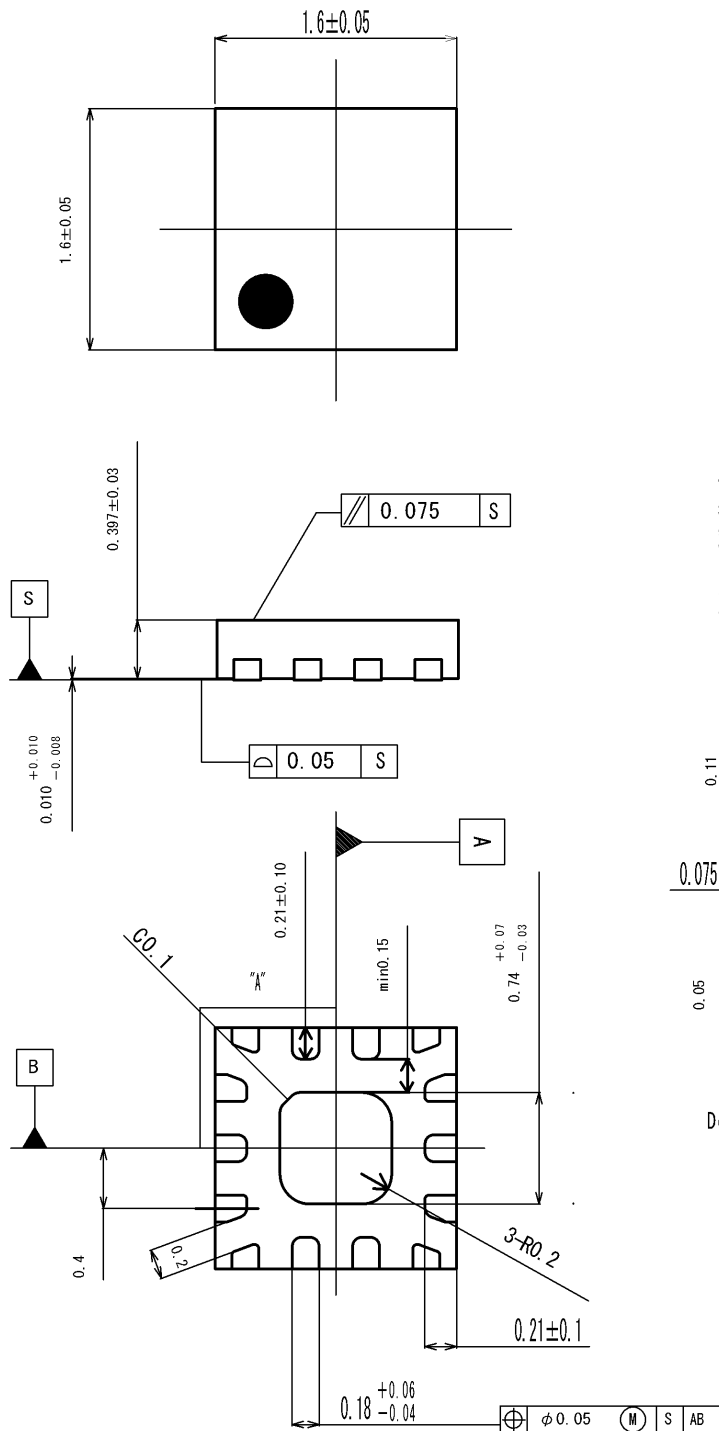
- :ランド
- :マスク (開口部) \*メタルマスク厚 : 100 $\mu\text{m}$
- :レジスト (開口部)

PKG: 1.6mm x 1.6mm  
Pin pitch: 0.4mm

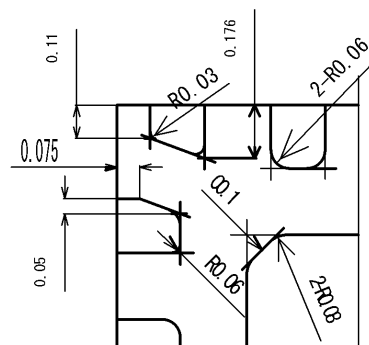


# NJG1690MD7

## ■パッケージ外形図 (EQFN14-D7)



単位 : mm  
 基板 : Cu  
 端子処理 : SnBi メッキ  
 モールド樹脂 : エポキシ樹脂  
 重量 : 3.4mg



**ガリウムヒ素(GaAs)製品取り扱い上の注意事項**  
 この製品は、法令で指定された有害物のガリウムヒ素(GaAs)を使用しております。危険防止のため、製品を焼いたり、砕いたり、化学処理を行い気体や粉末にしないでください。廃棄する場合は、関連法規に従い、一般産業廃棄物や家庭ゴミとは混ぜないでください。

この製品は静電放電・サージ電圧により破壊されやすいため、取り扱いにご注意下さい。

**<注意事項>**  
 このデータブックの掲載内容の正確さには万全を期しておりますが、掲載内容について何らかの法的な保証を行うものではありません。とくに応用回路については、製品の代表的な応用例を説明するためのものです。また、工業所有権その他の権利の実施権の許諾を伴うものではなく、第三者の権利を侵害しないことを保証するものでもありません。