

ハイパワーSP4T スイッチ GaAs MMIC

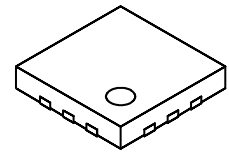
■概要

NJG1684ME2 は LTE/UMTS/CDM/GSM などの通信端末に最適なハイパワーSP4T スイッチです。

本製品は切替電圧 1.8V に対応し、低損失、高アイソレーション、高線形性を 2.7GHz までカバーすることを特徴としています。保護素子を内蔵することにより高い ESD 耐圧を有しています。

本製品は DC ブロッキングキャパシタが不要であるため実装面積の縮小が可能です (DC バイアス印加時は除く)。EQFN12-E2 パッケージの採用により、小型・薄型化を実現します。

■外形



NJG1684ME2

■アプリケーション

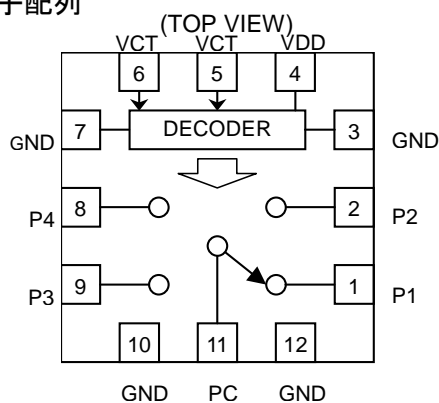
LTE,UMTS,CDMA,GSM 用途

PA 出力切替、マルチバンド切替、アンテナの切替、及びその他汎用用途

■特徴

- 低切替電圧 $V_{CTL(H)}=1.8V$ typ.
- 低動作電圧 $V_{DD}=2.7V$ typ.
- 低歪特性
 - IIP3=+70dBm typ. @f=829+849MHz, $P_{IN}=24dBm$
 - IIP3=+69dBm typ. @f=1870+1910MHz, $P_{IN}=24dBm$
 - 2次高調波 -80dBc typ. @f=0.9GHz, $P_{IN}=35dBm$
 - 3次高調波 -77dBc typ. @f=0.9GHz, $P_{IN}=35dBm$
- 低挿入損失
 - 0.25dB typ. @f=0.9GHz, $P_{IN}=35dBm$, $V_{DD}=2.7V$
 - 0.30dB typ. @f=1.9GHz, $P_{IN}=33dBm$, $V_{DD}=2.7V$
 - 0.35dB typ. @f=2.7GHz, $P_{IN}=27dBm$, $V_{DD}=2.7V$
- 0.1dB 圧縮時入力電力 36dBm min.
- 小型・薄型パッケージ EQFN12-E2(Package Size: 1.8 x 1.8 x 0.397mm typ.)
- RoHS 対応, ハロゲンフリー, MSL1

■端子配列



端子配列

- | | |
|----------|---------|
| 1. P1 | 7. GND |
| 2. P2 | 8. P4 |
| 3. GND | 9. P3 |
| 4. VDD | 10. GND |
| 5. VCTL2 | 11. PC |
| 6. VCTL1 | 12. GND |
- Exposed PAD: GND

■真理値表

"H"= $V_{CTL(H)}$, "L"= $V_{CTL(L)}$		
VCTL1	VCTL2	通過経路
L	L	PC-P1
H	L	PC-P2
L	H	PC-P3
H	H	PC-P4

注: 本資料に記載された内容は予告無く変更する事がありますのでご了承ください。

NJG1684ME2

■絶対最大定格

($Z_s=Z_l=50\Omega$, $T_a=+25^\circ\text{C}$)

項目	記号	条件	定格	単位
入力電力	P_{IN}	$V_{DD}=2.7\text{V}$, $V_{CTL}=0/1.8\text{V}$	37	dBm
電源電圧	V_{DD}	VDD 端子	5.0	V
切替電圧	V_{CTL}	VCTL1, VCTL2 端子	5.0	V
消費電力	P_D	4層基板(101.5 x 114.5mm, スルーホール有り)FR-4 基板実装時, $T_j=150^\circ\text{C}$	1200	mW
動作温度	T_{opr}		-40~+85	$^\circ\text{C}$
保存温度	T_{stg}		-55~+150	$^\circ\text{C}$

■電気的特性 1 (DC 特性)

(共通条件: $T_a=+25^\circ\text{C}$, $Z_s=Z_l=50\Omega$, $V_{DD}=2.7\text{V}$, $V_{CTL(H)}=1.8\text{V}$, $V_{CTL(L)}=0\text{V}$, 外部回路による)

項目	記号	条件	最小値	標準値	最大値	単位
電源電圧	V_{DD}	VDD 端子	2.375	2.7	5.0	V
動作電流	I_{DD}	RF 無信号時	-	180	400	μA
切替電圧(Low)	$V_{CTL(L)}$	VCTL1, VCTL2 端子	0	-	0.45	V
切替電圧(High)	$V_{CTL(H)}$	VCTL1, VCTL2 端子	1.35	1.8	5.0	V
切替電流	I_{CTL}	$V_{CTL(H)}=1.8\text{V}$	-	4	10	μA

■ 電気的特性 2 (RF 特性)

(共通条件: $T_a=+25^{\circ}\text{C}$, $Z_S=Z_L=50\Omega$, $V_{DD}=2.7\text{V}$, $V_{CTL(H)}=1.8\text{V}$, $V_{CTL(L)}=0\text{V}$, 外部回路による)

項目	記号	条件	最小値	標準値	最大値	単位
挿入損失 1	LOSS1	f=0.9GHz, $P_{IN}=35\text{dBm}$	-	0.25	0.40	dB
挿入損失 2	LOSS2	f=1.9GHz, $P_{IN}=33\text{dBm}$	-	0.30	0.45	dB
挿入損失 3	LOSS3	f=2.7GHz, $P_{IN}=27\text{dBm}$	-	0.35	0.50	dB
アイソレーション 1	ISL1	f=0.9GHz, $P_{IN}=35\text{dBm}$	30	37	-	dB
アイソレーション 2	ISL2	f=1.9GHz, $P_{IN}=33\text{dBm}$	25	29	-	dB
アイソレーション 3	ISL3	f=2.7GHz, $P_{IN}=27\text{dBm}$	22	25	-	dB
0.1dB 圧縮時入力電力	$P_{-0.1\text{dB}}$	f=0.9GHz, 1.9GHz, 2.7GHz	36	-	-	dBm
2 次高調波(1)	$2f_o(1)$	f=0.9GHz, $P_{IN}=35\text{dBm}$	-	-80	-70	dBc
2 次高調波(2)	$2f_o(2)$	f=1.9GHz, $P_{IN}=33\text{dBm}$	-	-80	-70	dBc
2 次高調波(3)	$2f_o(3)$	f=2.7GHz, $P_{IN}=27\text{dBm}$	-	-90	-70	dBc
3 次高調波(1)	$3f_o(1)$	f=0.9GHz, $P_{IN}=35\text{dBm}$	-	-77	-70	dBc
3 次高調波(2)	$3f_o(2)$	f=1.9GHz, $P_{IN}=33\text{dBm}$	-	-77	-70	dBc
3 次高調波(3)	$3f_o(3)$	f=2.7GHz, $P_{IN}=27\text{dBm}$	-	-90	-70	dBc
入力 3 次インターセプト ポイント(1)	IIP3(1)	f=829+849MHz $P_{IN}=24\text{dBm}$ each *1	+65	+70	-	dBm
入力 3 次インターセプト ポイント(2)	IIP3(2)	f=1870+1910MHz $P_{IN}=24\text{dBm}$ each *1	+63	+69	-	dBm
定在波比	VSWR	f=2.7GHz, ON 状態	-	1.2	1.4	
スイッチング時間	T_{SW}	50% V_{CTL} to 10%/90% RF	-	1.0	5.0	μs

*1: IIP3 は以下の式にて定義します

$$IIP3=(3 \times P_{out-IM3})/2+LOSS$$

NJG1684ME2

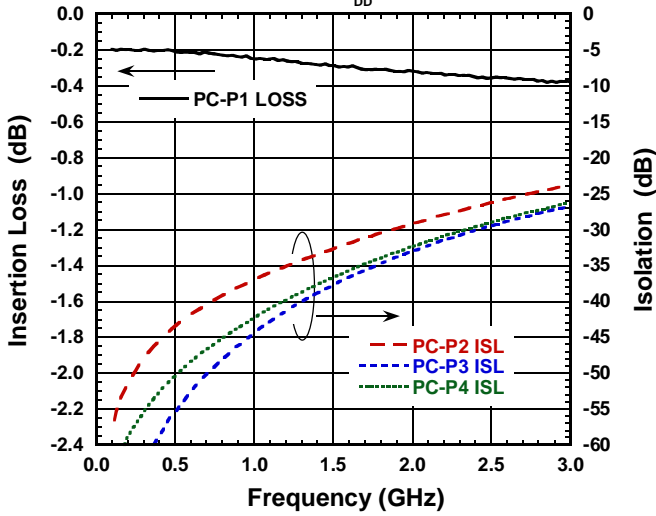
■端子説明

端子番号	端子記号	機能
1	P1	RF 端子です。真理値表に従って VCTL1, VCTL2 端子に制御電圧を印加することで PC 端子と接続されます。
2	P2	RF 端子です。真理値表に従って VCTL1, VCTL2 端子に制御電圧を印加することで PC 端子と接続されます。
3	GND	接地端子です。RF 特性を劣化させないために IC ピン近傍で接地電位に接続してください。
4	VDD	電源電圧入力端子です。+2.375V 以上+5.0V 以下の正電源電圧を印加してください。RF 特性への影響を抑止する為に対 GND 間にバイパス用のキャパシタを IC 近傍に接続することをお勧めします。
5	VCTL2	切替電圧入力端子です。"H"レベルは+1.35V 以上+5.0V 以下の電圧を、"L"レベルは 0V 以上+0.45V 以下の電圧を印加してください。
6	VCTL1	切替電圧入力端子です。"H"レベルは+1.35V 以上+5.0V 以下の電圧を、"L"レベルは 0V 以上+0.45V 以下の電圧を印加してください。
7	GND	接地端子です。RF 特性を劣化させないために IC ピン近傍で接地電位に接続してください。
8	P4	RF 端子です。真理値表に従って VCTL1, VCTL2 端子に制御電圧を印加することで PC 端子と接続されます。
9	P3	RF 端子です。真理値表に従って VCTL1, VCTL2 端子に制御電圧を印加することで PC 端子と接続されます。
10	GND	接地端子です。RF 特性を劣化させないために IC ピン近傍で接地電位に接続してください。
11	PC	共通 RF 端子です。VCTL1, VCTL2 端子に制御電圧を印加することにより P1 端子から P4 端子の各 RF 端子と接続されます。
12	GND	接地端子です。RF 特性を劣化させないために IC ピン近傍で接地電位に接続してください。
Exposed Pad	GND	IC 裏面の接地端子(0V)です。

■ 特性例(推奨回路による。基板、コネクタの損失は含まず)

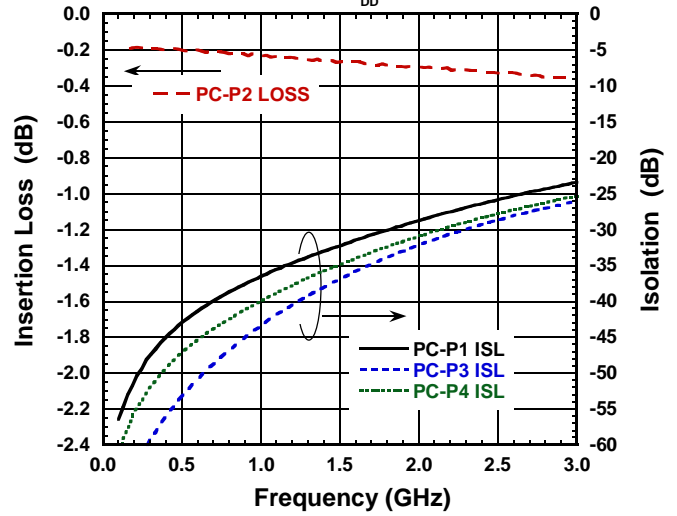
Loss, ISL vs Frequency

(PC-P1 ON, $V_{DD}=2.7V$)



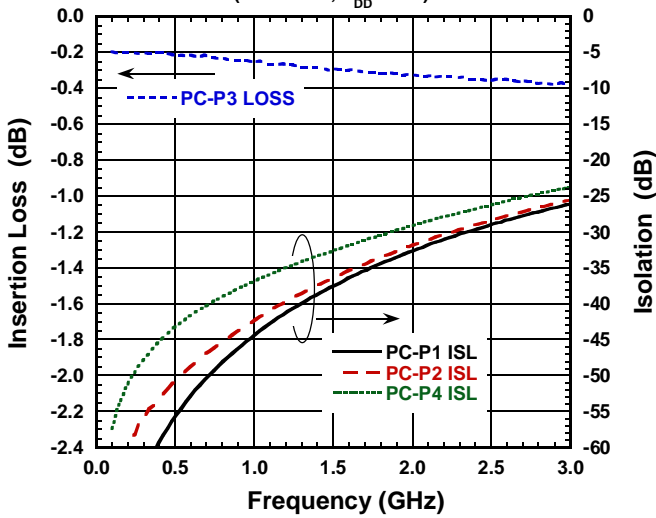
Loss, ISL vs Frequency

(PC-P2 ON, $V_{DD}=2.7V$)



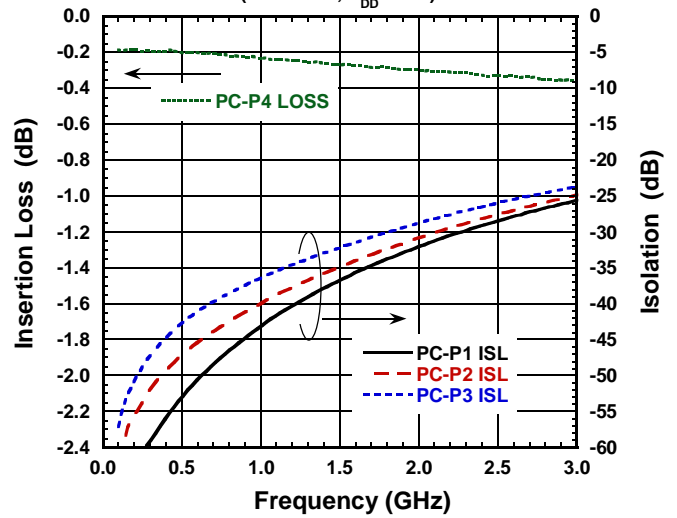
Loss, ISL vs Frequency

(PC-P3 ON, $V_{DD}=2.7V$)



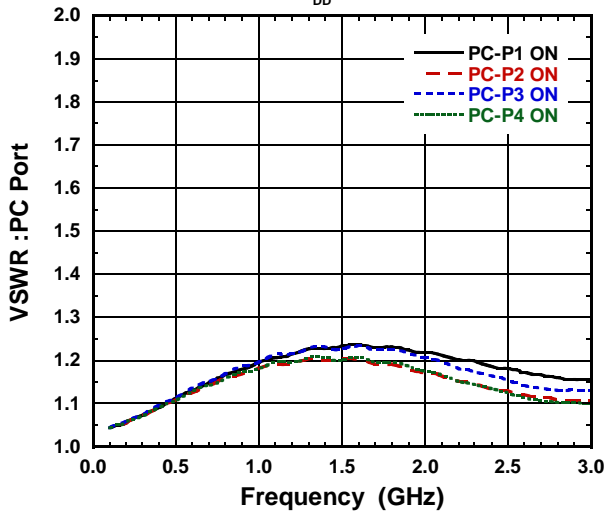
Loss, ISL vs Frequency

(PC-P4 ON, $V_{DD}=2.7V$)



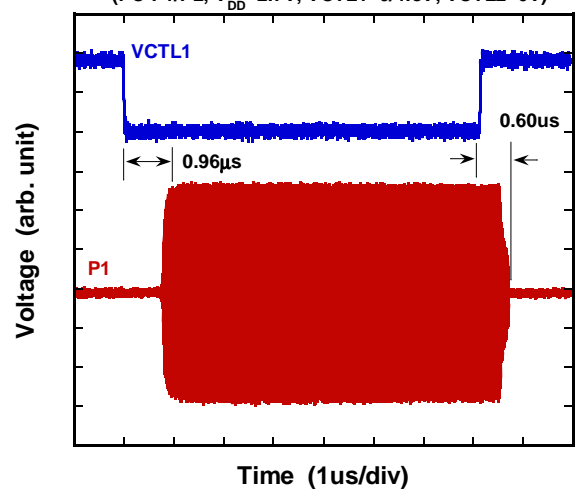
VSWR vs Frequency

($V_{DD}=2.7V$)



Switching Time

(PC-P1/P2, $V_{DD}=2.7V$, $V_{CTL1}=0/1.8V$, $V_{CTL2}=0V$)

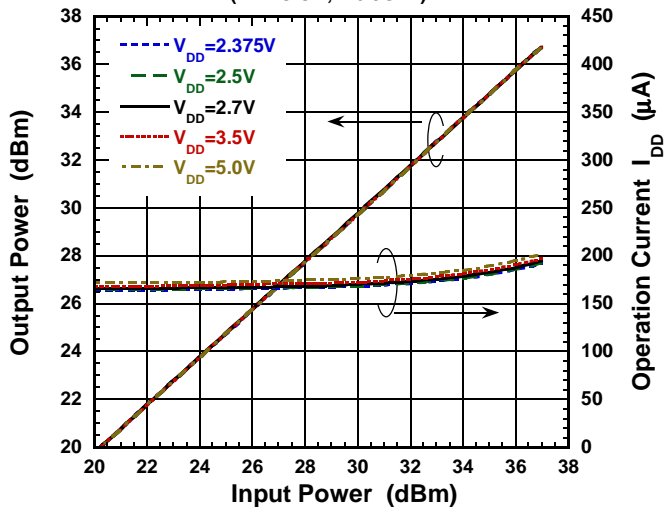


NJG1684ME2

■ 特性例(推奨回路による。基板、コネクタの損失は含まず)

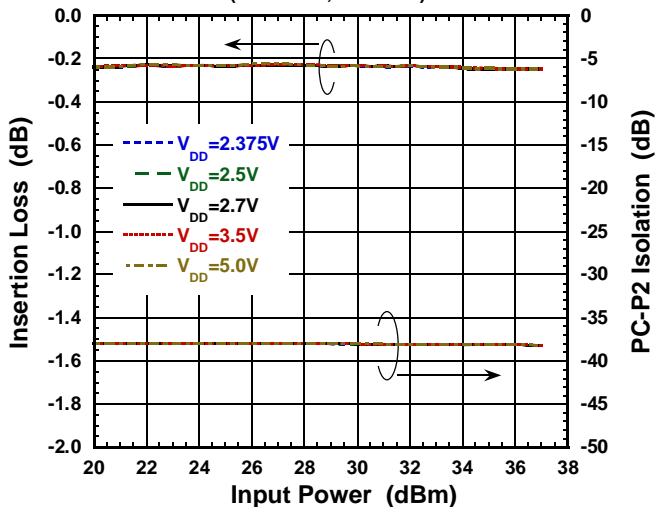
Output Power, I_{DD} vs Input Power

(P1-PC ON, $f=0.9\text{GHz}$)



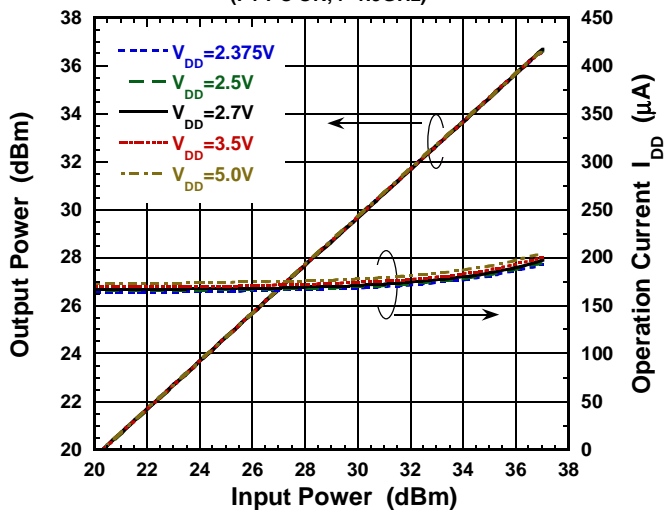
Loss, ISL vs Input Power

(P1-PC ON, $f=0.9\text{GHz}$)



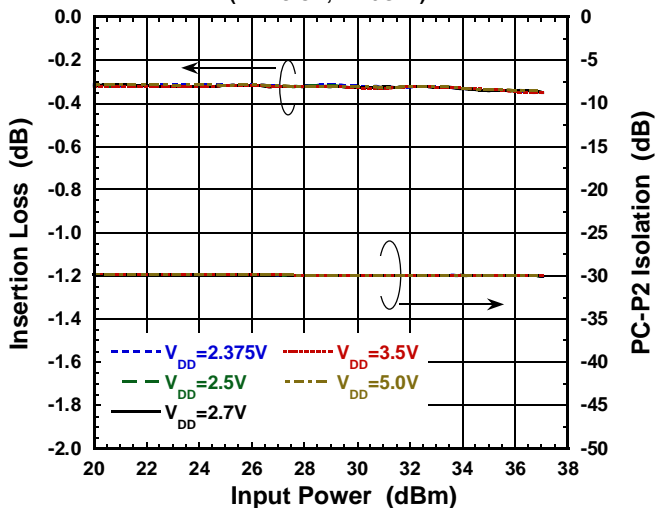
Output Power, I_{DD} vs Input Power

(P1-PC ON, $f=1.9\text{GHz}$)



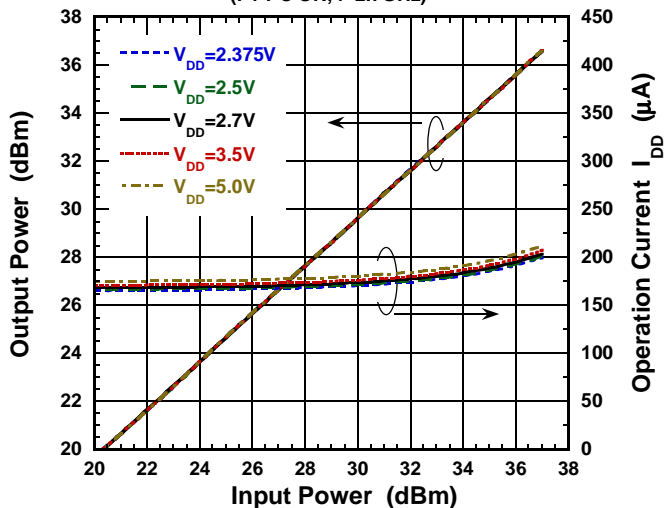
Loss, ISL vs Input Power

(P1-PC ON, $f=1.9\text{GHz}$)



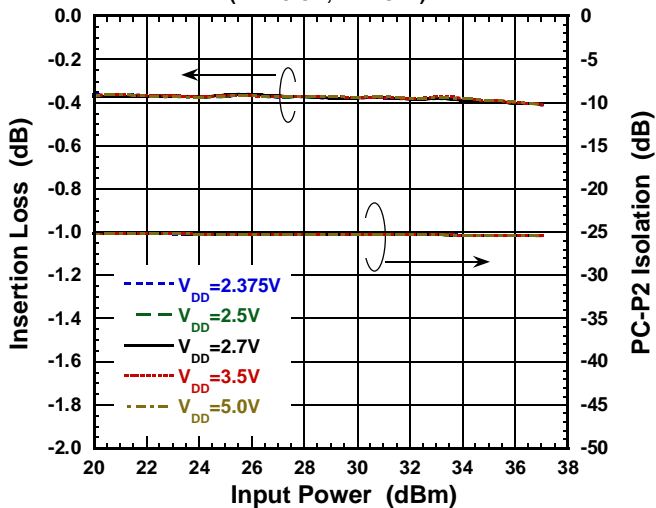
Output Power, I_{DD} vs Input Power

(P1-PC ON, $f=2.7\text{GHz}$)



Loss, ISL vs Input Power

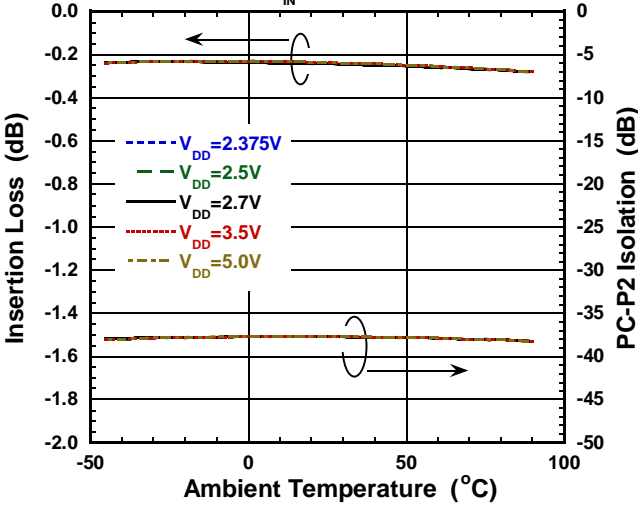
(P1-PC ON, $f=2.7\text{GHz}$)



■ 特性例(推奨回路による。基板、コネクタの損失は含まず)

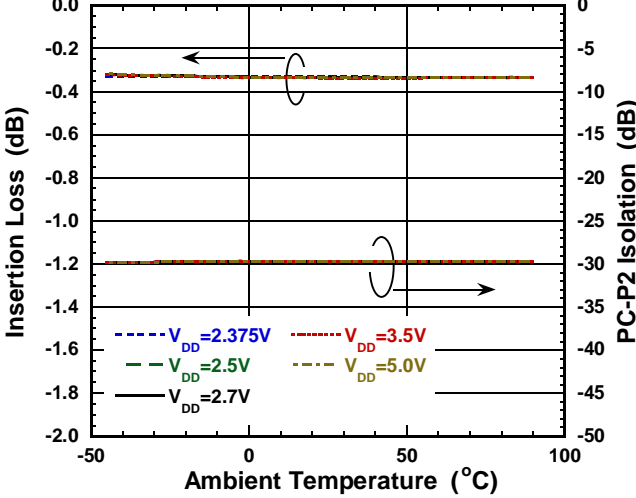
Loss, ISL vs Temperature

(f=0.9GHz, P_{IN}=35dBm, PC-P1 ON)



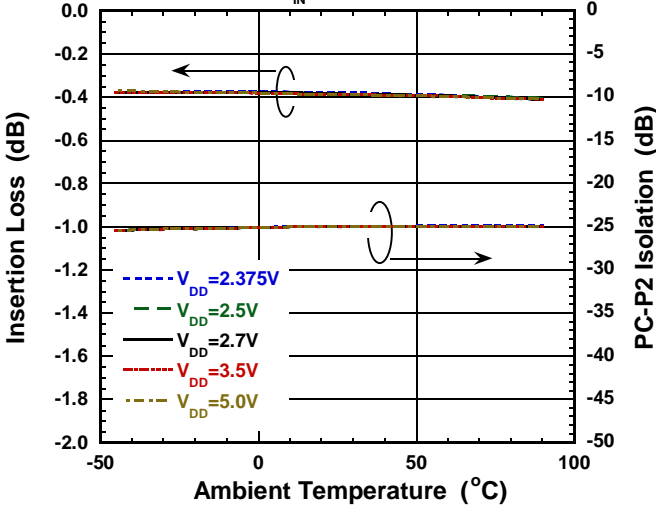
Loss, ISL vs Temperature

(f=1.9GHz, P_{IN}=33dBm, PC-P1 ON)



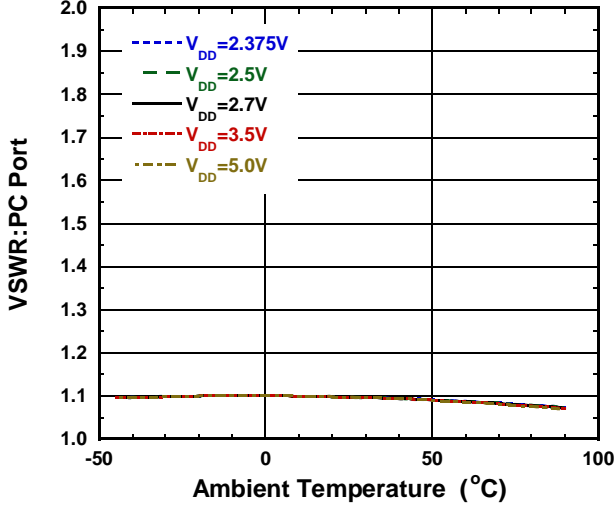
Loss, ISL vs Temperature

(f=2.7GHz, P_{IN}=27dBm, PC-P1 ON)



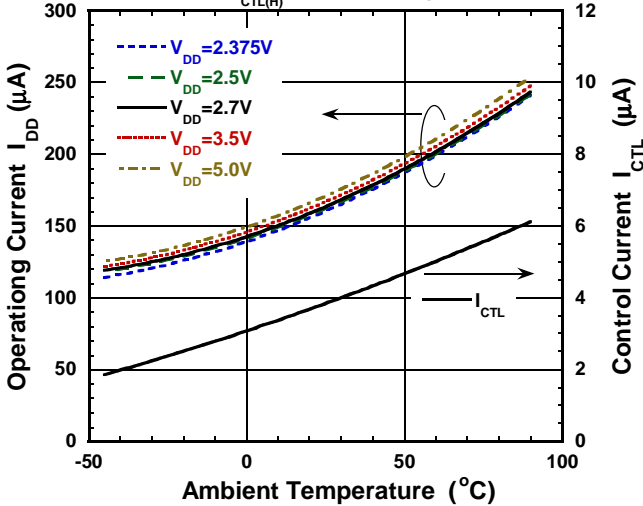
VSWR vs Temperature

(f=2.7GHz, P1-PC ON)



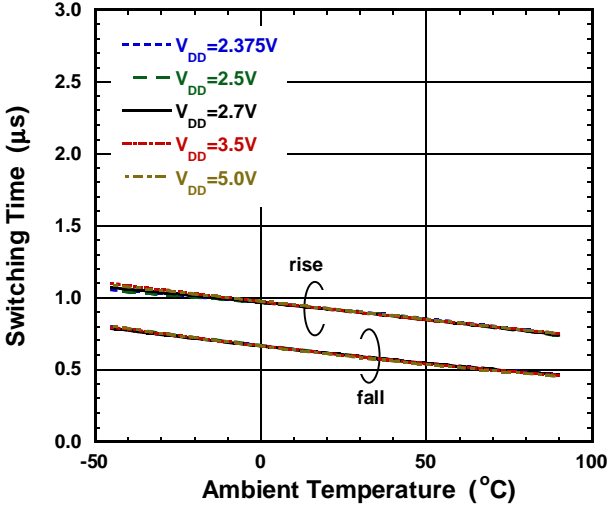
I_{DD}, I_{CTL} vs Temperature

(P2-PC ON, V_{CTL(H)}=1.8V, No RF signal input)



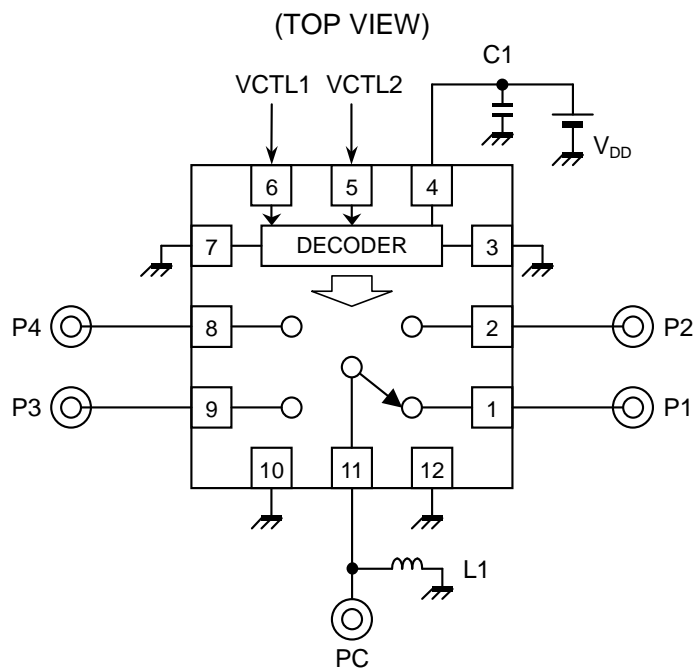
Switching Time vs Temperature

(PC-P1, VCTL1=H/L, VCTL2=L)



NJG1684ME2

■外部回路図

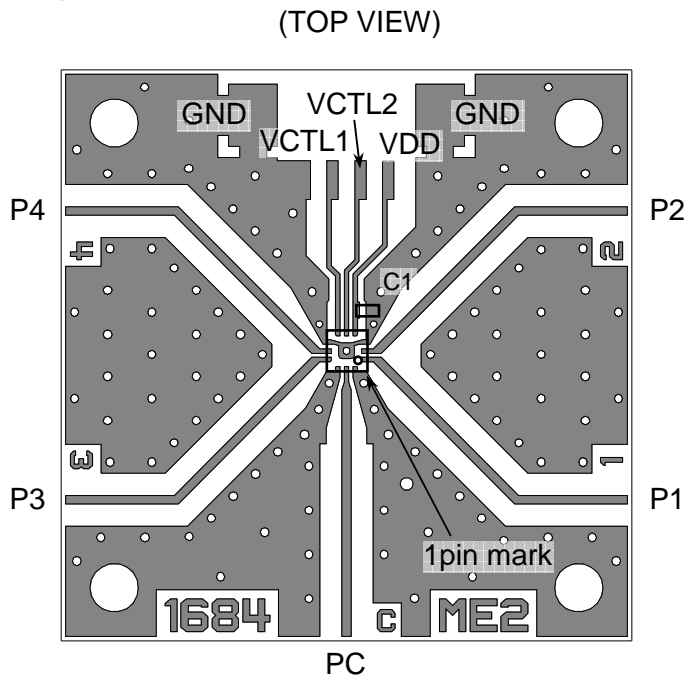


部品表

部品番号	定数	備考
C1	1000pF	村田製作所 (GRM15)
L1 (注 1)	68nH	太陽誘電 (HK1005)

注 1 : PC 端子に特に高い ESD 耐圧が必要な場合は、対 GND 間にインダクタ L1 を接続してください

■基板実装例



PCB サイズ: 26.0 x 26.0mm

PCB: FR-4, t=0.2mm

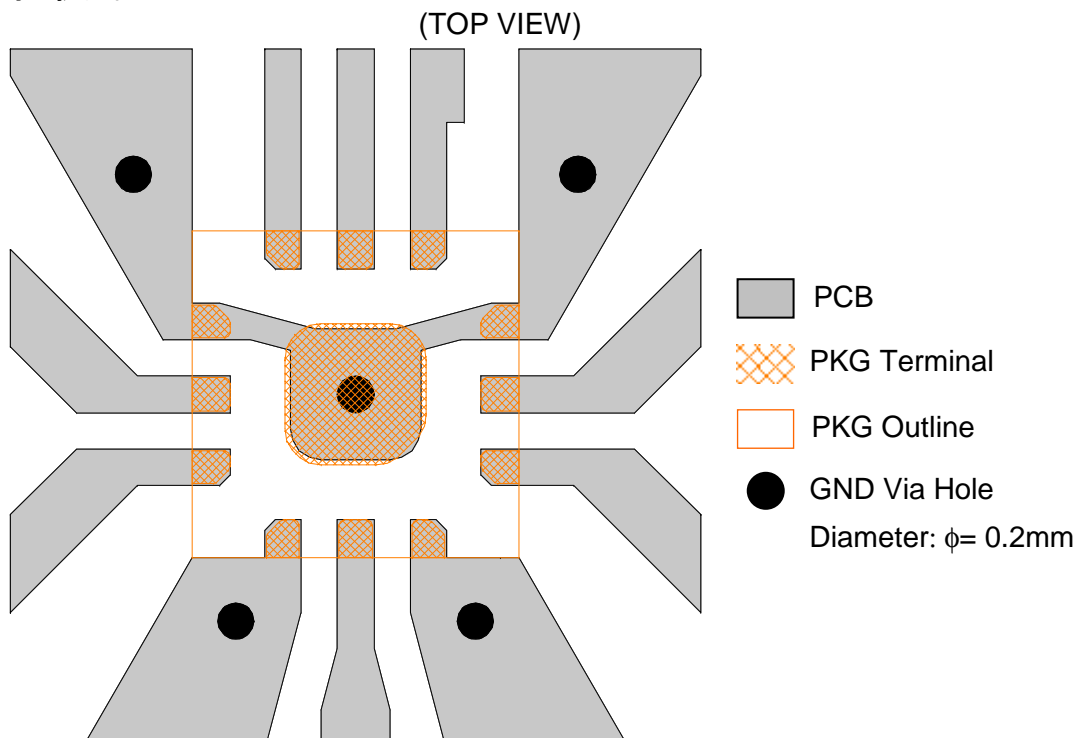
キャパシタ: 1005 サイズ

ストリップライン幅=0.4mm

コネクタ損失を含む基板損失

周波数 (GHz)	基板損失(dB)
0.9	0.27
1.9	0.50
2.7	0.61

■パッケージ周辺拡大図



デバイス使用上の注意事項

- [1] RF 端子が接地電位の場合、DC ブロッキングキャパシタは不要です。ただし、本製品の各 RF 端子は GND レベルにバイアスされているため、本製品に接続される他のデバイスの端子が DC バイアスされている場合には、その端子には DC ブロッキングキャパシタが必要です。
- [2] VDD 端子にはスイッチの RF 特性への影響を抑止するために、対 GND にバイパスコンデンサ(C1)を接続することをお勧めします。
- [3] RF 特性を損なわないために、IC の GND 端子は最短距離で基板のグランドパターンに接続できるパターンレイアウトを行ってください。また、グランド用スルーホールも同ピンのできるだけ近傍に配置してください。

NJG1684ME2

■EQFN12-E2 パッケージ推奨フットパターン

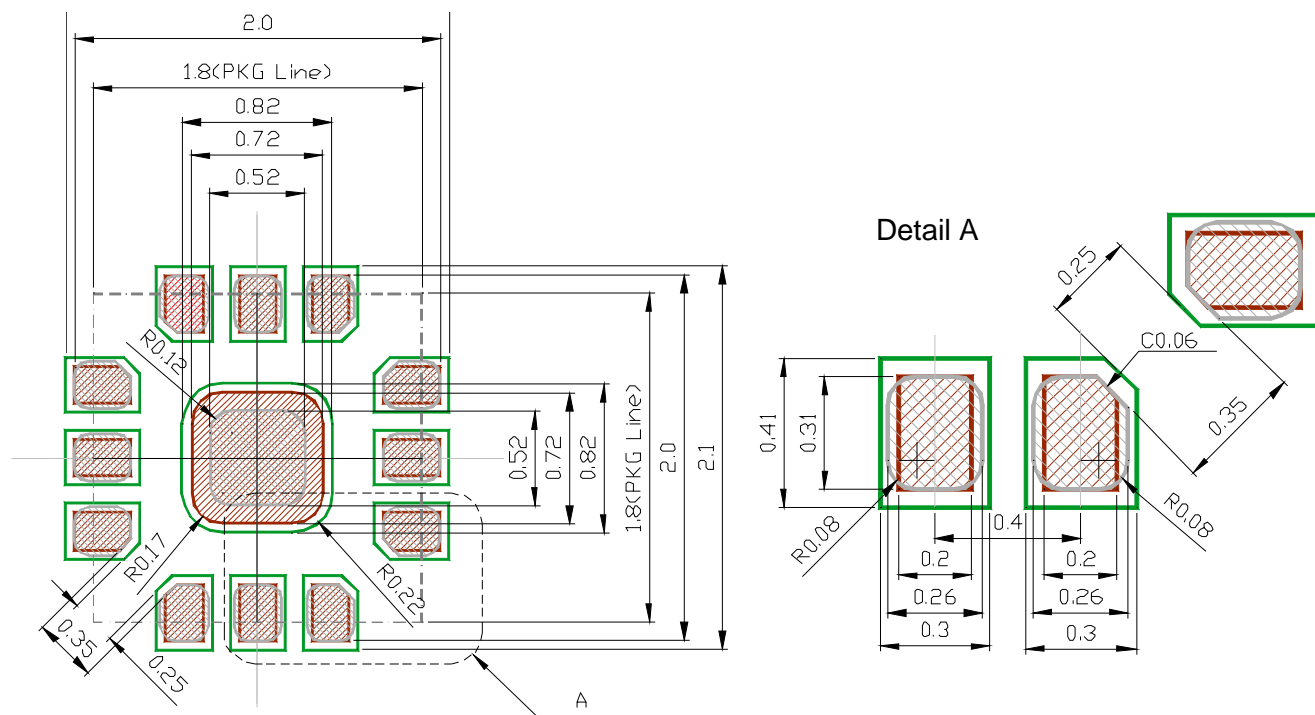
■ : Land

■ : Mask (Open area) *Metal mask thickness : 100um

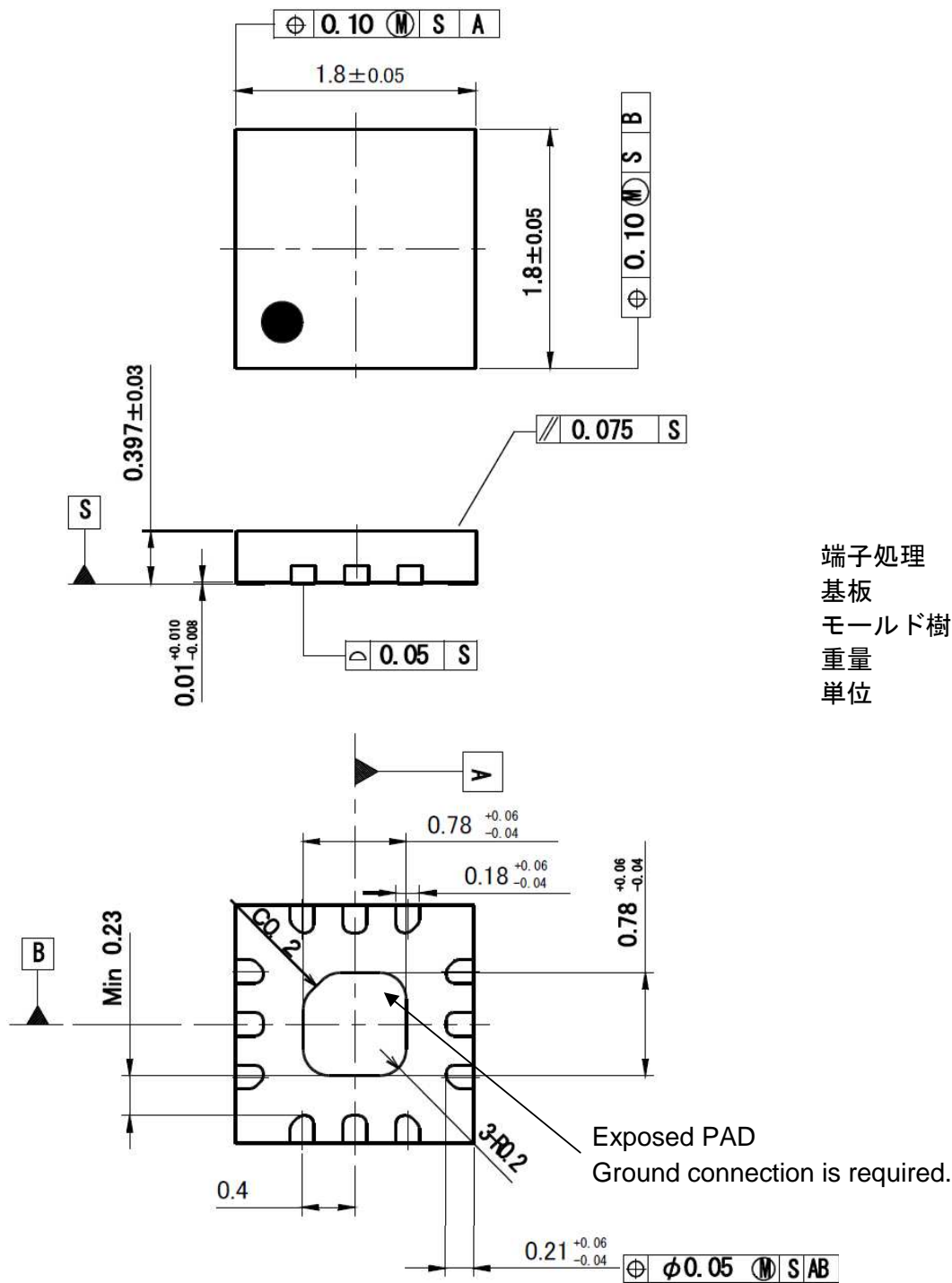
□ : Resist(Open area)

PKG : 1.8mm x 1.8mm

Pin pitch : 0.4mm



■パッケージ外形図 (EQFN12-E2)



端子処理	: SnBi メッキ
基板	: Cu
モールド樹脂	: エポキシ樹脂
重量	: 3.7mg
単位	: mm

ガリウムヒ素(GaAs)製品取り扱い上の注意事項

この製品は、法令で指定された有害物のガリウムヒ素(GaAs)を使用しております。危険防止のため、製品を焼いたり、砕いたり、化学処理を行い気体や粉末にしないでください。廃棄する場合は、関連法規に従い、一般産業廃棄物や家庭ゴミとは混ぜないでください。

この製品は静電放電・サージ電圧により破壊されやすいため、取り扱いにご注意下さい。

<注意事項>

このデータブックの掲載内容の正確さには万全を期しておりますが、掲載内容について何らかの法的な保証を行うものではありません。とくに応用回路については、製品の代表的な応用例を説明するためのものです。また、工業所有権その他の権利の実施権の許諾を伴うものではなく、第三者の権利を侵害しないことを保証するものでもありません。