

# **NJU26203A アプリケーションノート**

## **ハードウェアマニュアル**

**新日本無線株式会社**

## 目 次

1. 概要.....	2
2. NJU26203A ブロック図.....	2
3. 応用回路例.....	3
3.1 応用回路例1 “DIR、NJU26203A、DAC 使用時の回路例 (I <sup>2</sup> C Bus 使用)”.....	3
3.2 応用回路例2 “ADC、NJU26203A、DAC 使用時の回路例 (I <sup>2</sup> C Bus 使用)”.....	3
3.3 応用回路例3 “DIR、ADC、NJU26203A、DAC 使用時の回路例 (I <sup>2</sup> C Bus 使用)”.....	3
3.4 応用回路例4 “DIR、ADC、NJU26203A、DAC 使用時の回路例 (4線シリアルバス使用)”.....	3
4. マスター／スレーブモード.....	4
4.1 マスター／スレーブモードの定義.....	4
4.2 DSP の MCK クロック信号.....	4
4.3 マスター／スレーブモードの使用方法.....	4
5. DIR の MCK クロック.....	4
6. ADC、DAC の MCK クロック.....	5
7. 水晶発振回路.....	5
8. リセット回路.....	5
9. 設計上の諸注意.....	6

### ＜注意事項＞

本アプリケーションノートに掲載されている製品の仕様等は、予告なく変更することがあります。  
 ご使用にあたっては、納入仕様書の取り交わしが必要です。  
 このアプリケーションノートの掲載内容の正確さには万全を期しておりますが、掲載内容について何らかの法的な保証を行うものではありません。とくに応用回路・特性例については、製品の代表的な応用例を説明するためのものです。また、工業所有権その他の権利の実施権の許諾を伴うものではなく、第三者の権利を侵害しないことを保証するものではありません。

# NJU26203A アプリケーションノート

## ハードウェアマニュアル

### 1. 概要

このアプリケーションノートは、NJU26203Aハードウェアの使用方法について説明します。下記の4種類の応用回路の紹介及び、マスター/スレーブモード、MCKクロック、水晶発振回路、リセット回路、設計上の諸注意、等について説明します。

4種類の応用回路例。

- 1) DIR、NJU26203A、DAC使用時の回路例 (I<sup>2</sup>C Bus使用)
- 2) ADC、NJU26203A、DAC使用時の回路例 (I<sup>2</sup>C Bus使用)
- 3) DIR、ADC、NJU26203A、DAC使用時の回路例 (I<sup>2</sup>C Bus使用)
- 4) DIR、ADC、NJU26203A、DAC使用時の回路例 (4線シリアルバス使用)

### 2. NJU26203A ブロック図

図1に NJU26203A のブロック図を示します。

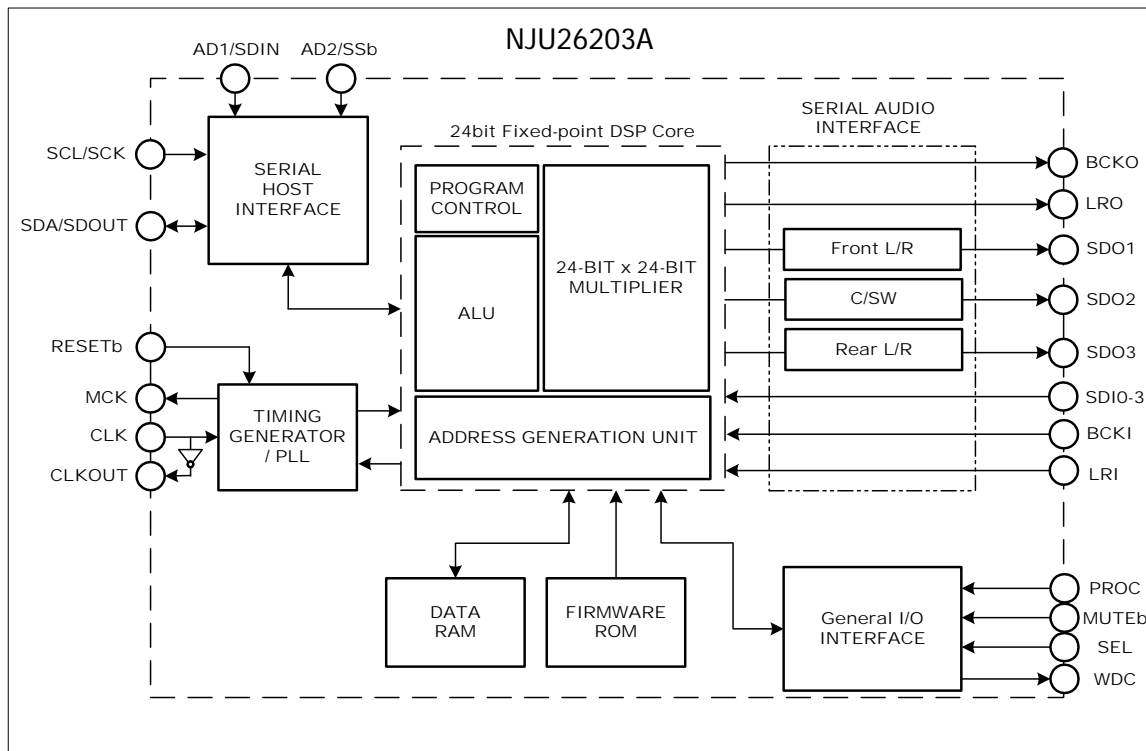


図1 NJU26203A ブロック図

注1) NJU26203A のデジタルオーディオ I/O は、4 系統の入力と 4 系統の出力があります。本回路例では、すべての入力端子を使用していません。入出力を変更する場合は、データシートを参照の上、変更して下さい。

注2) 本資料の他、NJU26203Aに関し、次の資料が有ります。参考にしてください。

NJU26200シリーズハードウェア共通仕様書、NJU26203Aデータシート、NJU26203Aソフトウェアマニュアル。

### 3. 応用回路例

次の4種類の応用回路について説明します。

- 1) DIR、NJU26203A、DAC使用時の回路例(I<sup>2</sup>C Bus使用)
- 2) ADC、NJU26203A、DAC使用時の回路例(I<sup>2</sup>C Bus使用)
- 3) DIR、ADC、NJU26203A、DAC使用時の回路例(I<sup>2</sup>C Bus使用)
- 4) DIR、ADC、NJU26203A、DAC使用時の回路例(4線シリアルバス使用)

注1) DIR: Digital Interface Receiver、ADC: Analog to Digital Converter、DAC: Digital to Analog Converter。

注2) 以下、DSPはNJU26203Aを表します。

注3) 図3～図6の回路例に於いて、ADC及びDACは、常にスレーブモードで動作します。

注4) NJU26203Aのマスター/スレーブモードは、コマンドにより設定します。

注5) リセット解除後の動作をPROC及びMUTE端子により設定します。(表1参照)

PROC、MUTEb端子は、抵抗(推奨3.3kΩ)を介してVDDIOまたはVSSIOに接続してください。

Pin	端子名	設定	機能
11	MUTEb	H	マスターボリュームを0dBにします。
		L	マスターボリュームをミュートにします。
13	PROC	H	デフォルト設定に従って信号処理を行います。
		L	信号処理を行いません。信号処理の開始には、専用のスタートコマンドを送信する必要があります。

表1. リセット解除後の動作設定

この応用回路例は、MUTEb=H、PROC=Hとしました。リセット解除後の動作は、マスターボリュームを0dBとし、デフォルト設定に従い信号処理を行います。

#### 3.1 応用回路例1 “DIR、NJU26203A、DAC 使用時の回路例(I<sup>2</sup>C Bus 使用)”

オーディオ入力が、デジタル(DIR 入力)信号の回路例です。

図3は、DIR、DSP及びDACを使用した回路例です。DSPは、スレーブモードで動作します。

DIR は、DAC へ MCK クロックを供給します。

#### 3.2 応用回路例2 “ADC、NJU26203A、DAC 使用時の回路例(I<sup>2</sup>C Bus 使用)”

オーディオ入力が、アナログ(ADC 入力)信号の回路例です。

図4は、ADC、DSP及びDACを使用した回路例です。DSPは、マスターモードで動作します。DSPは、

ADC及びDACへ、MCKクロックを供給します。

#### 3.3 応用回路例3 “DIR、ADC、NJU26203A、DAC 使用時の回路例(I<sup>2</sup>C Bus 使用)”

オーディオ入力が、デジタル(DIR 入力)或いはアナログ(ADC 入力)信号の回路例です。

図5は、DIR、ADC、DSP 及び DAC を使用した回路例です。DSP を、デジタルオーディオ入力時にスレーブモード、アナログオーディオ入力時にマスターモード、に設定します。ADC 及び DAC への MCK クロックは、デジタルオーディオ入力時に DIR から、アナログオーディオ入力時に DSP から、供給します。

注1) デジタルオーディオ入力の時は、DIR、DSP 及び DAC を使用します。DSP を、スレーブモードに設定します。DIR は、DAC へ MCK クロックを供給します。その際、S1 を DIR 側に設定します。

注2) アナログオーディオ入力の時は、ADC、DSP 及び DAC を使用します。DSP を、マスターモードに設定します。DSP は、ADC 及び DAC へ、MCK クロックを供給します。その際、S1 を DSP 側に設定します。

#### 3.4 応用回路例4 “DIR、ADC、NJU26203A、DAC 使用時の回路例(4線シリアルバス使用)”

DSP を、4線シリアルバスで制御する時の回路例です。

図6は、DIR、ADC、DSP 及び DAC を使用した回路例です。この応用回路例は、DSP を4線シリアルバスで制御している他、応用回路例3と同じです。

## 4 マスター／スレーブモード

DSP のマスター／スレーブモードの定義及び、その使用方法について説明します。

### 4.1 マスター／スレーブモードの定義

DSP マスターモードの定義は、次のようになります。マスターモードの DSP は、MCK、LRCK、BCK を周辺 IC に対し出力します。周辺 IC は、これらのクロックに同期して動作します。この時、DSP はマスターモードである、と定義します。

DSP スレーブモードの定義は、次のようになります。スレーブモードの DSP は、外部\*から LRCK、BCK クロックを入力します。DSP は、外部入力の LRCK、BCK クロックに同期して信号処理を行います。この時、DSP はスレーブモードである、と定義します。

注) 外部とは、DIR や ADC (ADC マスターモード時) 等を示します。

### 4.2 DSP の MCK クロック信号

マスター／スレーブモードにかかわらず、起動時の内部リセット終了後、CLK 端子からの入力クロックを MCK 端子にバッファ出力します。NJU26203A への入力クロックは、12.288MHz ですので、MCK の周波数は 12.288MHz となります。

### 4.3 マスター／スレーブモードの使用方法

DSP のマスター／スレーブモード使用方法について説明します。

- 1) デジタルオーディオ入力時は、DSP をスレーブモードに設定します。DIR は MCK クロックを、DAC に供給します。応用回路例1を参照。
- 2) アナログオーディオ入力時は、DSP をマスターモードに設定します。DSP は MCK クロックを、ADC 及び DAC に供給します。応用回路例2を参照。

## 5. DIR の MCK クロック

DIR による MCK クロックの発生方法について説明します。

DIR は、デジタルオーディオ信号から、同期用の MCK クロックを抽出し、DAC 等に供給します。

DIR が、入力信号より MCK を抽出できない時、以下の方法により、DAC 等に MCK クロックを、供給することが出来ます。

DIR による MCK クロック発生方法

- 1) デジタルオーディオ信号入力がない場合、DIR は内蔵の発振器により、同期用信号 (MCK、LRCK、BCK) を出力します。尚、本応用回路例で使用した DIR は、このタイプです。
- 2) 水晶発振機能を有する DIR は、デジタルオーディオ入力信号がない場合、水晶発振による MCK クロックを出力します。
- 3) 外部 MCK クロック入力可能な DIR は、デジタルオーディオ入力信号がない場合、外部入力の MCK クロックを出力します。

注) DIR を使用する場合は、DSP をスレーブモードに設定します。DIR から出力される MCK クロックを、DAC等へ供給します。これにより、DSP は DIR のデジタルオーディオ信号を、処理することが出来ます。

## 6. ADC、DAC の MCK クロック

ADC、DAC 及び CODEC の設定について説明します。

入力信号がアナログオーディオの時は、ADC、DAC 及び CODEC を、スレーブモードに設定します。この時、DSP をマスターモードに設定し、DSP が出力する MCK、LRCK、BCK を、ADC 等へ供給します。

水晶発振器を有する ADC 及び DIR 内蔵の CODEC 等を使用する時は、DSP をスレーブモードで使用できます。この時、ADC 等をマスターモードに設定してください。

## 7. 水晶発振回路

図2に水晶発振回路例を示します。NJU26203A は、内部に PLL 回路を搭載し、12.288MHz の周波数に合わせて設計されています。

使用する水晶振動子により、回路、周波数、発振の余裕度、等は異なります。水晶振動子の回路及び L、C、R の定数等については、水晶振動子メーカーに、確認が必要です。

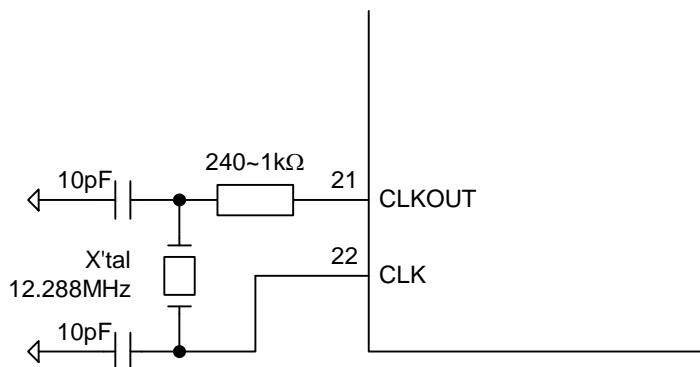


図2 水晶発振回路例

## 8. リセット回路

リセット回路の設計上の注意点について説明します。

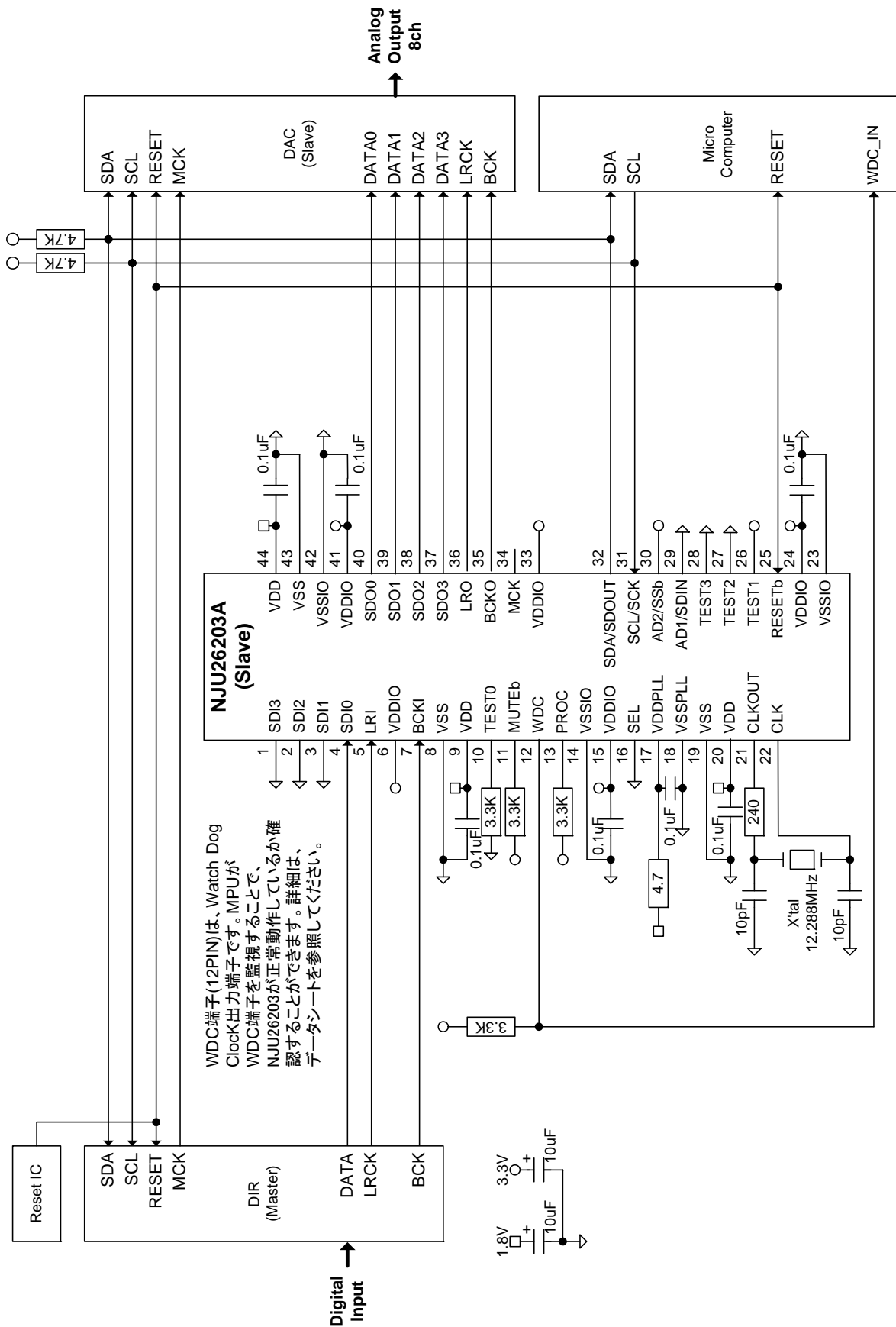
- 1) リセット信号線は、出来るだけ短く配線し、ノイズ等の影響を受けにくくします。その他、次の対策を行うと効果的です。
  - ・リセット信号線の近くに、ノイズの発生源となる部品やパターンを、近づけない様にします。
  - ・リセット信号線を、グランド等でガードします。
  - ・信号線の電流ループの空間は、出来るだけ小さくします。
- 2) リセット信号線が長い時は、次の対策を行うと効果的です。
  - ・リセット信号線に、数10オームの直列抵抗を入れます。
  - ・リセット端子と電源間に、数 k オームのプルアップ抵抗を入れます。
  - ・リセット端子とグランド間に、数 10~100pF 程度のコンデンサを入れます。

## 9. 設計上の諸注意

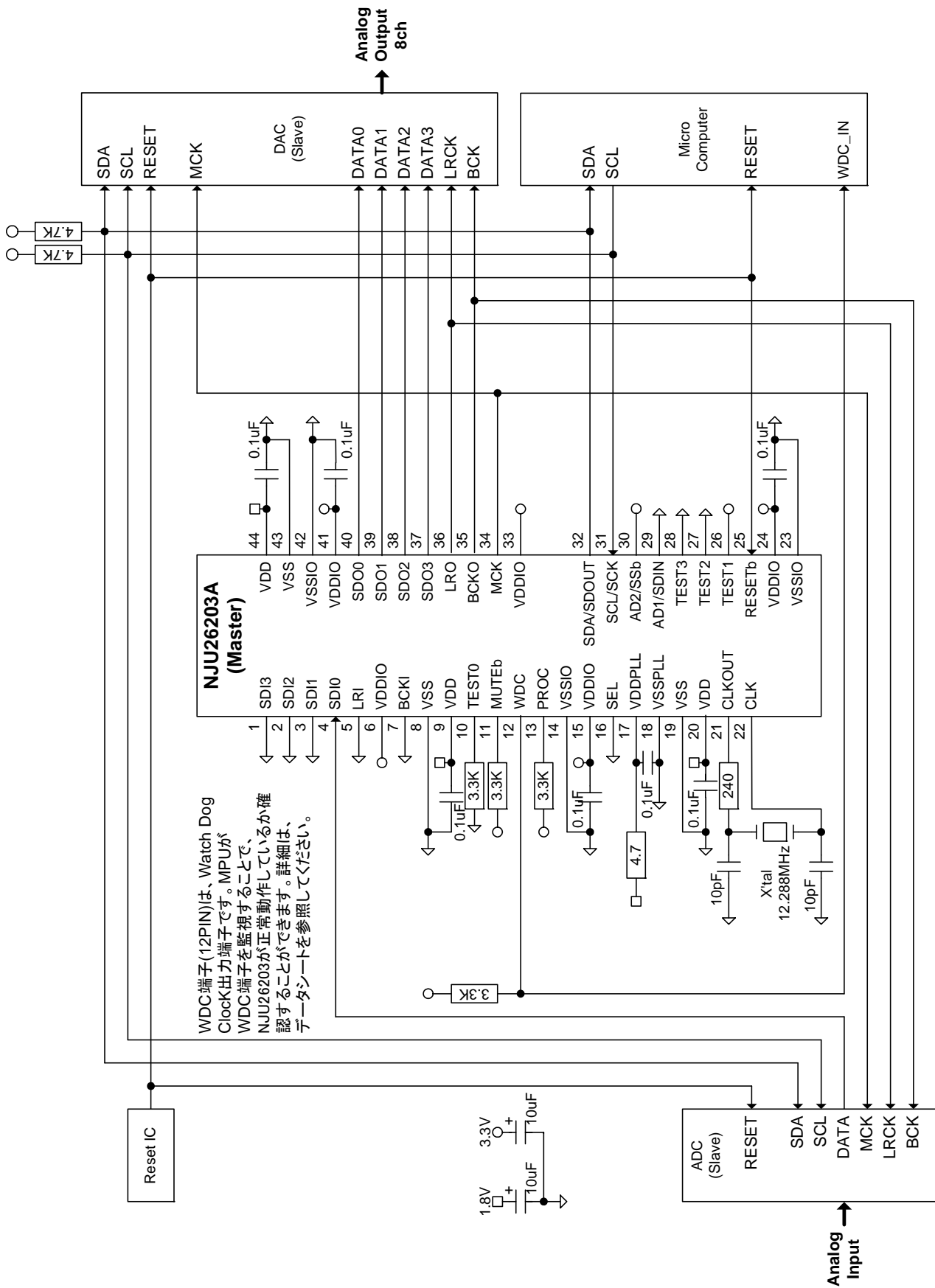
本項では、DSP の回路設計上の注意点について述べます。

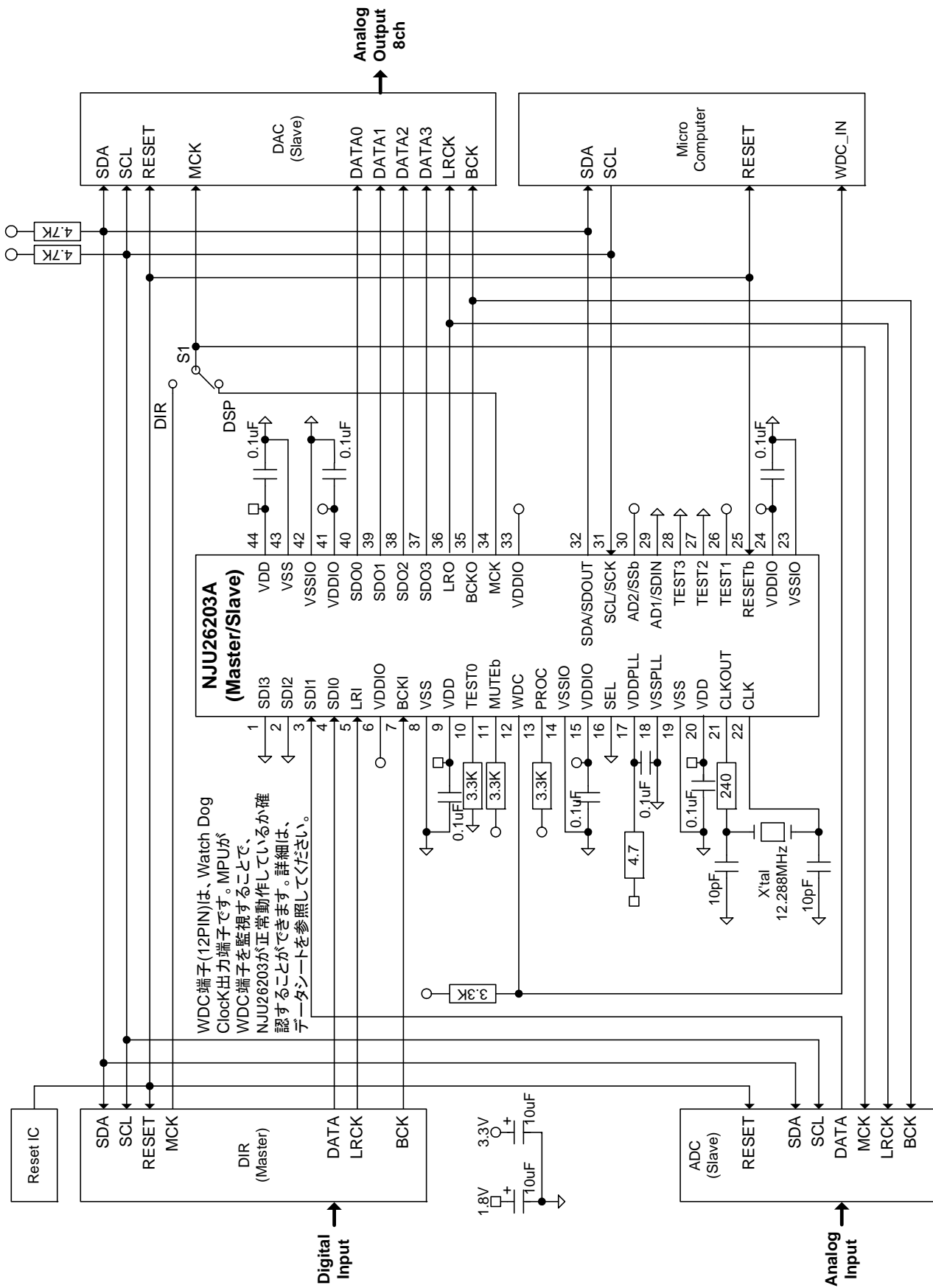
- 1) DSP の電源電圧は、コア電源  $V_{DD}$ 、PLL 電源  $V_{DDPLL}$  及び IO 電源  $V_{DDIO}$  があります。 $V_{DD}$  と  $V_{DDPLL}$  は、1.8V、 $V_{DDIO}$  は、3.3V を供給します。入力端子の仕様は、5V トレラントです。図3～図6に於いて、周辺 IC の電源電圧は、3.3V を想定しています。その為、DSP と周辺 IC 間は、直接配線しています。  
尚、1.8V 及び 3.3V の電源の立ち上げは、3.3V を先に、続いて 1.8V の順で行うことを推奨します。
- 2) DSP 及び周辺 IC の各電源端子とグランド間に、0.1 $\mu$ F のセラミック等のコンデンサを入れます。別途、DSP の電源とグランド間に、10 $\mu$ F 程度のコンデンサも必要です。
- 3) アナログ系へのノイズの影響を少なくする為、アナログ系 (ADC 及び DAC) とデジタル系のグランドを、分離して配線します。適切な箇所で一点アースをし、フレームグランド等に落とします。
- 4) プリント基板上で、デジタル信号線の引き回しが長いと、外部からノイズを受け易くなります。また、外部に対しても、ノイズの放出が増加します。特にデジタル信号線 (MCK、BCKO、LRO、DATA、RESET 等) は、グランド等でガードします。これらの対策として、「太く、短く、配線する」を基本とします。
- 5) EMI ノイズは、デジタル信号が通る部品及び、配線で囲まれた電流ループの面積と配線長に、依存します。この為、「配線は、ループ面積を小さく、短く、グランドでガードする」が基本となります。
- 6) EMI ノイズは、主にデジタルのクロック信号から発生します。各 IC のデジタル信号の出力端子に、数 10 オームのダンピング抵抗を直列に入れると、ノイズは小さくなります。ただし、次段の IC の入力仕様を、満たすようにして下さい。

\* このアプリケーションノートに記述されている対策の効果は、使用する基板の実装条件により異なります。


 図 3 応用回路例 1 “DIR、NJU26203A、DAC 等の回路例(I<sup>2</sup>C Bus 使用)”




 図 4 応用回路例 2 “ADC、NJU26203A、DAC 等の回路例(I<sup>2</sup>C Bus 使用)”


 図5 応用回路例3 “DIR、ADC、NJU26203A、DAC等の回路例(I<sup>2</sup>C Bus使用)”

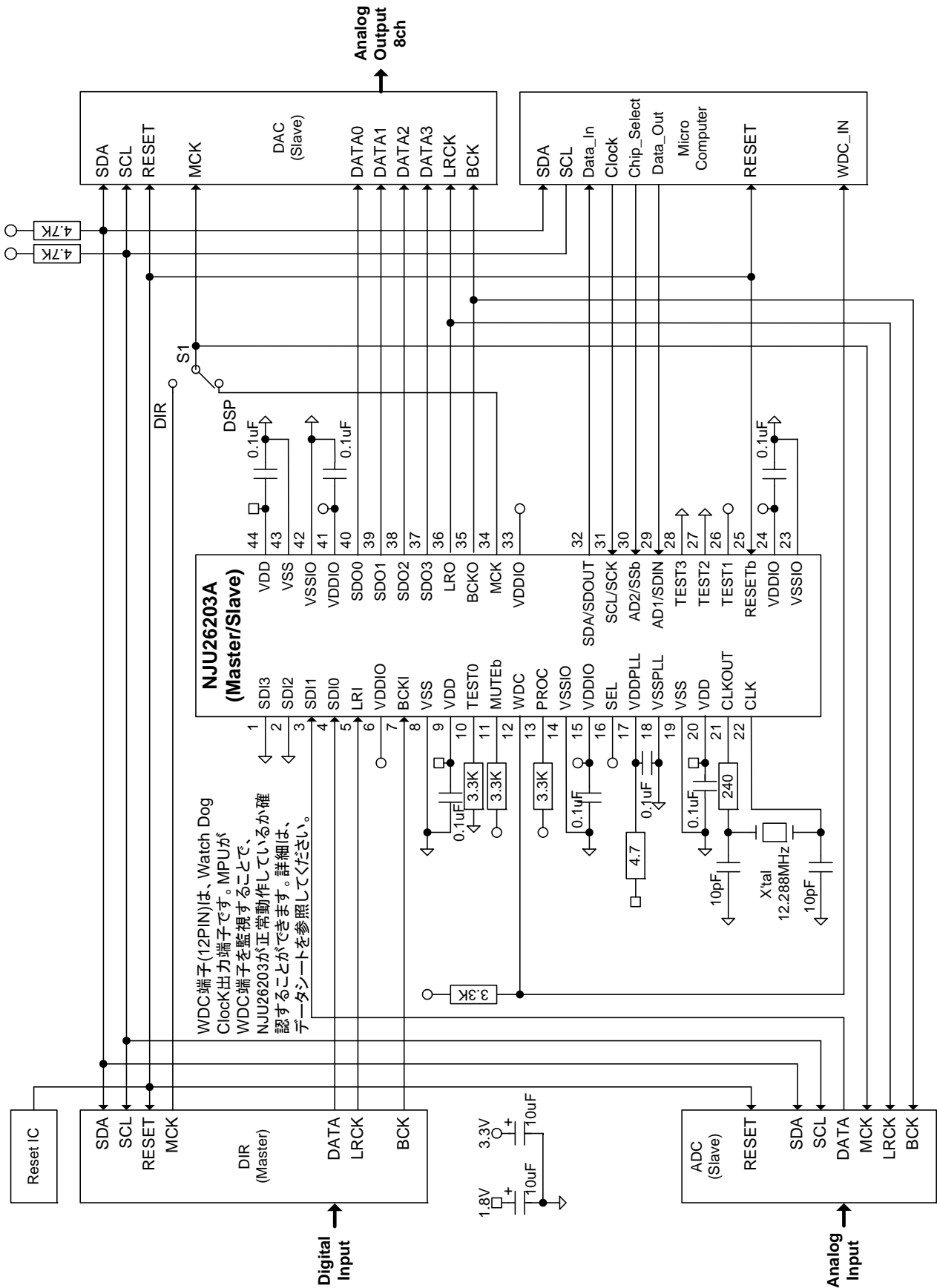


図 6 応用回路例 4 “DIR、ADC、NJU26203A、DAC 等の回路例(4 線シリアルバス使用)”