

NJU26124 アプリケーションノート

ハードウェアマニュアル

新日本無線株式会社

Version 1.00

目 次

1. 概要.....	2
2. NJU26124 ブロック図	2
3. 応用回路例.....	3
3.1 応用回路例1 “DIR、NJU26124、DAC 使用時の回路例(I ² C Bus 使用)”	3
3.2 応用回路例2 “ADC、NJU26124、DAC 使用時の回路例(I ² C Bus 使用)”	3
3.3 応用回路例3 “DIR、ADC、NJU26124、DAC 使用時の回路例(I ² C Bus 使用)”	3
4. マスター／スレーブモード	4
4.1 マスター／スレーブモードの定義	4
4.2 デジタルオーディオクロック	4
4.3 マスター／スレーブモードの使用法	4
5. DIR の MCK クロック	5
6. ADC、DAC の MCK クロック	5
7. 水晶発振回路	6
8. リセット回路	6
9. 設計上の諸注意	7

＜注意事項＞

本アプリケーションノートに掲載されている製品の仕様等は、予告なく変更することがあります。
 ご使用にあたっては、納入仕様書の取り交わしが必要です。
 このアプリケーションノートの掲載内容の正確さには万全を期しておりますが、掲載内容について何らかの法的な保証を行うものではありません。とくに応用回路・特性例については、製品の代表的な応用例を説明するためのものです。また、工業所有権その他の権利の実施権の許諾を伴うものではなく、第三者の権利を侵害しないことを保証するものではありません。

NJU26124 アプリケーションノート

ハードウェアマニュアル

1. 概要

このアプリケーションノートは、NJU26124ハードウェアの使用方法について説明します。下記の3種類の応用回路の紹介、マスター/スレーブモード、MCKクロック、水晶発振回路、リセット回路及び設計上の諸注意について説明します。

3種類の応用回路例。

- 1) DIR、NJU26124、DAC使用時の回路例(I²C Bus使用)
- 2) ADC、NJU26124、DAC使用時の回路例(I²C Bus使用)
- 3) DIR、ADC、NJU26124、DAC使用時の回路例(I²C Bus使用)

2. NJU26124 ブロック図

図1に NJU26124 のブロック図を示します。

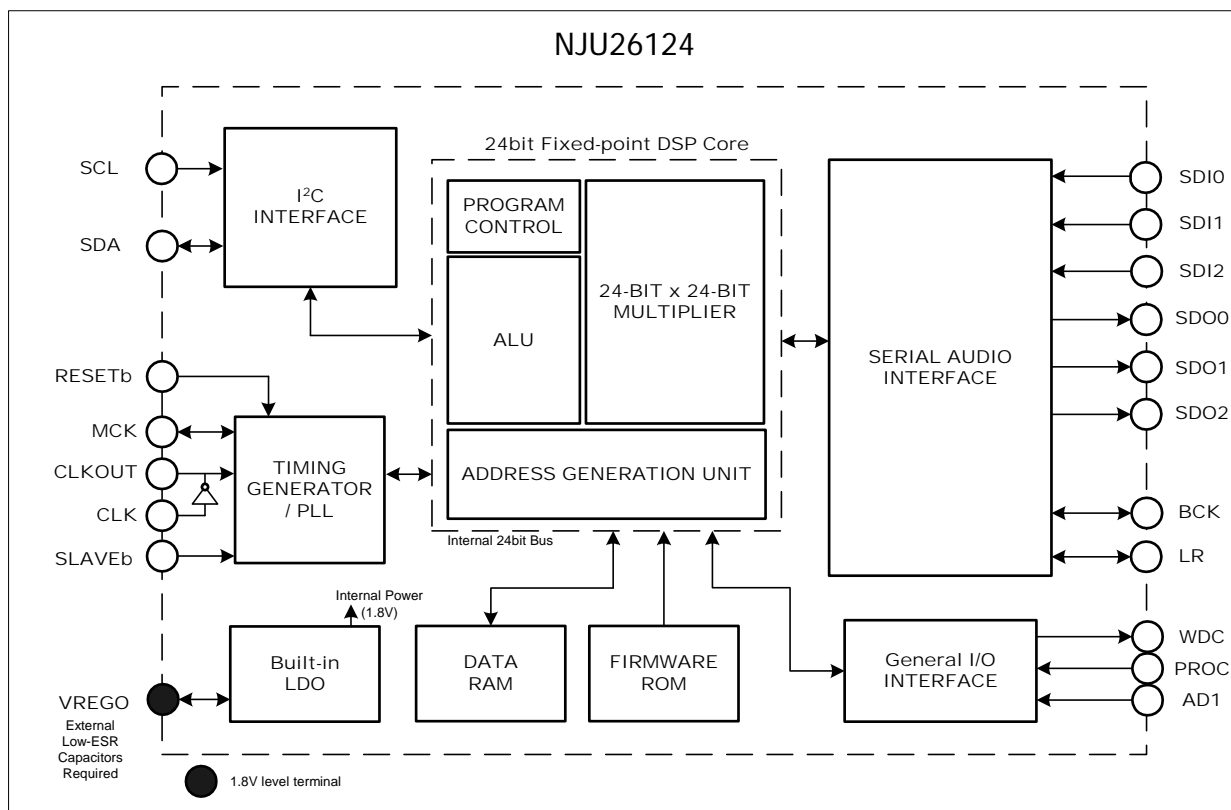


図1 NJU26124 ブロック図

注1) NJU26124 のデジタルオーディオ I/O は、3系統の入力と3系統の出力があります。本回路例では、すべての入力端子を使用していません。入出力を変更する場合は、データシートを参照の上、変更して下さい。

注2) 本資料の他、NJU26124データシートが有りますので参考にしてください。

3. 応用回路例

次の3種類の応用回路について説明します。

- 1) DIR、NJU26124、DAC使用時の回路例(I²C Bus使用)
- 2) ADC、NJU26124、DAC使用時の回路例(I²C Bus使用)
- 3) DIR、ADC、NJU26124、DAC使用時の回路例(I²C Bus使用)

注1) DIR: Digital Interface Receiver、ADC: Analog to Digital Converter、DAC: Digital to Analog Converter。

注2) 以下、DSPはNJU26124を表します。

注3) 図3～図5の回路例に於いて、ADC及びDACは、常にスレーブモードで動作します。

注4) DSPのマスター/スレーブモードは、SLAVEb端子とファームウェアの設定(コマンド設定)により、決定されます。詳細は、4.2項のデジタルオーディオクロックを参照してください。

注5) PROC端子により、リセット解除後、信号処理の経路を選択します。(表1参照)
PROC端子は、抵抗(推奨3.3kΩ)を介して、VDDIOまたはVSSIOに接続してください。

ピン	端子名	設定	機能
17	MODE	H	FIR/PEQ を選択します。
		L	PEQ/time Alignment を選択します。

表1. リセット解除後の信号処理の経路

応用回路例は、MODE="L"です。リセット解除後、NJU26124は、PEQとTime alignmentを実行します。

3.1 応用回路例1 “DIR、NJU26124、DAC 使用時の回路例(I²C Bus 使用)”

オーディオ入力が、デジタル(DIR 入力)信号の回路例です。図3は、DIR、DSP 及び DAC を使用した例です。

DSP はスレーブモードに設定します。DSP は、SLAVEb="L"にすることで、DSP のモード設定(コマンドによるマスター/スレーブ設定)に関係なく、スレーブモードで動作します。

DIRはマスターになり、DACに対して、LRCK、BCK及びMCKクロックを供給します。同様に、DSPに対して、LRCK及びBCKを供給します。

3.2 応用回路例2 “ADC、NJU26124、DAC 使用時の回路例(I²C Bus 使用)”

オーディオ入力が、アナログ(ADC 入力)信号の回路例です。図4は、ADC、DSP 及び DAC を使用した例です。

DSPは、マスターモードに設定します。マスターモードは、コマンドで設定します。DSPがマスターとなり、ADC及びDACに、LRCK、BCK及びMCKクロックを供給します。

また、DSPは、SLAVEb="H"にすることで、CLK端子入力のクロックを、MCK端子に出力します。

3.3 応用回路例3 “DIR、ADC、NJU26124、DAC 使用時の回路例(I²C Bus 使用)”

オーディオ入力が、デジタル(DIR 入力)或いはアナログ(ADC 入力)信号の回路例です。図5は、DIR、ADC、DSP 及び DAC を使用した例です。

DSP は、デジタル/アナログ入力に関わらず、常時、スレーブモードに設定(コマンドで設定)します。

DSP は、SLAVEb="H"にすることで、CLK 端子の入力クロックを MCK 端子に出力します。この DSP の MCK 信号は、DIR に接続します。

デジタル入力時の LRCK、BCK 及び MCK クロックは、DIR 内の PLL 回路で生成されます。

アナログ入力時の LRCK、BCK 及び MCK クロックは、DIR 内の分周回路で生成されます。DIR は、デジタル入力信号の有無により、自動的にクロック源(PLL 或いは Divider)を切替えます。

4 マスター/スレーブモード

DSP のマスター/スレーブモードの定義及び、その使用方法について説明します。

4.1 マスター/スレーブモードの定義

DSP マスターモードの定義は、次のようになります。マスターモードの DSP は、LRCK、BCK 及び MCK を周辺 IC に対し出力します。周辺 IC は、これらのクロックに同期して動作します。この時、DSP はマスターモードである、と定義します。

DSP スレーブモードの定義は、次のようになります。スレーブモードの DSP は、外部*から LRCK、BCK クロックを入力します。DSP は、外部入力の LRCK、BCK クロックに同期して信号処理を行います。この時、DSP はスレーブモードである、と定義します。

注) 外部とは、DIR や ADC(ADC マスターモード時)等を示します。

4.2 デジタルオーディオクロック

デジタルオーディオクロック(LRCK、BCK、MCK)について説明をします。

これら3つの端子は、入力或いは出力の設定が出来ます。入出力の設定は、SLAVEb端子及びDSPのマスター/スレーブ設定(コマンドにより設定)の組み合わせにより、コントロール出来ます。

表2に、LR、BCK、MCK クロックの動作について記します。

1) SLAVEb=High の場合

DSP がマスターの時(コマンドにより設定)、LR、BCK、MCK 端子は出力となります。

DSP がスレーブの時(コマンドにより設定)、LR、BCK 端子は入力、MCK 端子は出力端子となります。DSP は、スレーブモードがデフォルト値(コマンドの設定)です。

尚、MCK の出力は、CLK 端子の入力をバッファし、出力します。

2) SLAVEb=Low の場合

DSP は、マスター/スレーブ設定(コマンドの設定)にかかわらず、スレーブモードとなります。また、LR、BCK、MCK 端子は、全て入力となります。

尚、DSP の動作クロック(システムクロック)は、MCK 端子と CLK 端子入力クロックの ORを取ったものを、クロックとして使用します。通常は、どちらかの一方の端子を、グランドにして使用します。

ピン設定		DSP のモード (コマンドで設定)	動作 モード	端子属性		
				LR	BCK	MCK
15	SLAVEb	H	マスター	出力	出力	出力 (CLK 端子入力クロックを出力)
		H	スレーブ	入力	入力	出力 (CLK 端子入力クロックを出力)
		L	マスターor スレーブ	入力	入力	入力(DSP 動作クロックの入力端子)

表2. LR、BCK、MCKクロックの動作

4.3 マスター/スレーブモードの使用方法

DSP のマスター/スレーブモード使用方法について説明します。

- 1) デジタルオーディオ入力の回路の場合、DSP は、スレーブモードに設定してください。3.1 項の応用回路例1を参照。

- 2) アナログオーディオ入力の回路の場合、DSP は、マスターモードに設定してください。3.2 項の応用回路例2を参照。
- 3) デジタル／アナログオーディオ入力の回路の場合、DSP は、常時、スレーブモードに設定してください。3.3 項の応用回路例3を参照。

5. DIR の MCK クロック

DIR による MCK クロックの発生方法について説明します。

DIR は、デジタルオーディオ信号から、同期用の MCK クロックを抽出し、DAC 等に供給します。DIR が、入力信号より MCK を抽出できない時、以下の方法により、DAC 等に MCK クロックを、供給することが出来ます。

DIR による MCK クロック発生方法

- 1) デジタルオーディオ信号入力がない場合、DIR は内蔵の発振器により、同期用信号(MCK、LRCK、BCK)を出力します。
- 2) 水晶発振機能を有する DIR は、デジタルオーディオ入力信号がない場合、水晶発振による MCK クロックを出力します。
- 3) 外部 MCK クロック入力可能な DIR は、デジタルオーディオ入力信号がない場合、外部入力の MCK クロックを出力します。尚、本応用回路例で使用した DIR は、このタイプです。

注) DIR を使用する場合は、DSP をスレーブモードに設定します。DIR から出力される MCK クロックを、DAC等へ供給します。これにより、DSP は DIR のデジタルオーディオ信号を、処理することが出来ます。

6. ADC、DAC の MCK クロック

ADC、DAC 及び CODEC の設定について説明します。

入力信号がアナログオーディオの時は、ADC、DAC 及び CODEC を、スレーブモードに設定します。この時、DSP をマスターモードに設定し、DSP が出力する MCK、LRCK、BCK を、ADC 等へ供給します。

水晶発振器を有する ADC 及び DIR 内蔵の CODEC 等を使用する時は、DSP をスレーブモードで使用できます。この時、ADC 等をマスターモードに設定してください。

7. 水晶発振回路

図2に、水晶発振回路の例を示します。

NJU26124 は、内部に PLL 回路を搭載しています。この PLL は、12.288MHz で発振するように、設計されています。

使用する水晶振動子により、回路、周波数、発振の余裕度、等は異なります。水晶振動子の回路及び L、C、R の定数等については、水晶振動子メーカーに、確認が必要です。

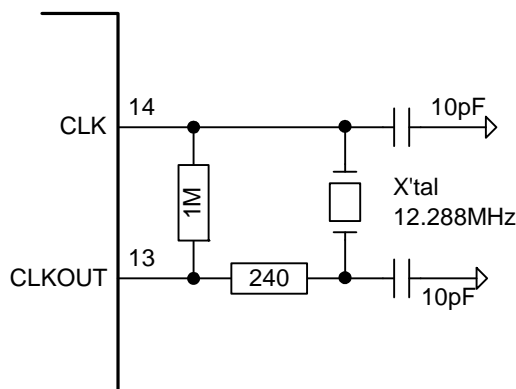


図2 水晶発振回路例

8. リセット回路

リセット回路の設計上の注意点について説明します。

- 1) リセット信号線は、出来るだけ短く配線し、ノイズ等の影響を受けにくくします。その他、次の対策を行うと効果的です。
 - ・リセット信号線の近くに、ノイズの発生源となる部品やパターンを、近づけない様にします。
 - ・リセット信号線を、グランド等でガードします。
 - ・信号線の電流ループの空間は、出来るだけ小さくします。
- 2) リセット信号線が長い時は、次の対策を行うと効果的です。
 - ・リセット信号線に、数10オームの直列抵抗を入れます。
 - ・リセット端子と電源間に、数 k オームのプルアップ抵抗を入れます。
 - ・リセット端子とグランド間に、数 10~100pF 程度のコンデンサを入れます。

9. 設計上の諸注意

本項では、DSP の回路設計上の注意点について述べます。

- 1) DSP の電源電圧は、3.3V を供給します。入力端子の仕様は、5V トレラントです。図3～図5に於いて、周辺 IC の電源電圧は、3.3V を想定しています。その為、DSP と周辺 IC 間は、直接配線しています。
- 2) DSP 及び周辺 IC の各電源端子とグランド間に、0.1 μ F のセラミック等のコンデンサを入れます。別途、DSP の電源とグランド間に、10 μ F 程度のコンデンサも必要です。
- 3) アナログ系へのノイズの影響を少なくする為、アナログ系(ADC 及び DAC)とデジタル系のグランドを、分離して配線します。適切な箇所で一点アースをし、フレームグランド等に落とします。
- 4) プリント基板上で、デジタル信号線の引き回しが長いと、外部からノイズを受け易くなります。また、外部に対しても、ノイズの放出が増加します。特にデジタル信号線(MCK、BCK、LR、DATA、RESET 等)は、グランド等でガードします。これらの対策として、「太く、短く、配線する」を基本とします。
- 5) EMI ノイズは、デジタル信号が通る部品及び、配線で囲まれた電流ループの面積と配線長に、依存します。この為、「配線は、ループ面積を小さく、短く、グランドでガードする」が基本となります。
- 6) EMI ノイズは、主にデジタルのクロック信号から発生します。各 IC のデジタル信号の出力端子に、数 10 オームのダンピング抵抗を直列に入れると、ノイズは小さくなります。ただし、次段の IC の入力仕様を、満たすようにして下さい。

* このアプリケーションノートに記述されている対策の効果は、使用する基板の実装条件により異なります。

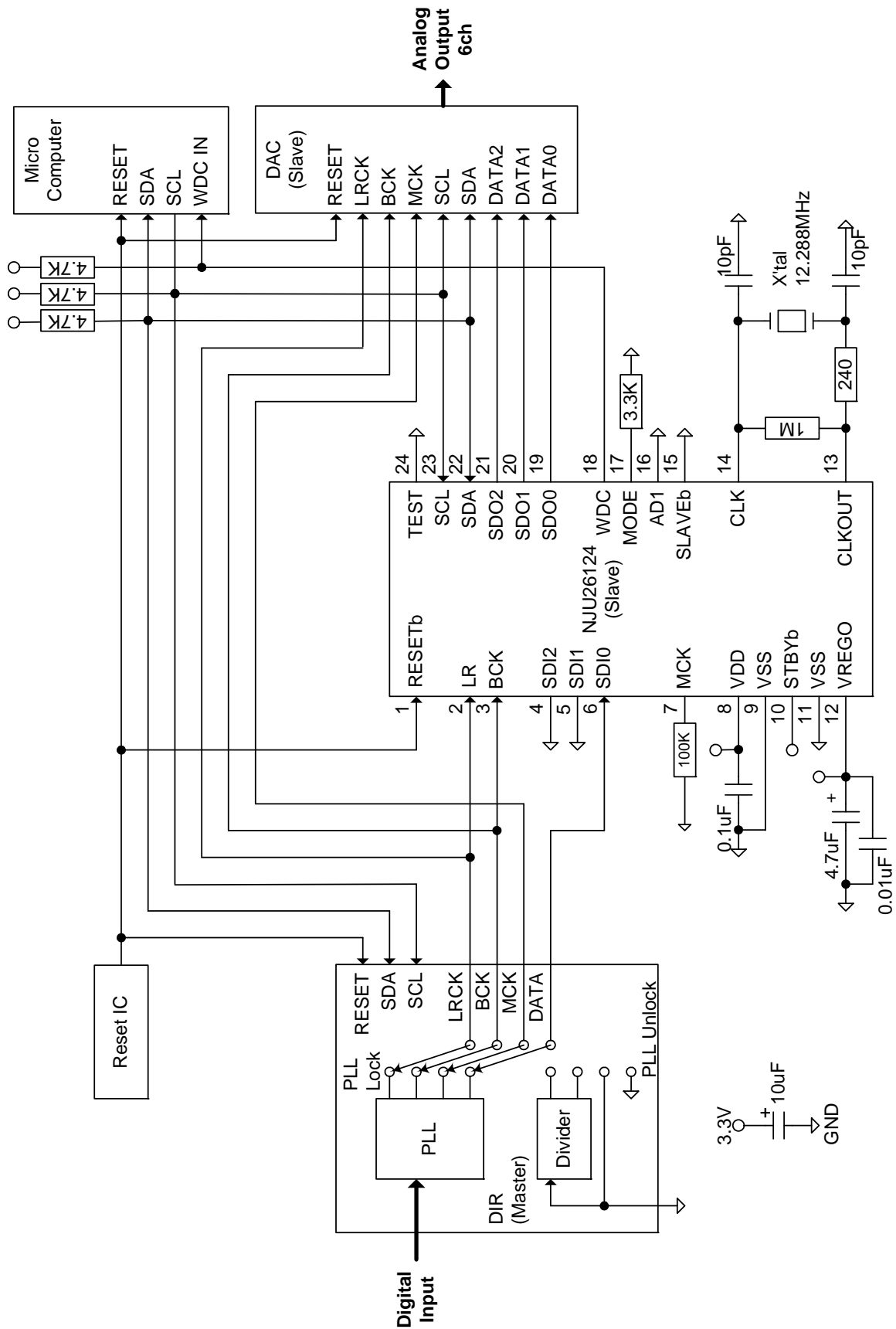
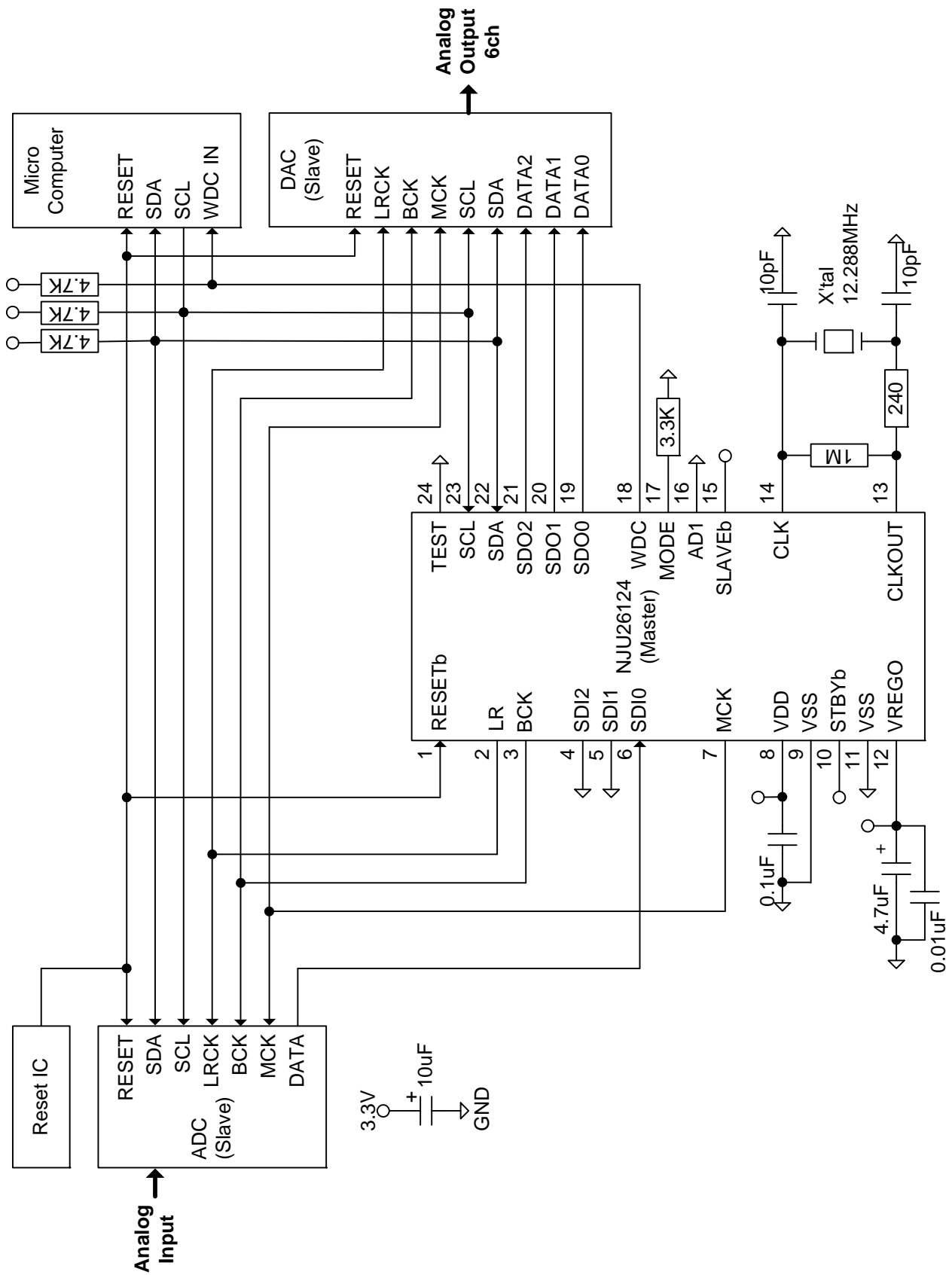


図3 応用回路例1 “DIR、NJU26124、DAC等の回路例(I²C Bus使用)”


 図 4 応用回路例 2 “ADC、NJU26124、DAC 等の回路例 (I²C Bus 使用)”

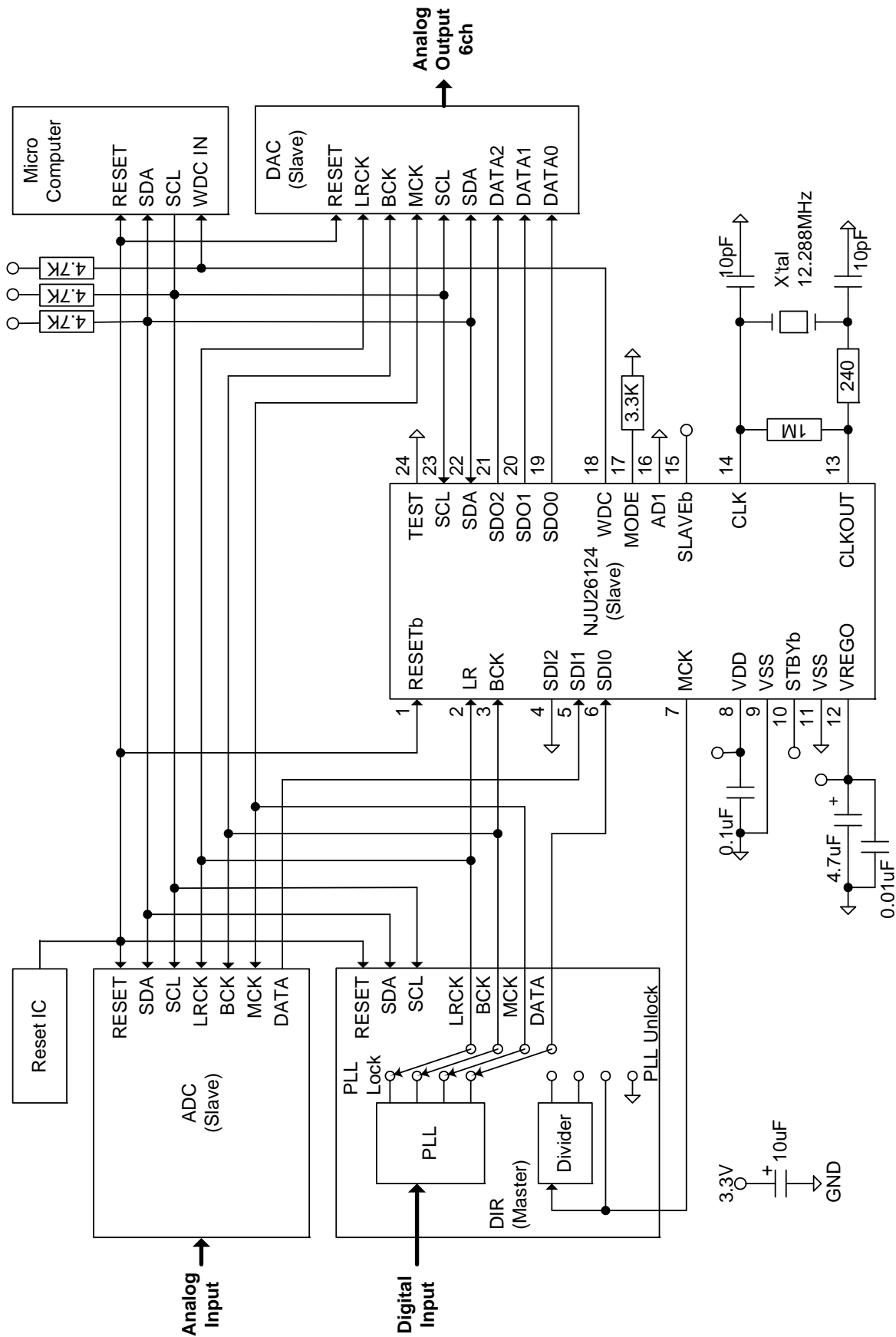


図 5 応用回路例 3 “DIR、ADC、NJU26124、DAC 等の回路例(I²C Bus 使用)”