

## オーディオ用 A/D コンバータ

### ■ 概要

NJU3610は、8～192kHzサンプリング周波数対応のステレオA/Dコンバータで、1bit $\Delta\Sigma$ 技術を用いており、高精度かつ低消費電力を実現しています。入力回路は全差動入力となっており、ステレオ4-1セレクタを搭載しています。動作電圧は1.8V/3.3Vの2電源もしくは3.3V単電源の動作が可能です。

NJU3610は、デジタルTV、サウンドバー、スピーカシステム等の各種民生オーディオ機器に最適です。

### ■ 外形



NJU3610FR3

### ■ 特徴

- 1bit $\Delta\Sigma$ ステレオ A/D コンバータ
- 64 倍オーバーサンプリング(マスタークロック 256, 384fs 時)
- 32 倍オーバーサンプリング(マスタークロック 128fs 時)
- デジタルフィルタ搭載
- ハイパスフィルタ機能搭載
- 4-1 セレクタ搭載
- サンプリング周波数 : 8～192kHz 対応
- DR : 100dB(typ@3.3V, 96kHz)
- S/N : 100dB(typ@3.3V, 96kHz)
- S/(N+D) : 90dB(typ@3.3V, 96kHz, -1.0dBFS)
- マスタークロック : 128fs(8～192kHz), 256fs / 384fs(8～96kHz)
- 電源電圧 : 単電源動作時 3.0～3.6V(typ 3.3V) 内蔵レギュレータ併用動作  
: 2 電源動作時 3.0～3.6V(アナログ, I/O: typ 3.3V),  
1.65～2.0V(デジタル: typ 1.8V)
- シリアルオーディオフォーマット : 24/16bit 左詰, I<sup>2</sup>S マスター/スレーブ
- 動作電圧範囲 : -40～85°C
- パッケージ : LQFP48-R3 (鉛フリー対応)

## ■ 機能ブロック図

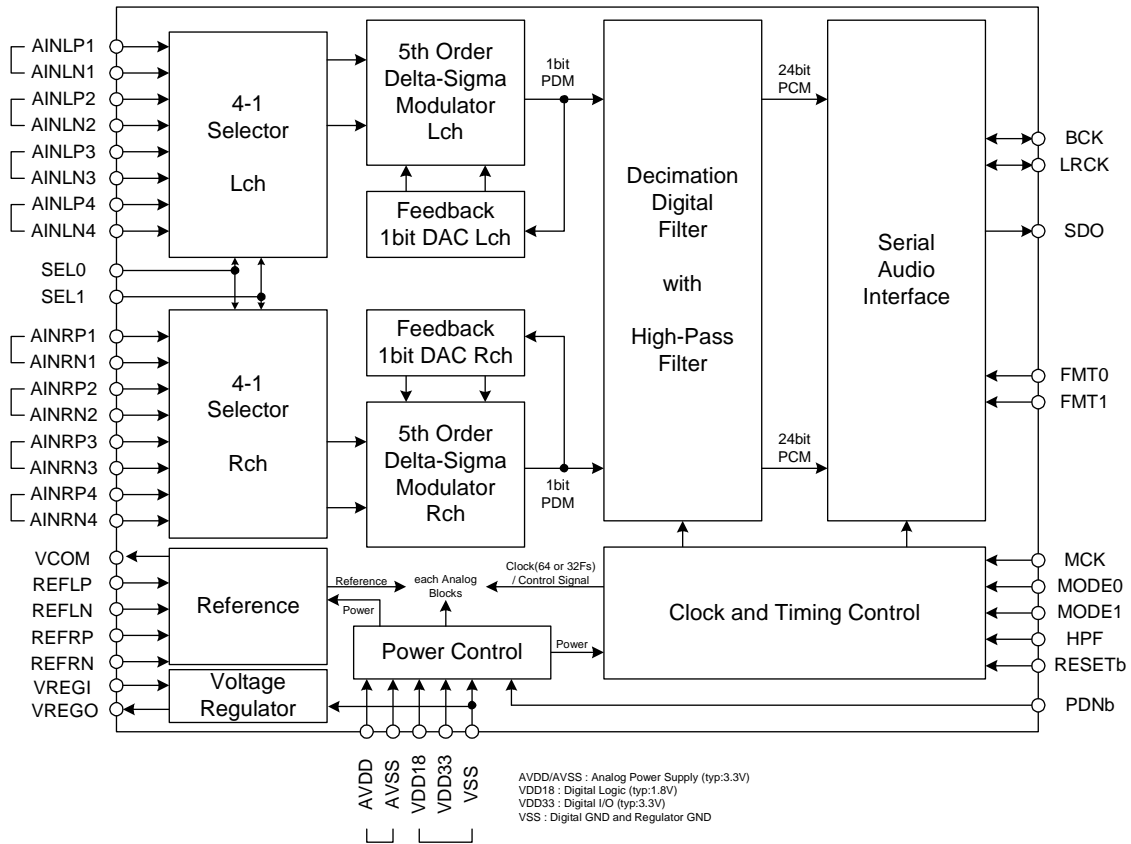


図 1 NJU3610 機能ブロック図

■ 端子配列

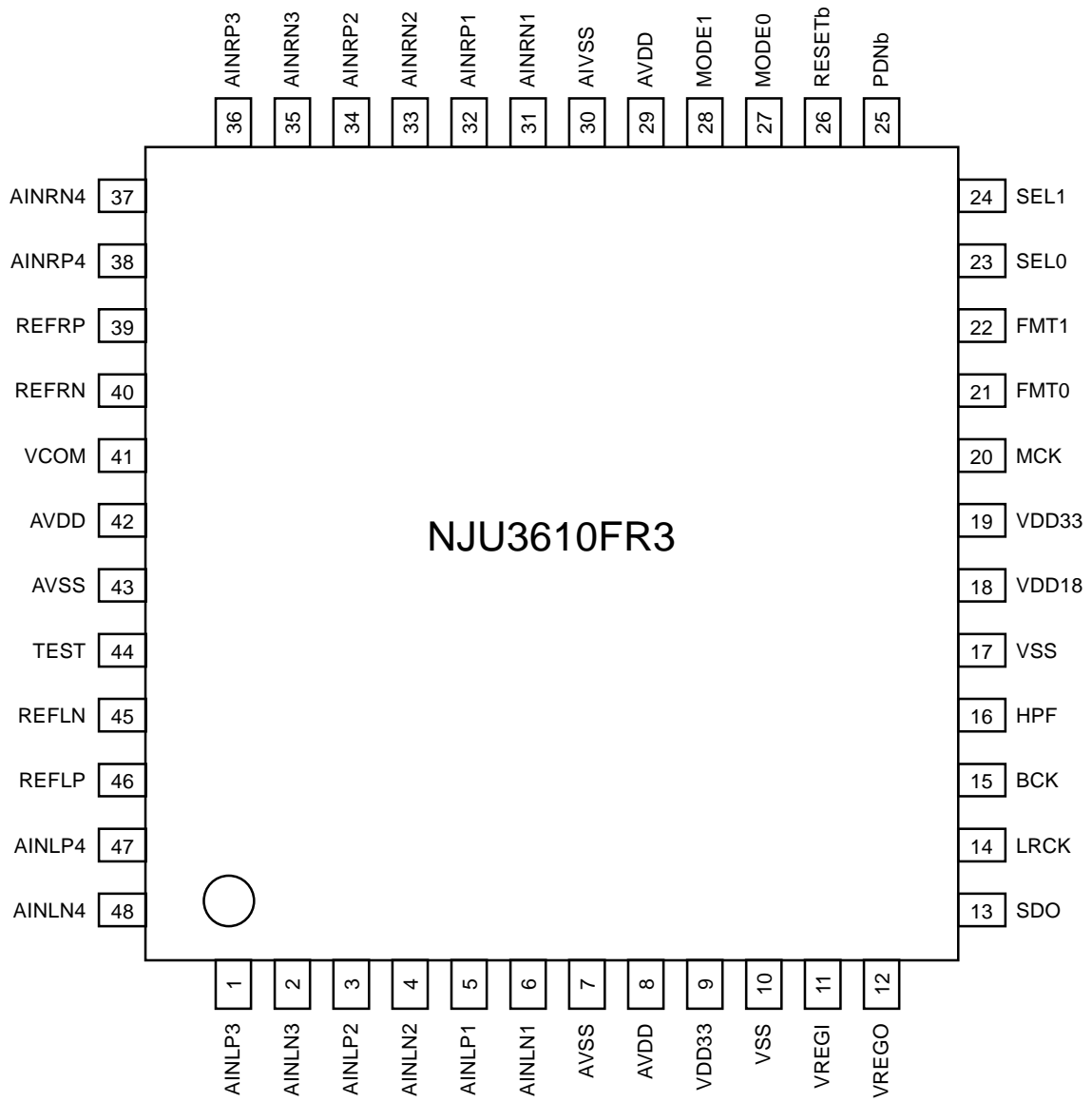


图 2 端子配列

## ■ 端子説明

表 1 端子機能

Pin No.	端子名	I/O	機能
1	AINLP3	AI	Lch 差動アナログ入力 3 (+)側
2	AINLN3	AI	Lch 差動アナログ入力 3 (-)側
3	AINLP2	AI	Lch 差動アナログ入力 2 (+)側
4	AINLN2	AI	Lch 差動アナログ入力 2 (-)側
5	AINLP1	AI	Lch 差動アナログ入力 1 (+)側
6	AINLN1	AI	Lch 差動アナログ入力 1 (-)側
7	AVSS	AG	アナログ系 GND
8	AVDD	AP	アナログ系 3.3V 電源
9	VDD33	DP	デジタル系 3.3V 電源
10	VSS	DG	デジタル系 GND
11	VREGI	RI	内蔵レギュレータ 3.3V 入力
12	VREGO	RO	内蔵レギュレータ 1.8V(typ)出力
13	SDO	DO	シリアルデータ出力
14	LRCK	DIO	LR クロック入出力
15	BCK	DIO	ビットクロック入出力
16	HPF	DI	オフセットキャンセル用 HPF (High: ON, Low: OFF)
17	VSS	DG	デジタル系 GND
18	VDD18	DL	デジタル系 1.8V 電源
19	VDD33	DP	デジタル系 3.3V 電源
20	MCK	DI	マスタークロック入力
21	FMT0	DI	シリアルデータフォーマット設定 0
22	FMT1	DI	シリアルデータフォーマット設定 1
23	SEL0	DI	アナログ入力端子選択 0
24	SEL1	DI	アナログ入力端子選択 1
25	PDNb	DI	パワーダウン制御 (Low: パワーダウン, High: 通常動作)
26	RESETb	DI	非同期リセット (Low: リセット, High: 通常動作)
27	MODE0	DI	マスタークロック, A/D 変換速度 選択 0
28	MODE1	DI	マスタークロック, A/D 変換速度 選択 1
29	AVDD	AP	アナログ系 3.3V 電源
30	AVSS	AG	アナログ系 GND
31	AINRN1	AI	Rch 差動アナログ入力 1 (-)側
32	AINRP1	AI	Rch 差動アナログ入力 1 (+)側
33	AINRN2	AI	Rch 差動アナログ入力 2 (-)側
34	AINRP2	AI	Rch 差動アナログ入力 2 (+)側
35	AINRN3	AI	Rch 差動アナログ入力 3 (-)側
36	AINRP3	AI	Rch 差動アナログ入力 3 (+)側
37	AINRN4	AI	Rch 差動アナログ入力 4 (-)側
38	AINRP4	AI	Rch 差動アナログ入力 4 (+)側
39	REFRP	AI	Rch リファレンス電圧 3.3V
40	REFRN	AI	Rch リファレンス電圧 GND
41	VCOM	AO	中点電圧出力(10uF の容量を接続して下さい)
42	AVDD	AP	アナログ系 3.3V 電源
43	AVSS	AG	アナログ系 GND
44	TEST	AI	テスト端子(アナログ系 GND に接続して下さい)
45	REFLN	AI	Lch リファレンス電圧 GND
46	REFLP	AI	Lch リファレンス電圧 3.3V
47	AINLP4	AI	Lch 差動アナログ入力 4 (+)側
48	AINLN4	AI	Lch 差動アナログ入力 4 (-)側

\* AP:アナログ 3.3V 電源 AG:アナログ GND AI:アナログ入力 AO:アナログ出力  
 DP: デジタル 3.3V 電源 DL: デジタル 1.8V 電源 DG: デジタル及び内蔵レギュレータ GND  
 RI: 内蔵レギュレータ入力 RO: 内蔵レギュレータ出力  
 DI: デジタル入力 DO: デジタル出力 DIO: デジタル入出力

## ■ 絶対最大定格

(以降、特に断り無き場合、全ての電気的特性・定格において、VSS, AVSS=0V と定義し、この電位を GND 電位と規定します。)

表 2 絶対最大定格

(VSS=AVSS=0V=GND, Ta=25°C)

項目	記号	定格	単位	
電源電圧	アナログ系	-0.3 ~ +4.2	V	
	デジタル系			VDD33
		VDD18		-0.3 ~ +2.3
	内蔵レギュレータ入力端子	VREGI		-0.3 ~ +4.2
	内蔵レギュレータ出力端子	VREGO		-0.3 ~ +2.3
端子電圧	デジタル入力	V <sub>x(IN)</sub>	-0.3 ~ +5.5 (VDD33 ≥ 3.0V) -0.3 ~ +4.2 (VDD33 < 3.0V)	
	デジタル出力	V <sub>x(OUT)</sub>	-0.3 ~ VDD33+0.3	
	アナログ入力	V <sub>x(AIN)</sub>	-0.3 ~ AVDD+0.3	
	アナログ出力	V <sub>x(VCOM)</sub>		
許容損失	P <sub>D</sub>	800 EIA/JEDEC 仕様基盤(2層, FR-4)基盤実装時	mW	
動作温度範囲	T <sub>OPR</sub>	-40 ~ +85	°C	
保存温度範囲	T <sub>STR</sub>	-40 ~ +125	°C	

\* 絶対最大定格を超えた条件で使用した場合、NJU3610 を破壊する事があります。また、通常の動作は保証できません。推奨動作条件及び電気的特性の範囲内で使用することを推奨します。

デジタル入力端子及び入力状態に設定されたデジタル入出力端子をオープンにしないで下さい。

- \*AVDD : 8, 29, 42pin
- \*VDD33 : 9, 19pin
- \*VDD18 : 18pin
- \*VREGI : 11pin
- \*VREGO : 12pin
- \*V<sub>x(IN)</sub> : 16, 20~28pin, 及び入力状態に設定された 14~15pin
- \*V<sub>x(OUT)</sub> : 13pin, 及び出力状態に設定された 14~15pin
- \*V<sub>x(AIN)</sub> : 1~6, 31~40, 44~48pin
- \*V<sub>x(AOUT)</sub> : 41pin

## ■ 推奨動作条件

表 3 推奨動作条件

項目	記号	推奨動作条件	単位	
電源電圧	アナログ系	AVDD *1	V	
	デジタル系	VDD33 *1		3.0 ~ 3.6 AVDD ≥ VDD33
		VDD18 *2		1.65 ~ 2.0 または内蔵レギュレータより供給
	内蔵レギュレータ入力端子	VREGI *3		3.0 ~ VDD33

\*1 VDD33 は AVDD と同時もしくは AVDD より後に投入して下さい。

\*2 内蔵レギュレータを使用する場合は、VREGI を VDD33 に接続して下さい。

内蔵レギュレータを使用しない場合は、VREGI, VREGO を VSS に接続して下さい。

\*3 V<sub>RIN</sub> は V<sub>DD</sub> と同時もしくは後に投入し、同時もしくは先に切断して下さい。

## ■ 電気的特性

表4 アナログ特性

( $T_a=25^\circ\text{C}$ ,  $AVDD=VDD=3.3\text{V}$ ,  $VDD18=VREGO$  出力使用,  $HPF=On$ , 入力信号=1kHz,  $BCK=64\text{fs}$ ,  $MCK=256\text{fs}(48/96\text{kHz})$ ,  $128\text{fs}(192\text{kHz})$   
 評価帯域:  $f_s=48\text{kHz}$  時:  $20\sim 20\text{kHz}$ ,  $f_s=96\text{kHz}$  時:  $20\sim 40\text{kHz}$ ,  $f_s=192\text{kHz}$  時:  $20\sim 40\text{kHz}$ )

項目	条件	Min.	Typ.	Max.	単位
フルスケール電圧レベル *1	AIN***端子 差動片側	-	$AVDD \times 0.7$	-	Vpp
	AIN 端子*** 差動間	-	$AVDD \times 1.4$	-	
S/(N+D) (-1.0dBFS)	$f_s=48\text{kHz}$	85	90	-	dB
	$f_s=96\text{kHz}$	-	90	-	
	$f_s=192\text{kHz}$	-	90	-	
ダイナミックレンジ -60dBFS, A-weighted	$f_s=48\text{kHz}$	93	99	-	dB
	$f_s=96\text{kHz}$	-	100	-	
	$f_s=192\text{kHz}$	-	100	-	
S/N 比 A-weighted	$f_s=48\text{kHz}$	93	99	-	dB
	$f_s=96\text{kHz}$	-	100	-	
	$f_s=192\text{kHz}$	-	100	-	
チャンネルセパレーション (L/R 間)	$f_s=48\text{kHz}$ , 1kHz BPF	97	110	-	dB
クロストーク (選択・非選択間)	$f_s=48\text{kHz}$ , 1kHz BPF	-	110	-	dB
等価入力インピーダンス (選択入力端子)	$f_s=48\text{kHz}$	-	100	-	k $\Omega$
	$f_s=96\text{kHz}$	-	50	-	
	$f_s=192\text{kHz}$	-	50	-	
入力インピーダンス *2 (非選択入力端子)	$f_s=48\text{kHz}$	40	58	-	K $\Omega$
	$f_s=96\text{kHz}$	40	58	-	
	$f_s=192\text{kHz}$	40	58	-	
ゲインミスマッチ(L/R 間) ゲインエラー	$f_s=48\text{kHz}$	-0.1	-	0.1	dB

- \*1 アナログ入力電圧のフルスケール値(0dBFS)を示します。フルスケールとなる電圧は AVDD 電圧に比例します。  
 差動間とは、差動入力信号を演算した結果を示しており、端子に入力できる電圧は AVDD 電圧までです。  
 \*2 フルスケールレベルの DC を印加した場合の等価入力インピーダンスです。  
 \*3 選択されていないアナログ入力端子は、この値の抵抗で VCOM にバイアスされています。

表5 消費電流・レギュレータ特性

( $T_a=25^\circ\text{C}$ ,  $AVDD=VDD33=3.3\text{V}$ ,  $VDD18=1.8\text{V}$ )

項目	条件	Min.	Typ.	Max.	単位
3.3V 系消費電流: $I_{DD}+I_{DDA}$ (内蔵レギュレータを含まず)	$f_s=48\text{kHz}$	-	7.0	-	mA
	$f_s=96\text{kHz}$	-	8.0	-	
	$f_s=192\text{kHz}$	-	8.0	12	
1.8V 系消費電流: $I_{DDL}$ (内蔵レギュレータを含まず)	$f_s=48\text{kHz}$	-	2.0	-	mA
	$f_s=96\text{kHz}$	-	4.0	-	
	$f_s=192\text{kHz}$	-	8.0	10	
パワーダウン時消費電流 : $I_{DDQ}+I_{DDLQ}$ (内蔵レギュレータを含まず)	クロック停止 PDNb=Low	-	-	100	$\mu\text{A}$
内蔵レギュレータ消費電流 : $I_{RIN}$	VREGI=3.3V $I_{OUT}=0\text{mA}$	-	50	70	$\mu\text{A}$

**表 6 デジタル DC 特性**

(Ta=25°C, VDD33=3.3V, VDD18=1.8V)

項目	記号	条件	Min.	Typ.	Max.	単位
High レベル入力電圧	$V_{IH}$		2.2	-	VDD33 *1	V
Low レベル入力電圧	$V_{IL}$		0	-	0.8	V
High レベル出力電圧	$V_{OH}$	$I_{OH}=-1mA$	VDD33 x 0.8	-	VDD33	V
Low レベル出力電圧	$V_{OL}$	$I_{OL}=1mA$	0	-	VDD33 x 0.2	V
端子リーク電流	$I_{IN}$	$V_{IN}=VSS, VDD33$	-10	-	10	$\mu A$

\*1 デジタル入力端子および入力状態に設定されているデジタル入力端子(BCK, LRCK)は、VDD33 電源定格印加時に限り 5Vトレラントとなります。

**表 7 リセット AC 特性**

(Ta=25°C, VDD33=3.3V, VDD18=1.8V)

項目	記号	条件	Min.	Typ.	Max.	単位
リセット Low 時間	$t_{RESETb}$	RESETb 端子	100	-	-	ns

**表 8 デジタルフィルタ部特性**

(Ta=25°C, VDD33=3.3V, VDD18=1.8V)

項目	条件	Min.	Typ.	Max.	単位
HPF カットオフ周波数 (HPF=High 時)	-3.0dB	-	$F_s/44100$	-	Hz
LPH 通過域		0	-	0.454	fs
LPF 通過域リップル		-	-	$\pm 0.005$	dB
LPF 阻止域		0.546	-	-	fs
LPF 阻止域減衰量		-80	-	-	dB
群遅延時間		-	27	-	1/fs

表 9 クロックタイミング

(Ta=25°C, VDD33=3.3V, VDD18=1.8V)

項目	記号	条件	Min.	Typ.	Max.	単位
MCK 周波数 *1	f <sub>MCK</sub>	128fs モード時	1.024	-	24.576	MHz
		256fs モード時	2.048	-	24.576	
		384fs モード時	3.072	-	36.864	
BCK 周波数 *2	f <sub>SCK</sub>	スレーブモード時	0.256	-	12.288	MHz
LRCK 周波数 *2	f <sub>LRCK</sub>	スレーブモード時	8.0	-	192	kHz
MCK 周期						
Low パルス幅	t <sub>MIL</sub>		0.475/f <sub>MCK</sub>	0.5/f <sub>MCK</sub>	0.525/f <sub>MCK</sub>	ns
High パルス幅	t <sub>MIH</sub>		0.475/f <sub>MCK</sub>	0.5/f <sub>MCK</sub>	0.525/f <sub>MCK</sub>	
BCK 周期						
Low パルス幅	t <sub>SIL</sub>	スレーブモード時	35	0.5/f <sub>MCK</sub>	-	ns
High パルス幅	t <sub>SIH</sub>	スレーブモード時	35	0.5/f <sub>MCK</sub>	-	
BCK → LRCK 時間 *3	t <sub>SLI</sub>	スレーブモード時	20	-	-	ns
LRCK → BCK 時間 *3	t <sub>LSI</sub>	スレーブモード時	20	-	-	ns

\*1 128/256fs モード時は fs=8~192kHz 対応、384fs モード時は fs=8~96kHz 対応

\*2 MCK と BCK, LRCK は同期している必要があります。(位相を合わせる必要はありません)

\*3 LRCK のエッジと BCKI の立ち上がりエッジが重なってはならないことを意味します。

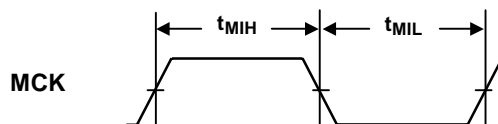


図3 MCK タイミング

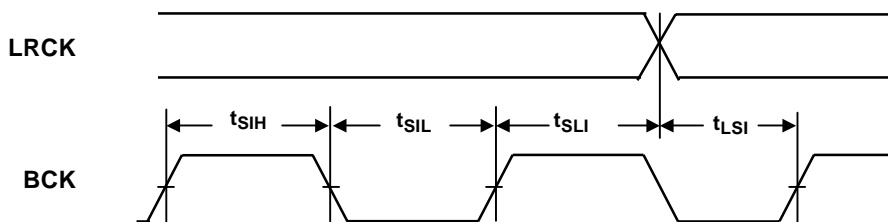


図4 BCK, LRCK タイミング

表 10 シリアルオーディオ出力タイミング

(Ta=25°C, VDD=3.3V, VDD18=1.8V)

項目	記号	条件	Min.	Typ.	Max.	単位
BCK-LRCK 時間差 *1	t <sub>SLO</sub>	CL=25pF	-20	-	20	ns
データ出力遅延時間	t <sub>DOD</sub>	CL=25pF	-	-	20	ns

\*1 マスターモードに設定されている BCK, LRCK 端子に対する規定です。

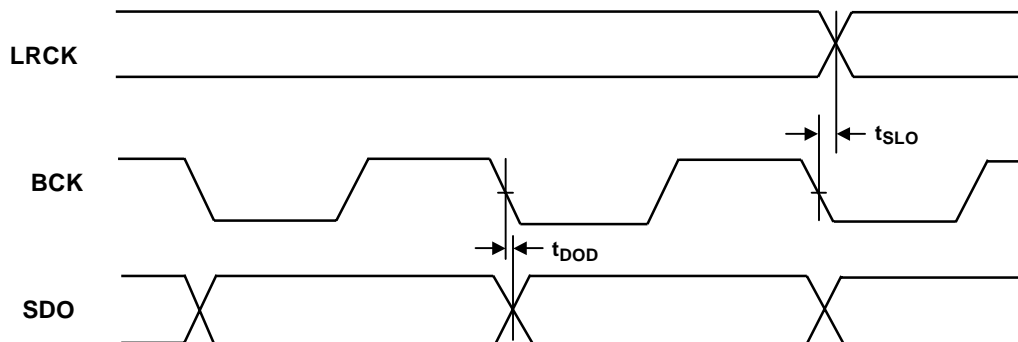


図5 シリアルオーディオ出力タイミング



## 1. 電源・リセット・パワーダウン

### 1.1 電源

電源電圧は推奨動作条件の範囲内でご使用ください。電源電圧の投入は単調増加とし、使用中も推奨動作条件を下回る電圧に落とさないでください。

NJU3610 のそれぞれの電源・GND 端子は確実に接続し、十分にデカップリングを行ってください。特に A/D 変換器の動作周波数帯域(サンプリング周波数の 64 倍または 32 倍)近傍のインピーダンスが十分低くなるようにしてください。GND 系の端子である、VSS, AVSS, REFLN, REFRN は、チップ下でベタに接続する事を推奨します。

REFLP, REFLN および、REFRP, REFRN は内部の 1bit フィードバック DAC のリファレンス電圧です。REFLP, REFRP は AVDD 系の電源に、REFLN, REFRN は AVSS 系に接続しますが、この端子へのノイズはそのままアナログ特性に影響しますので、十分にデカップリングを行ってから供給してください。

VCOM は、AVDD 電圧から生成した  $AVDD \times 0.5$  のボルテージフォロウ出力です。この端子の電圧は内部の midpoint 電圧となり分配されます。また、非選択入力端子は内部で約  $58k\Omega$  (typ) の抵抗を経由してこの電圧にバイアスされます。安定化とチャネルセパレーションのために、 $10\mu F$  程度のコンデンサを接続してください。なお、アナログ入力端子への midpoint 供給に、この出力を使用することが可能です。

NJU3610 は内部ロジック動作のために内蔵レギュレータを搭載しています。VREGI に VDD33 と同一の電圧を与えることで、ロジックの動作に必要な  $1.8V$  (typ) の電圧を VREGO に出力することができます。VREGO の出力を VDD18 に接続することで、 $3.3V$  系の単電源動作とすることができます。この内蔵レギュレータを使用する場合は、VREGO-VSS 間に  $4.7\sim 10\mu F$  程度のコンデンサを接続してください。(セラミックコンデンサ使用可能)

内蔵レギュレータを使用せず外部から  $1.8V$  系の電源を供給できる場合は、VREGI、VREGO を共に VSS と同レベルに固定してください。

内蔵レギュレータは NJU3610 動作のみに使用することを前提に設計されています。VDD18 への供給以外に使用することは推奨しません。

VDD33 と AVDD を分離する場合、VDD33 で示されるデジタル系  $3.3V$  電源は、AVDD で示されるアナログ系電源と同時にしくは AVDD よりも後に投入することを推奨します。また、 $AVDD \geq VDD33$  となるようにしてください。VDD18 の投入順序を考慮する必要はありません。全ての電源端子について切断順序を考慮する必要はありません。

## 1.2 デジタル入力端子の電圧レベル

NJU3610のデジタル入力端子及び、入力状態に設定されているBCK・LRCKは、電源VDD33が推奨動作条件で投入されている場合に限り5Vトレラントとなります。BCK・LRCKはFMT1がLowの時に入力状態、Highの時に出力状態になります。また、RESETb=Lowの時は、FMT1の設定に関わらず、BCK・LRCKは入力状態になります。

デジタル入力信号のオーバーシュート、アンダーシュートが大きい場合、端子の保護素子を經由してアナログ回路へのノイズの回り込みが起こり、特性劣化の原因となりますので、必要に応じてダンピング抵抗などを挿入してください。

## 1.3 リセットとパワーダウン

NJU3610のRESETbをLowにすると、デジタルフィルタ部分のリセットとアナログ部分の積分器のリセットを行います。内部の基準電圧生成回路の動作は停止しません。このとき、SDOの出力はLowになります。動作中にクロックを変更、あるいは端子設定を変更した場合は、RESETbを一旦Lowにトグルしてデジタル部をリセットすることを推奨します。

PDNbをLowにすると、アナログ部分をすべてパワーダウンします。デジタルフィルタ部分はアナログ部へのクロック供給を停止しますが、デジタルフィルタ部分は初期化しません。パワーダウン機能が必要ない場合はPDNbをHighに固定してください。

電源投入時はRESETbを必ずLow → Highとトグルしてください。PDNbをLowからHighにすると、VCOMへ基準電圧が出てきます。この立ち上がり時間はVCOMへ接続する容量によって変動します。AVDD x 0.5レベルに落ち着いた時点でRESETbをLowからHighにすることを推奨します。

RESETbをLowからHighにした後、 $136 \pm 8 / f_s$ 後に、SDOへオーディオ出力を開始しますが、正常なデータを得るためには、VCOMの基準電圧がAVDD x 0.5レベルになっている必要があります。また、オフセットキャンセル用ハイパスフィルタを使用する場合(HPF=High)は、オフセットがキャンセルされるまで上記出力開始からさらに $8192 / f_s$ (最大)必要です。

完全にNJU3610をパワーダウンさせる場合は、PDNbをLowにし、MCK, BCK, LRCKへのクロック供給を停止してください。

注意 : NJU3610に搭載している内蔵レギュレータはパワーダウンを持ちません。VREGIに電圧が供給されている限り、一定の電力を消費しVREGOへの出力を行います。

## 2. A/D コンバータ機能説明

### 2.1 必要なクロックとデジタルオーディオインターフェース

NJU3610 に必要なクロックは、MCK, BCK, LRCK の 3 種類です。このうち、BCK, LRCK は端子設定により MCK から生成することができます。このモードを「マスターモード」と呼びます。BCK, LRCK も外部から供給を受けるモードは、「スレーブモード」と呼びます。マスターモードにおいては、MCK, BCK, LRCK は同期しています。スレーブモードにおいても、MCK と BCK, LRCK は同期する必要はありますが、位相は合わせる必要はありません。

MCK 周波数はサンプリングレート(fs)の 128fs、256fs、384fs の周波数のいずれか 1 つを入力します。256fs、384fs 設定の場合は、fs=96kHz までの対応となります。128fs 設定の場合は、A/D 変換器の動作速度が制限されます。NJU3610 の A/D 変換器は、fs=96kHz までは 64fs、96kHz 以上では 32fs の周波数で動作させる事が出来ます。MCK 周波数、A/D 変換速度は MODE1, MODE0 で設定します。A/D 変換速度が 32fs の場合は、有効な変換周波数帯域が 1/4fs までです。1/4fs から 1/2fs までの帯域には A/D 変換器のシェーピングノイズが含まれます。

NJU3610 によって A/D 変換されたデジタルオーディオデータは LRCK、BCK、SDO によって構成されるシリアルオーディオインタフェースを経由して、外部に出力されます。サポートするオーディオフォーマットは、マスターモードにおいては、左詰め、もしくは I<sup>2</sup>S フォーマットの 24bit(BCK=64clocks/fs)、スレーブモードにおいては、左詰め、もしくは I<sup>2</sup>S フォーマットの 16bit(BCK=32clocks/fs)、もしくは 24bit(BCK= 64clocks/fs)です。これらのフォーマットの設定は FMT1, FMT0 で行います。

なお、FMT1, FMT0, MODE1, MODE0 の設定を切り替える場合は、一度リセットを行うようにして下さい。

MCK,BCK,LRCK の周波数の対応を表 11 に示します。MODE1, MODE0, FMT1, FMT0 と動作モードの関係及び、対応するフォーマットを表 12 に示します。マスターモード時、BCK,LRCK 端子は所定の分周クロックを出力する端子に、スレーブモード時、BCK,LRCK は入力端子となります。マスターモード時に BCK から出力されるクロックはサンプリングレートの 64 倍(64fs)のみとなります。

表 11 MCK, BCK, LRCK の関係

LRCK 周波数(kHz) マスター時: MCK より生成 スレーブ時: 外部より供給	MCK 外部供給周波数 (MHz)			BCK 周波数 (MHz)	
	128fs	256fs	384fs	32fs スレーブ時のみ: 外部より供給	64fs マスター時: MCK より生成 スレーブ時: 外部より供給
8	-*2	2.048	3.072	0.256	0.512
16	-*2	4.096	6.144	0.512	1.024
22.05	-*2	5.6448	8.4672	0.7056	1.4112
32	-*2	8.192	12.288	1.024	2.048
44.1	-*2	11.2896	16.9344	1.4112	2.8224
48	-*2	12.288	18.432	1.536	3.072
64	-*2	16.384	24.576	2.048	4.096
88.2	-*2	22.5792	33.8688	2.8224	5.6448
96	-*2	24.576	36.864	3.072	6.144
176.4 *1	22.5792	-	-	5.6448	11.2896
192 *1	24.576	-	-	6.144	12.288

\*1 MODE1[1:0]=11 のみ。このとき有効な周波数帯域は 1/4fs までです。

1/4fs から 1/2fs までの帯域には A/D 変換器のシェーピングノイズが含まれます。

\*2 使用可能ですが、\*1 同様に有効な周波数帯域が制限されるため実用的ではありません。

表 12 MCK, BCK, LRCK の関係

CMKODE		FMT		Master / Slave	A/D mode	MCK (対応 fs)	Format
1	0	1	0				
0	0	0	0	Slave	64fs	256fs (≤96kHz)	I <sup>2</sup> S (32 or 64fs)
0	0	0	1				左詰め(32 or 64fs)
0	0	1	0	Master	64fs	256fs (≤96kHz)	I <sup>2</sup> S (64fs)
0	0	1	1				左詰め(64fs)
0	1	0	0	Slave	64fs	384fs (≤96kHz)	I <sup>2</sup> S (32 or 64fs)
0	1	0	1				左詰め(32 or 64fs)
0	1	1	0	Master	64fs	384fs (≤96kHz)	I <sup>2</sup> S (64fs)
0	1	1	1				左詰め(64fs)
1	1	0	0	Slave	32fs	128fs (>96kHz)	I <sup>2</sup> S (32 or 64fs)
1	1	0	1				左詰め(32 or 64fs)
1	1	1	0	Master	32fs	128fs (>96kHz)	I <sup>2</sup> S (64fs)
1	1	1	1				左詰め(64fs)

\* それ以下の周波数でも使用可能ですが、有効な周波数帯域が 1/4fs に制限されるため実用的ではありません。

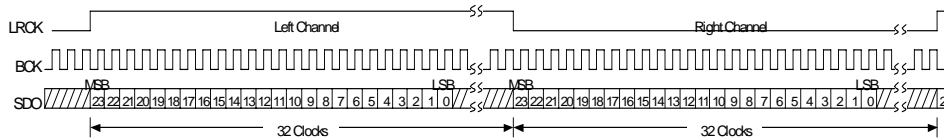


図6 左詰フォーマット 64fs, 24bit Data

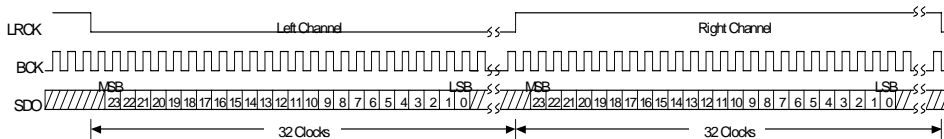


図7 I<sup>2</sup>S フォーマット 64fs, 24bit Data

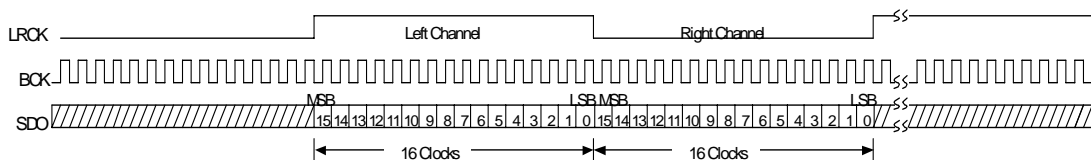


図8 左詰フォーマット 32fs, 16bit Data

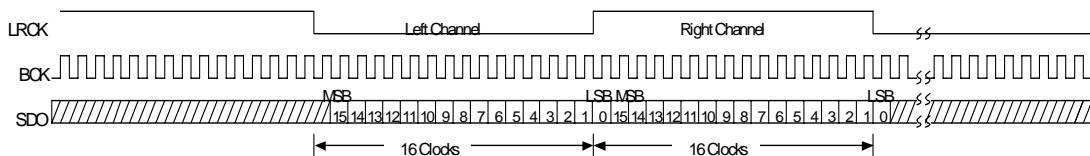


図9 I<sup>2</sup>S フォーマット 32fs, 16bit Data

## 2.2 オフセットキャンセル用ハイパスフィルタ

NJU3610 にはオフセットキャンセル用のハイパスフィルタ(デジタルフィルタ)を搭載しています。通常は HPF=High で使用してください。HPF=high でこの機能が有効になります。特性は表 8 を参照して下さい。カットオフ周波数は十分低く設定していますが、サンプリングレートによってカットオフ周波数が変動する事に注意して下さい。動作中にも HPF は切り替え可能ですが、オフセットの変動によるポップ音が発生する事がありますので注意して下さい。

2.3 アナログ信号入力と4-1セレクタ

NJU3610は差動ステレオ入力を4系統持っています。SEL1,SEL0で選択されたチャンネルがA/D変換器に送られます。表13にSEL1,SEL0と選択される信号の対応を示します。

表13 SEL1, SEL0 端子と選択される信号の対応

SEL1	SEL0	Lch		Rch	
		非反転入力	反転入力	非反転入力	反転入力
0	0	AINLP1	AINLN1	AINRP1	AINRN1
0	1	AINLP2	AINLN2	AINRP2	AINRN2
1	0	AINLP3	AINLN3	AINRP3	AINRN3
1	1	AINLP4	AINLN4	AINRP4	AINRN4

それぞれの入力端子はVCOMを中点とした差動信号を受けることを前提としています。VCOMの出力、または外部に用意したAVDD x 0.5の信号でバイアスされた差動音声信号を入力してください。入力のフルスケール(0dBFS)は各端子 AVDD x 0.7Vpp となっています。(差動間で AVDD x 1.4Vpp となります。) また、変換結果としてはクリップしていますが、許容できる最大の入力電圧レベルは GND ~ AVDD までとなりますので注意して下さい。前段に電源電圧の高いバッファアンプを接続する場合は、過大入力にならないよう、特に注意して下さい。

SEL1,SEL0 の設定は MCK クロックの立ち上がりエッジで取り込まれます。また、RESETb=Low の時は、SEL1, SEL0 設定にかかわらず、AINLP1, AINLN1, AINRP1, AINRN1 が選択されます。PDNb を High から Low にしたときはその直前の選択状態を保持します。

SEL1, SEL0 で選択していない端子は、NJU3610 内部で約 58kΩ (typ)の抵抗を介して VCOM にバイアスされています。使用しないアナログ入力端子はオープンにするか、対 GND 間に小容量のコンデンサを付けてください。電源や GND に落とした場合、VCOM を変動させるため、NJU3610 は正しく動作しません。

NJU3610 の A/D 変換器は、MODE1=Low のとき 64fs、High のとき 32fs のオーバーサンプリングで A/D 変換を行います。オーバーサンプリング周波数近傍に大きなノイズがあると帯域内にノイズが折り返してくるため、入力側に RC のパッシブフィルタを挿入してください。

図10に入力バッファの例を示します。バイアス点はVCOMより入力しています。J1の選択で、RCA / XLRを切り替えます。この例では、Ra, Rb(220Ω)とCa, Cb(100pF), Cc(200pF)がfc=1340kHzのRCパッシブフィルタを構成しています。NJU3610のアナログ入力端子から、この部分までは、なるべく端子の近傍に配置し、基板レイアウトも対称のパターンとする事を推奨します。

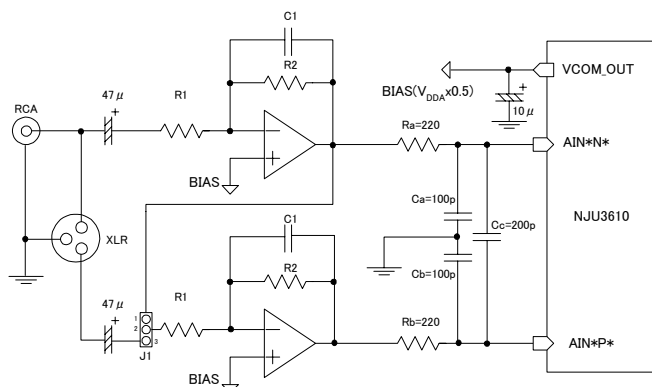
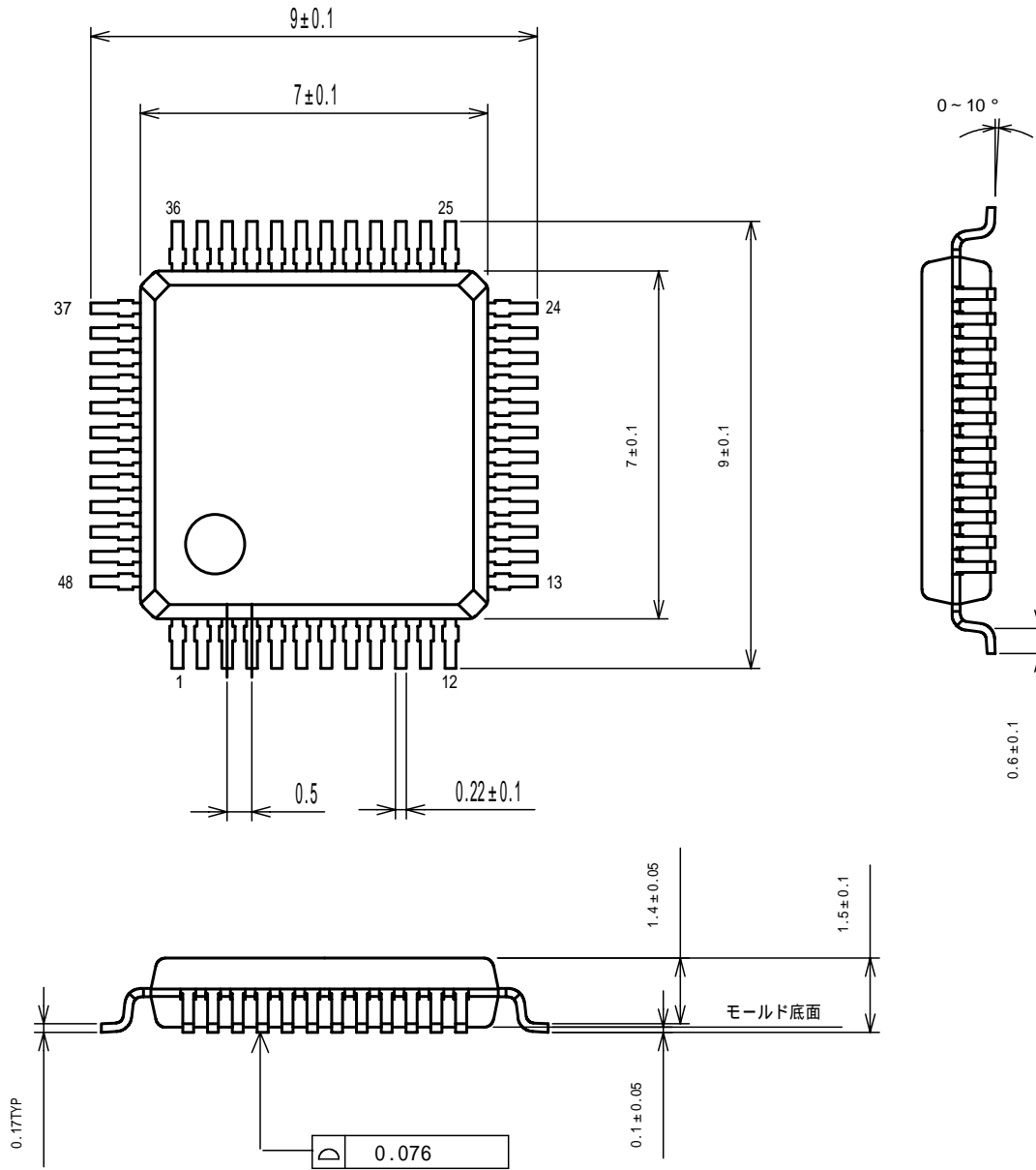


図10 入力バッファの例 (1差動対分)

## ■ パッケージ寸法

### LQFP48-R3(鉛フリー)



端子処理: SnBi メッキ

< 注意事項 >  
 このデータブックの掲載内容の正確さには万全を期しておりますが、掲載内容について何らかの法的な保証を行うものではありません。とくに応用回路については、製品の代表的な応用例を説明するためのものです。また、工業所有権その他の権利の実施権の許諾を伴うものではなく、第三者の権利を侵害しないことを保証するものでもありません。